

BA8420

ファインスロー Fine Slow

BA8420は、VTRの特殊再生用に開発されたICで、3ヘッドVTRに最適です。
ヘッドSW信号、フレームアドバンス信号及びCTL信号の入力に応じ、ファインスロー、スチルに必要なモータ回転方向信号、フルトルク信号、再加速信号を出力します。

The BA8420 is a IC developed for fine slow of VTR and most suitable for the 3 head VTR.

● 特長

- 1) 疑似Vパルスを出力 (SLOW・STILL, CUE・REVIEW時)。
- 2) ロータリ切換え (3ヘッド), ヘッドアンプ切換え用信号を出力。
- 3) 2H/6H切換え端子付き。
- 4) 横ゆれ補正パルス (位置) を出力。

● Features

- 1) Pseudo V pulse outputs (SLOW STILL, CUE REVIEW, etc.)
- 2) Output signals include rotary select (3 head) and head amplifier select.
- 3) With 2H/6H select pin
- 4) Roll compensating pulse (position) output

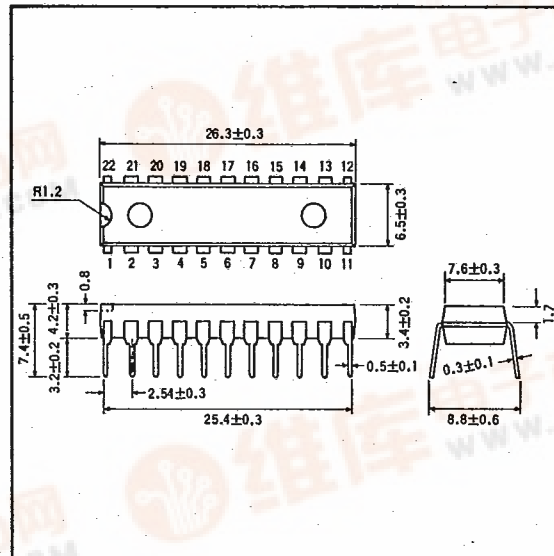
● 用途

VTR

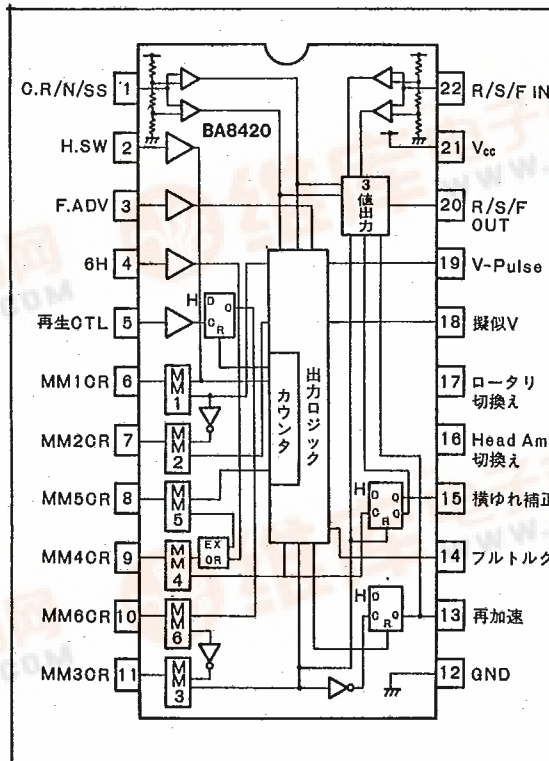
● Applications

VTRs

● 外形寸法図 / Dimensions (Unit : mm)



● ブロックダイアグラム / Block Diagram



● 絶対最大定格/Absolute Maximum Ratings (Ta=25°C)

T-77-21

Parameter	Symbol	Limits	Unit
電源電圧	V _{CC}	7.0	V
許容損失	P _d	600 *	mW
動作温度範囲	T _{opr}	-25~75	°C
保存温度範囲	T _{stg}	-55~125	°C

* Ta=25°C以上で使用する場合は、1°Cにつき6mWを減じる

● 電気的特性/Electrical Characteristics (Unless otherwise noted, Ta=25°C, V_{CC}=5.0V)

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions	Test Circuit
動作電圧範囲	V _{CC}	4.5	5.0	6.0	V	—	Fig.1
無信号時電流	I _Q	8.0	14	22	mA	—	Fig.1
入力スレッシュヨルド電圧 1	V _{TH}	1.0	1.9	2.8	V	2, 3, 4, 5pin V _{CC} =5.0V	Fig.1
入力スレッシュヨルド電圧 2L	V _{THL}	1.0	1.25	1.5	V	1, 22pin V _{CC} =5.0V	Fig.1
入力スレッシュヨルド電圧 2H	V _{THH}	3.0	3.25	3.5	V	1, 22pin V _{CC} =5.0V	Fig.1
MMスレッシュヨルド電圧	V _{THMM}	0.455	0.5	0.545	xV _{CC}	6, 7, 8, 9, 10, 11pin	Fig.1
MM ローレベル電圧	V _{LMM}	—	70	150	mV	MM1~6, R=100kΩ	Fig.1
OPENコレクタ出力L電圧	V _{OIL}	—	0.1	0.4	V	I _{OL} =1mA 13, 14pin	Fig.1
2値出力ローレベル電圧	V _{O2L}	—	0.1	0.4	V	I _{OL} =1mA 15, 16, 17, 18, 19pin	Fig.1
2値出力ハイレベル電圧	V _{O2H}	3.9	4.25	—	V	I _{OH} =-600μA	Fig.1
3値出力ローレベル電圧	V _{O3L}	—	0.1	0.4	V	I _{OL} =1mA 20pin	Fig.1
3値出力ミドルレベル電圧	V _{O3M}	1.7	2.15	2.6	V	I _{OM} =±300μA 20pin	Fig.1
3値出力ハイレベル電圧	V _{O3H}	3.9	4.25	—	V	I _{OH} =-600μA 20pin	Fig.1
オープンコレクタ出力リーク電流	I _{LO}	—	—	1.0	μA	13, 14pin	Fig.1
MMリーク電流	I _{LMM}	—	—	0.7	μA	V _{MM} =0.4X V _{CC} , MM1~6	Fig.1

VTR用

特殊再生

● 測定回路図/Test Circuit

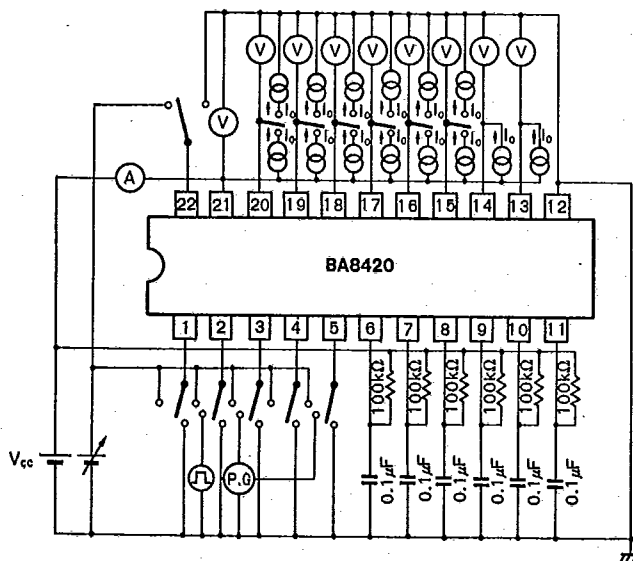
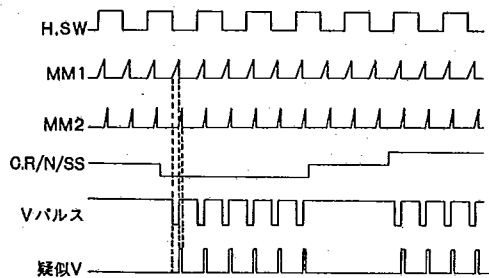


Fig.1

● 入出力対応表

入 力		出 力							
C・R/N/SS	R/S/FIn	MM1 MM2 Vパルス 疑似V	MM3 MM5 MM6	MM4	フルトルク 再加速	ロータリ 切換	ヘッドアン プ切換	横ゆれ 補正	R/S/F OUT
H	H	Fig.2	L	6HがH→ Lのときトリ ガされる	H	H.SW信号	L	L	R/S/F In
	M								
	L								
M	H		L	6HがH→ Lのときトリ ガされる	H	H.SW信号	L	L	R/S/F In
	M								
	L								
L	H		Fig.3 Fig.4	Fig.3 Fig.4	Fig.3 Fig.4	Fig.3 Fig.4	Fig.3 Fig.4	Fig.3 Fig.4	Fig.3 Fig.4
	M								
	L								

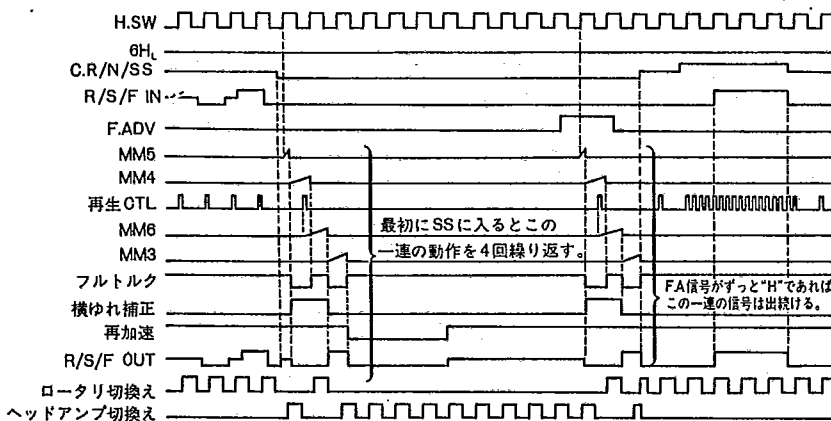
● 疑似Vブロックタイミングチャート



*この図は10の動作説明のためのもので実際とは異なります

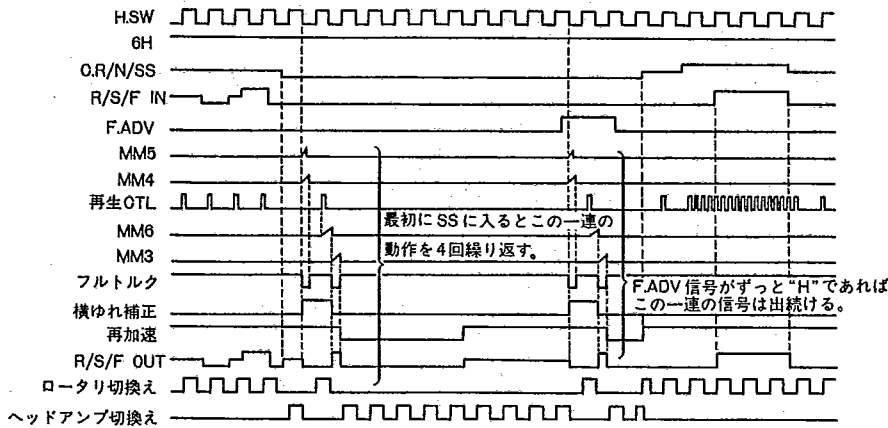
Fig.2

● SSタイミングチャート



* この図はICの動作説明のためのもので実際とは異なります

Fig.3



* この図はICの動作説明のためのもので実際とは異なります

Fig.4

● 各MMの動作条件 (SS時:1pin Low)

(1) 6HがLowのとき

MM	トリガ条件
MM 1	H.SW信号の立上り, 立下りの両方
MM 2	MM1の立下り
MM 3	MM6の立下り
MM 4	MM5の立下り
MM 5	C . R/N/SS信号がLowになったとき, 最初のH.SW信号の立上りからH.SW信号の8周期ごとに32パルス目のH.SWの立上りまで4回出る。 また, F.ADV信号がHighになってから, 最初のH.SW信号の立上りからH.SW信号の8周期ごとに, F.ADV信号がLowなるまで出る。
MM 6	MM5がトリガされるH.SW信号の立上りから2周期後(3発目)の立上りか又はCTL信号の立上りかどちらか早い方。

Note1) CTL信号は, MM5がトリガされるH.SW信号の立上りから(H.SW信号の)2周期分の区間以外は, 受け付けられません

Note2) いったん, MM5がトリガされると, H.SW信号の8周期分時間が経過するまで, F.ADV信号は受け付けられません (MM5はトリガされません)

(2) 6HがHighのとき

MM	トリガ条件
MM 1	H.SW信号の立上り, 立下りの両方
MM 2	MM1の立下り
MM 3	MM6の立下り
MM 4	MM5の立上り
MM 5	C.R/N/SS信号がLowになってから, 最初のH.SW信号の立下りからH.SW信号の8周期ごとに, 32パルス目のH.SW信号の立下りまで, 4回出る。 またF.ADV信号がHighになってから最初のH.SW信号の立下りから, H.SW信号の8周期ごとにF.ADV信号がLowになるまで出る。
MM 6	MM5がトリガされるH.SW信号の立下りから2周期後(3発目)の立下りか又はCTL信号の立上りか, どちらか早い方。

Note1) CTL信号は, MM5がトリガされるH.SW信号の立下りから(H.SW信号の)2周期分の区間以外は, 受け付けられません

Note2) いったん, MM5がトリガされると, H.SW信号の8周期分時間が経過するまでF.ADV信号は受け付けられません (MM5はトリガされません)

* これらのMMは, いったんトリガされると, リセットされるまでは, トリガはかかりません

VTR用
特殊再生

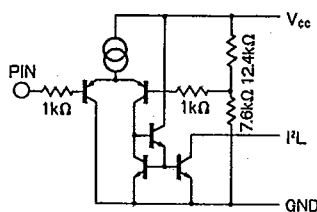
● 各出力の動作条件 (SS時:1pin Low)

T-77-21

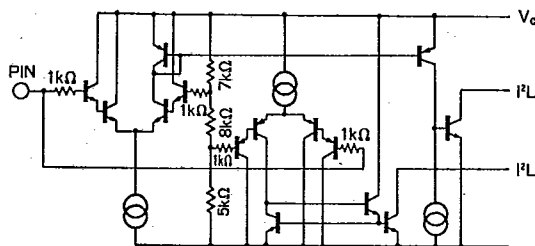
出力	条件
再加速 (オープンコレクタ)	MM3が立下りてLow (出力TrがON) になり, MM5がトリガされてからH.SW信号の7周期が完了したとき High "high impedance" (出力TrがOFF) になる。
フルトルク (オープンコレクタ)	MM4とMM3がHighの期間だけLowで,あとはHigh (high impedance) である。
横ゆれ補正 (2 state)	MM5の立下りてHighになり, MM6の立下りてLowになる。
ヘッドアンプ切換え (2 state)	C.R/N/SSがLowの期間は, H.SW信号がでる。ただしMM5がトリガされるH.SW信号の次のH.SW信号1周期分だけはLowが出る。
ロータリ切換え (2 state)	MM5がトリガされるH.SW信号の次のH.SW信号だけである。
ギジ V ₂ state	MM2がHighの間だけHighがでる。
V-パルス (2 state)	MM1がHighの間だけLowがでる。
R/S/Fout (3 state)	C.R/N/SSがLowになってからMM5がトリガされるまでは, Midで, 横ゆれ補正がHighの期間は, Lowで, MM3がHighの期間はHighで, 再加速がLowの期間はLowで, 再加速が立上るとMidにもどる。

● 入力端子部等価回路図

(1) 2 STATE IN (2, 3, 4, 5 pin)

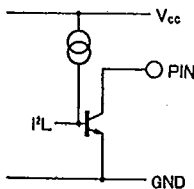


(2) 3 STATE IN (1,2,2pin)

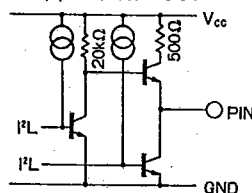


● 出力端子部等価回路図

(1) OPEN COLLECTOR



(2) 2 STATE OUT



注) 出力が "H" のとき, 負荷が High-impedance の場合は, スイッチングノイズ等の影響を受けることがありますので御注意ください

(3) 3 STATE OUT

