



BL1302A67/1302A67S

单片串行接口编译码器滤波器

一、概述

BL1302A67/BL1302A67S 由编码器, 译码器, 基准电压源, 发送与接收滤波器, 时钟和控制电路, 串行 PCM 接口等组成。电路能完成符合 A 律的编译码/滤波功能, 与 TP3067 兼容。

电路按功能可分成发送和接收二大部分:

发送部分: 发送的音频信号, 首先进入一运放, 调节其外接电阻, 可控制运放增益。其后经过一有源 RC 前置滤波器, 用以抑制甚高频噪声, 完成限带功能。继而是带通滤波器, 使总的通带在 0.2~3.4kHz 范围之内。然后经过采样、保持、模数转换, 并按 A 律进行编码, 最后成为串行的 PCM 码输出。

接收部分: 由扩展译码器和一个低通滤波器所组成。扩展译码器将 A 律的 PCM 码恢复成模拟信号。低通滤波器校正译码输出的 $\sin x/x$ 响应, 抑制掉 3.4kHz 以上的信号。接收部分的输出有功率放大器, 提供推挽式平衡输出驱动能力。

器件工作需要如下时钟: 发送和接收的主时钟; 与主时钟同步的收发位时钟, 其频率范围是 64kHz~2.048MHz; 以及收和发的帧同步脉冲。

二、电路特点

- 本电路是一个完整的编译码加滤波器的系统 (COMBO), 它包括:
 - a. 发送高通和低通滤波器
 - b. 带有 $\sin x/x$ 校正的接收低通滤波器
 - c. 有源 RC 噪声滤波器
 - d. A 律压扩编译码器
 - e. 内部精密参考电压源
 - f. 串行的输入/输出接口
 - g. 内部自动校零
 - h. 接收部分的输出是推挽式功率放大器
- 20 脚双列直插 或 SOP 塑料封装
- 满足 ITU 规范的相关要求
- $\pm 5V$ 的工作电压
- 低功耗 工作时典型为 60mW
卸电状态为 3mW
- 能自动进入卸电状态
- 与 TTL 和 CMOS 电平兼容的数字接口

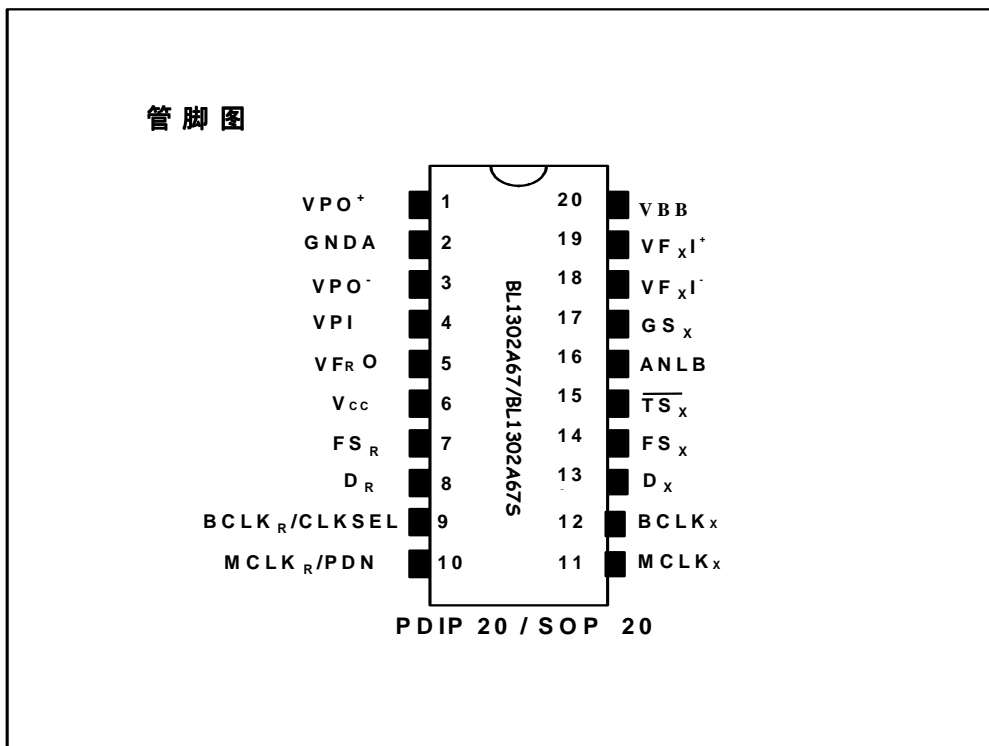


三、管脚说明, 管脚图, 方框图

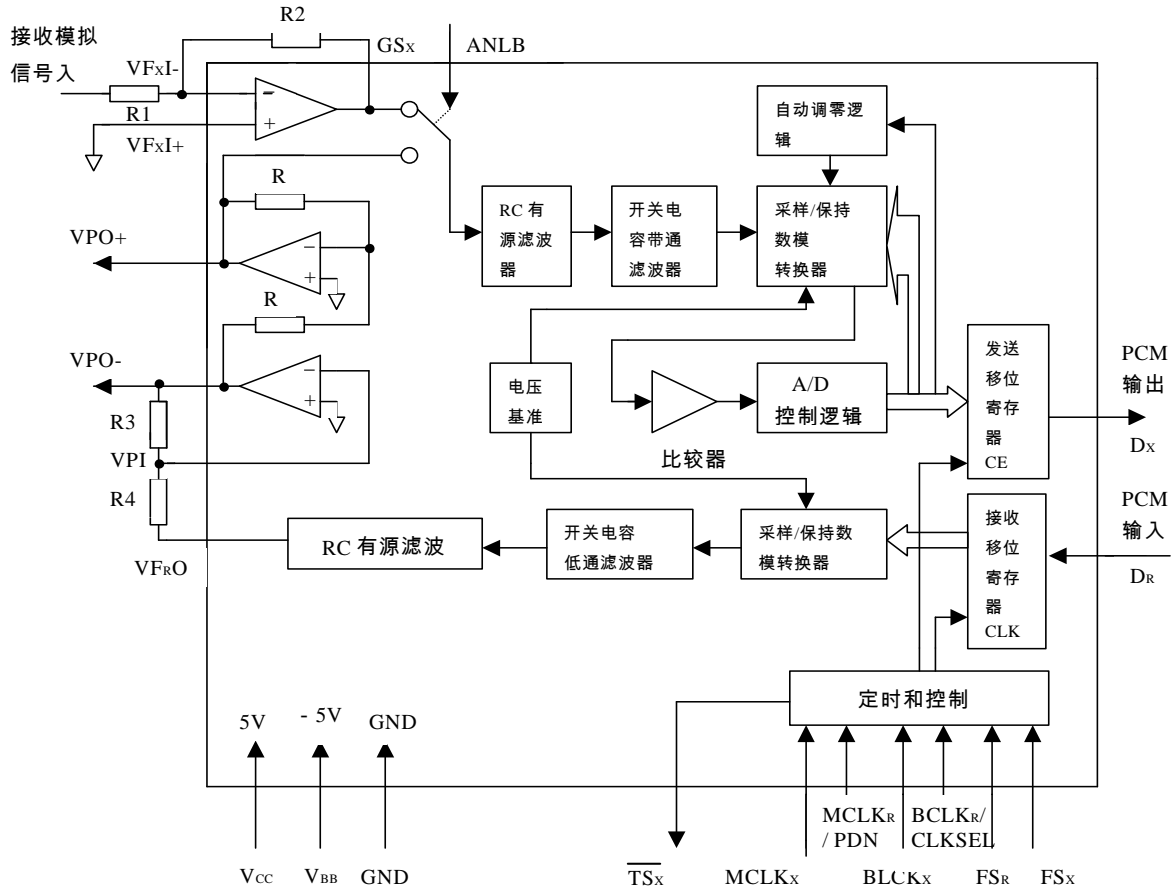
1. 管脚说明

编号	代号	I/O	说明
1	VPO ⁺	0	接收功放的非反向输出
2	GNDA	I	模拟地, 所有信号都以此脚电平作参考
3	VPO ⁻	0	接收功放的反向输出
4	VPI	I	接收功放的反向输入. 将 VPI 与 V _{BB} 相接时, 功放处于卸电状态
5	VF _R O	0	接收放大器的模拟输出
6	V _{CC}	I	正电源, V _{CC} = 5V±5%
7	FS _R	I	接收帧同步脉冲
8	D _R	I	接收 PCM 数据输入端
9	BCLK _R /CLKSEL	I	接收位时钟兼主频选择
10	MCLK _R /PDN	I	接收主时钟兼卸电控制
11	MCLK _X	I	发送主时钟
12	BLCK _X	I	发送位时钟
13	D _X	0	三态 PCM 数据输出
14	FS _X	I	发送帧同步脉冲输入
15	TS _X	0	开漏输出端, 编码时隙输出低电平
16	ANLB	I	模拟回路返回(loopback)控制端。逻辑“0”时正常工作, 逻辑“1”时, 发送滤波器的输入与 VPO ⁺ 端相接
17	GS _X	0	发送输入放大器的模拟输出
18	VF _X I ⁻	I	发送输入放大器的负向输入端
19	VF _X I ⁺	I	发送输入放大器的正向输入端
20	V _{BB}	I	负电源, V _{BB} = -5V±5%

2. 管脚图



3. 方框图



四、功能描述

1. 启动

当接通电源时，器件被内部上电复位线路初始化并进入卸电状态。全部模拟线路和大部分数字逻辑处于不活动状态， D_x ， V_{Fr0} ， V_{P0+} 和 V_{P0-} 端处于高阻态。要使器件上电，必须在 $MCLK_r/$ PDN端施加逻辑低电平或时钟，并在 FS_x 和/或 FS_r 端施加脉冲。从而有二种卸电控制方式。其一是使 $MCLK_r/$ PDN处于高电平；另一方法是使 FS_x 和 FS_r 端连续地处于低电平，在最后的 FS_x 或 FS_r 脉冲后大约2ms，器件将进入卸电状态。第一个 FS_x 或 FS_r 将使器件上电。三态PCM数据输出 D_x 在第二个 FS_x 脉冲到来前一直保持高阻态。

2. 同步工作

同步工作时，发送和接受必须施加同一主钟。在这一方式下， $MCLK_x$ 端必须加一时钟，而 $MCLK_r/$ PDN端可用作卸电控制。 $MCLK_r/$ PDN端的低电平使器件上电，而高电平使器件卸电。任一情况下， $MCLK_x$ 均被选作发送和接收电路的主钟。 $BCLK_x$ 端必须

施加位钟，而 $BCLK_R/CLKSEL$ 端用于为 1.536MHz, 1.544MHz 或 2.048MHz 选择合适的内部分频器。对于 1.544MHz 工作，器件自动补偿每帧的第 193 个时钟脉冲。

当 $BCLK_R/CLKSEL$ 端为固定电平时， $BCLK_x$ 将同时作为发送与接收的位钟。右表示出工作频率与 $BCLK_R/CLKSEL$ 状态的对应关系。

$BCLK_x$ 与 $BCLK_R$ 可以从 64kHz 至 2.048MHz, 两者频率不一定相等，但必须与 $MCLK_x$ 同步。

表 主频的选择

$BCLK_R/CLKSEL$	被选主频
Locked	2.048M Hz
0	1.536M Hz或1.544M Hz
1	2.048M Hz

每一 FS_x 脉冲启动一编码周期，上一编码周期的 PCM 码在 $BCLK_x$ 的上沿从 D_x 端移出。八个位钟周期后，三态 D_x 输出回到高阻态。在有 FS_R 脉冲时，PCM 码在 $BCLK_x$ (或 $BCLK_R$ ，如果它是一个脉冲) 的下沿经 D_R 端锁存。 FS_x 和 FS_R 必须与 $MCLK_x/R$ 同步。

3. 短帧同步工作

器件可以用短帧同步或长帧同步脉冲。刚上电时，器件处于短帧方式。在此方式下，帧同步脉冲 FS_x 和 FS_R 必须为一个位钟周期长，定时关系见短帧定时图。在 FS_x 为高电平期间有一 $BCLK_x$ 下沿，接着的 $BCLK_x$ 上沿将启动 D_x 输出缓冲器输出符号位，随后的七个上沿输出剩下的七位，接着的下沿禁止 D_x 输出。在 FS_R 为高电平期间有一 $BCLK_R$ (或 $BCLK_x$ ，如果 $BCLK_R$ 为恒定电平) 下沿，接着的 $BCLK_R$ 下沿锁存符号位，随后的七个下沿锁存余下的七位。

4. 长帧同步工作

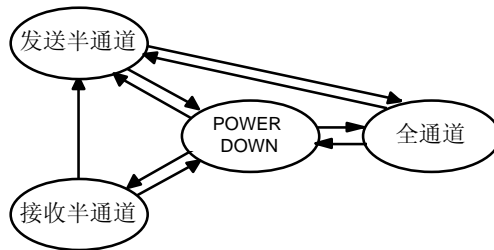
长帧方式下，帧同步脉冲 FS_x 和 FS_R 必须是三位以上位钟周期长，定时关系见长帧定时图。器件根据发送帧同步脉冲 FS_x 来判定使用的是长帧还是短帧脉冲。对于 64kHz 工作，帧同步脉冲必须至少有 160ns 的低电平。 D_x 输出缓冲器为 FS_x 的上沿或 $BCLK_x$ 的上沿 (以后到者为准) 所启动并输出符号位。随后的七个 $BCLK_x$ 上沿输出余下的七位。 D_x 输出为 $BCLK_x$ 的第八个上沿后的下沿或 FS_x 的下沿 (看谁后到) 所禁止。接收帧同步脉冲 FS_R 的上沿将使 D_R 端的 PCM 数据在接着的八个 $BCLK_R$ (或 $BCLK_x$ ，如果 $BCLK_R$ 为恒定电平) 下沿锁存。

5. 半通道工作

除了通常的全通道工作方式，器件还可以工作在半通道工作方式下。保持 FS_R 为低电平，器件就进入发送半通道工作方式； D_R 端的 PCM 数据不予理睬。保持 FS_x 为低电平， FS_R 施加脉冲，器件进入接收半通道工作方式。在此方式下，发送电路的大部分停止工作， D_x 和 TS_x 输出保持高阻态。如果 $MCLK_R$ 为时钟，则 $MCLK_R$ 被用作内部主钟。如果 $MCLK_R$ 不是时钟，则 $MCLK_x$ 被用作内部主钟，但此时须与 FS_R 同步。如果 $BCLK_R$ 不是时钟， $BCLK_x$ 用作接收位钟。在接收半通道方式， FS_R 的长度用于决定使用长帧还是短帧定时方式。

6. 工作方式的转换

工作方式转换如右图所示。不推荐使用全通道与接收半通道之间的转换与发送半通道向接收半通道的转换。



7. 发送部分

输入级是一个可通过外接电阻来调节增益的运放，该运放的噪声低，频带宽，在语音通带内增益可超过 20dB。输入运放驱动一个单位增益的滤波器，它包括 RC 有源前道滤波器和其后的一个 8 阶开关电容带通滤波器，时钟频率是 256kHz。滤波器输出直接驱动编码器的采样和保持电路。A/D 服从 A-1aw 压扩律，片内有一个 $\pm 2.5V$ 的精密基准电压源。帧同步脉冲 FSx 控制滤波器的输出采样和逐次逼近编码周期的开始。随后，8 位编码被放入一个缓冲器中，在下一个帧脉冲控制下，以串行形式由 Dx 输出。整个编码周期延迟约 290 μs ，任何滤波器和比较器的失调电压，在符号位编码时被去除。

8. 接收部分

接收部分包括一个服从于 A-1aw 压扩律的数-模转换及一个 5 阶开关电容低通滤波器，时钟频率 256kHz。此低通滤波器还校正由于 8kHz 采样/保持引起的 $\sin x/x$ 衰减，该滤波器后面是一个二阶 RC 有源后置滤波器，其输出端为 VF_{r0}。接收部分也是单位增益。当接收帧信号出现后，PCM 输入数据在随后 8 个 BCLKx 时钟下降沿作用下由 D_r 端输入，在译码时隙开始时，进行译码。整个译码周期延迟约 270 μs 。

9. 接收功率放大器

提供二个反相方式功率放大器，用以直接驱动匹配的用户线接口变压器。第一个功率放大器的增益可以调节以将 $\pm 2.5V$ 的接收滤波器输出峰压提升到 $\pm 3.3V$ 输出峰压驱动 300 欧姆非平衡负载，或 $\pm 4.0V$ 输出峰压驱动 15 千欧姆非平衡负载。第二个功率放大器内接成单位增益反相方式，以对平衡负载提供 6dB 的信号增益。

差分驱动 $\sqrt{2}:1$ 匝比的平衡变压器可得到对 600 欧姆用户线终端的最大功率传输，提供 15.6dBm 的峰值功率，即在 600 欧姆负载上有 4.67V_{rms} 电压。

五、电参数

1. 最大额定值

项 目	数 值	单 位
a. V _{CC} (对模拟地 GNDA)	7	V
b. V _{BB} (对模拟地 GNDA)	-7	V
c. 任一模拟输入或输出端电压	V _{CC} +0.3 ~ V _{BB} -0.3	V

d. 任一数字输入或输出端电压	$V_{CC}+0.3 \sim V_{BB}-0.3$	V
e. 工作温度范围	-25 ~ +125	°C
f. 贮存工作温度范围	-65 ~ +150	°C
g. ESD(人体模式)	2000	V
h. 抗栅锁效应	100	mA

2. 电特性

(除非另有说明, $V_{CC} = 5.0V \pm 5\%$, $V_{BB} = -5V \pm 5\%$, $T_a = 0^\circ C \sim 70^\circ C$; 所有的信号都以 GND_A 为基准, 典型特性指 $V_{CC} = 5.0V$, $V_{BB} = -5.0V$, $T_A = 25^\circ C$ 下的值)

符号	参数	条件	最小	典型	最大	单位
V_{IL}	输入低电压				0.6	V
V_{IH}	输入高电压		2.2			V
V_{OL}	输出低电压	$D_x, I_L = 3.2mA$			0.4	V
		\overline{TS}_x , 开漏 $I_L = 3.2mA$			0.4	V
V_{OH}	输出高电平	$D_x, I_H = -3.2mA$	2.4			
I_{IL}	输入低电流	$GND_A \leq V_{IN} \leq V_{IL}$ 全部数字输入端	-10		10	μA
I_{IH}	输入高电流	$V_{IH} \leq V_{IN} \leq V_{CC}$	-10		10	μA
I_{OZ}	高阻态输出电流	$D_x, GND_A \leq V_o \leq V_{CC}$	-10		10	μA

发送输入放大器的模拟接口

I_{IXA}	输入漏电流	$-2.5V \leq V \leq 2.5V, V_{F_x} I^\pm$	-200		200	nA
R_{IXA}	输入阻抗	$-2.5V \leq V \leq 2.5V, V_{F_x} I^\pm$	10			M Ω
R_{OXA}	输出阻抗	闭环, 单位增益		1	3	Ω
R_{LXA}	负载阻抗	GS _x	10			k Ω
C_{LXA}	负载电容	GS _x			50	pF
V_{OXA}	输出动态范围	GS _x , $R_L \geq 10k\Omega$	-2.8		2.8	V
A_{VXA}	电压增益	$V_{F_x} I^+$ 到 GS _x	5000			V/V
F_{UXA}	单位增益带宽		1	2		MHz
V_{OSXA}	失调电压		-20		+20	mV
V_{CMXA}	共模电压	CMRR _{XA} > 60dB	-2.5		2.5	V
CMRR _{XA}	共模抑制比	DC Test	60			dB
PSRR _{XA}	电源抑制比	DC Test	60			dB

接收滤波器的模拟接口部分

R_{ORF}	输出阻抗	$V_{F_r} O$ 脚		1	3	Ω
R_{LRF}	负载阻抗	$V_{F_r} O = \pm 2.5V$	10			k Ω
C_{LRF}	负载电容				25	pF
$V_{OS_r} O$	输出直流失调电压		-200		200	mV

功率放大器的模拟接口部分

IPI	输入漏电流	$-1.0V \leq V_{PI} \leq 1.0V$	-100		100	nA
RIPI	输入电阻	$-1.0V \leq V_{PI} \leq 1.0V$	10			M Ω
VIOS	输入失调电压		-25		25	mV
ROP	输出电阻	反向输入, 单位增益, 在 V_{PO}^+ 或 V_{PO}^-		1		Ω
F_c	单位增益带宽	开环 (V_{PO}^-)		400		kHz
C_{LP}	负载电容				100	pF
G_{A_p+}	从 V_{PO}^- 到 V_{PO}^+ 的增益	$R_L = 600\Omega$ (V_{PO}^+ 至 V_{PO}^-) V_{PO}^- 电平 = 1.77V _{rms}		-1		V/V
$PSRR_P$	V_{CC} 或 V_{BB} 的电源抑制比	V_{PO}^- 与 V_{PI} 相接 0 ~ 4kHz 4kHz ~ 50kHz	60 36			dB dB
R_{LP}	负载电阻	接于 V_{PO}^+ 与 V_{PO}^- 间	600			Ω

功耗

I_{CC0}	卸电状态电流	不加负载*		0.14	0.30	mA
I_{BB0}	卸电状态电流	不加负载*		0.20	1.5	mA
I_{CC1}	加电状态电流	$V_{PI}=0V$; $V_{F_{R0}}$, V_{PO}^+ , V_{PO}^- 不加负载		6.0	10.0	mA
I_{BB1}	加电状态电流	$V_{PI}=0V$; $V_{F_{R0}}$, V_{PO}^+ , V_{PO}^- 不加负载		6.0	10.0	mA

* 这种测试应在正常加电工作一段时间后进行

3. 定时规范

($V_{CC}=5.0V \pm 5\%$, $V_{BB}=5V \pm 5\%$, $T_A=0^\circ C \sim 70^\circ C$ 。所有信号都以 GNDA 为基准。典型值是在 $V_{CC} = +5V$, $V_{BB}=-5.0V$, $T_a=+25^\circ C$ 下测量)

符号	参数	条件	最小	典型	最大	单位
----	----	----	----	----	----	----

$1/t_{PM}$	主时钟频率	MCLK _x 和 MCLK _r (取决于 BCLK _r /CLKSEL 脚的输入)		1.536 1.544 2.048		MHz MHz MHz
t_{RM}	主时钟上升时间	MCLK _x 和 MCLK _r			50	ns
t_{FM}	主时钟下降时间	MCLK _x 和 MCLK _r			50	ns
t_{PB}	位时钟周期		485	488	1572	ns
t_{RB}	位时钟上升时间	BCLK _x 和 BCLK _r			50	ns
t_{FB}	位时钟下降时间	BCLK _x 和 BCLK _r			50	ns
t_{WMH}	主时钟高电平宽度	BCLK _x 和 BCLK _r	160			
t_{WML}	主时钟低电平宽度	MCLK _x 和 BCLK _r	160			ns
t_{SBFM}	从 BCLK _x 上沿到 MCLK _x 下降沿的建立时间		100			ns
t_{SFFM}	从 FS _x 上沿到 MCLK _x 下降沿的建立时间	仅对长帧	100			ns
t_{WBH}	位时钟高电平宽度		160			ns
t_{WBL}	位时钟低电平宽度		160			ns
t_{HBFL}	位时钟下沿到帧同步脉冲下沿保持时间	仅对长帧	0			ns
t_{HBFS}	从位时钟上沿到帧同步脉冲上沿的保持时间	仅对短帧	0			ns
t_{SFB}	从帧同步到位时钟下沿的保持时间	仅对长帧	80			ns
t_{DBD}	BCLK _x 的上沿到有效数据之间的延时	负载=150PF 加二个 LSTTL 负载	0		140	ns
t_{DBTS}	到 TS _x 输出低电平的延时	负载=150pF 加二个 LSTTL 负载	0		140	ns
t_{DZC}	从 BCLK _x 下沿到输出数据被禁止的延时	$C_L=0pF$ 到 150pF	50		165	ns
t_{DZF}	从 FS _x 或 BCLK _x (以后来为准) 到有效数据之间的延时时间	$C_L=0pF$ 到 150pF	20		165	ns
t_{SDB}	从 D _r 有效到 BCLK _r /x 下沿的建立时间		50			ns
t_{HBD}	从 BCLK _r /x 下沿到 D _r 无效的保持时间		50			ns
t_{SF}	从 FS _{x/r} 到 BCLK _{x/r} 下沿的建立时间	短帧同步脉冲 (1 位时钟周期长)	50			ns
t_{HF}	从 BCLK _{x/r} 下沿到 FS _{x/r} 下沿的保持时间	短帧同步脉冲 (1 位时钟周期长)	100			ns
t_{HBF1}	从位时钟第三周期的下沿到帧同步的建立时间	长帧同步脉冲 (3~8 位时钟周期长)	100			ns
t_{WFL}	帧同步脉冲的最小低电平宽度	64Kb/s 的工作模式	160			ns

短帧定时图

(除非另有说明, $T_a=0^{\circ}\text{C} \sim 70^{\circ}\text{C}$, $V_{CC}=5\text{V}\pm 5\%$, $V_{BB}=-5\text{V}\pm 5\%$ $GND=0\text{V}$, $f=1.02\text{kHz}$, $V_{IN}=0\text{dBm0}$, 发送放大器连结成增益为 1, 非反相的型式)

符号	参数	条件	最小	典型	最大	单位
振幅响应						
	绝对电平	额定的 0dBm0 电平是 4dBm (600 Ω) 0dBm0		1.227		V _{rms}
t _{MAX}		最大过载电平 (3.14dBm0)		2.492		V _{PK}
G _{XA}	发送增益 (绝对值)	T _A =25 $^{\circ}\text{C}$, V _{CC} =5V, V _{BB} =-5V GS _X 端输入电平=0dBm0 f=1020Hz	-0.25		0.25	dB
G _{XR}	相对于 G _{XA} 的发送增益	f=16Hz 50Hz 60Hz 200Hz 300Hz -- 3000Hz 3300Hz 3400Hz 4000Hz 4600 及以上 测试响应从 0~4000Hz	-1.8 -0.15 -0.35 -0.7		-40 -30 -26 -0.1 0.15 0.05 0 -14 -32	dB
G _{XAT}	绝对发送增益随温度的变化	相对于 G _{XA}	-0.1		0.1	dB
G _{XAV}	绝对发送增益随电源电压的变化	相对于 G _{XA}	-0.05		0.05	dB
G _{XRL}	发送增益随电平的变化	正弦测试法 参考电平 = -10dBm0 VF _{XI} ⁺ = -40dBm0 ~ 3dBm0 VF _{XI} ⁺ = -50dBm0 ~ -40dBm0 VF _{XI} ⁺ = -55dBm0 ~ -50dBm0	-0.2 -0.4 -1.2		0.2 0.4 1.2	dB
G _{RA}	绝对接收增益	T _A = 25 $^{\circ}\text{C}$, V _{CC} =5V, V _{BB} =-5V 输入: 数字码序列 1020Hz 的 0dBm0 信号	-0.25		0.25	dB
G _{RR}	相对于 G _{RA} 的接收增益	f = 0 ~ 3000Hz, f = 3300Hz f = 3400Hz f = 4000Hz	-0.15 -0.35 -0.7		0.15 0.05 0 -14	dB
G _{RAT}	绝对接收增益随温度的变化	相对于 G _{RA}	-0.1		0.1	dB
G _{RAV}	绝对接收增益随电源电压的变化	相对于 G _{RA}	-0.05		0.05	dB

G_{RRL}	接收增益随电平变化	正弦测试法, 参考输入的 PCM 码相当于一个理想的编码 PCM 电平 = -40dBm0 ~ +3dBm0 = -50dBm0 ~ -40dBm0 = -55dBm0 ~ -50dBm0	-0.2 -0.4 -1.2	0.2 0.4 1.2	dB dB
V_{R0}	接收滤波器在 V_{R0} 端的输出	$R_L = 10k\Omega$	-2.5	2.5	V

符 号	参 数	条 件	最 小	典 型	最 大	单 位
包络延迟频率响应						
D_{XA}	发送绝对延时	$f = 1600\text{Hz}$		290	315	μs
D_{XR}	相对于 DXA 的发送延时	$f = 500 \sim 600\text{Hz}$		195	220	μs
		$f = 600 \sim 800\text{Hz}$		120	145	μs
		$f = 800 \sim 1000\text{Hz}$		50	75	μs
		$f = 1000 \sim 1600\text{Hz}$		20	40	μs
		$f = 1600 \sim 2600\text{Hz}$		55	75	μs
		$f = 2600 \sim 2800\text{Hz}$ $f = 2800 \sim 3000\text{Hz}$		80 130	105 155	μs μs
D_{RA}	绝对接收延时	$f = 1600\text{Hz}$		270	290	μs
D_{RR}	相对于 DRA 的接收延时	$f = 500 \sim 1000\text{Hz}$	-40	-25		μs
		$f = 1000 \sim 1600\text{Hz}$	-30	-20		μs
		$f = 1600 \sim 2600\text{Hz}$		70	90	μs
		$f = 2600 \sim 2800\text{Hz}$		100	125	μs
		$f = 2800 \sim 3000\text{Hz}$		145	175	μs
噪声						
N_{XP}	发送噪声, P 加权			-74	-67	dBm0P
N_{RP}	接收噪声, P 加权	PCM 码等于正零		-82	-79	dBm0P
N_{RS}	噪声单频	$f = 0 \sim 100\text{kHz}$, 环路测量, $V_{F_x I^+} = 0V_I$			-53	dBm0
$PPSR_x$	正电源抑制 (发送)	$V_{F_x I^+} = -50\text{dBm}\emptyset$ $V_{CC} = 5.0V_{DC} + 100\text{mV}_{rms}$ $f = 0 \sim 50\text{kHz}$	40			dBc
$NPSR_x$	负电源抑制 (发送)	$V_{F_x I^+} = -50\text{dBm}\emptyset$ $V_{BB} = -5.0V_{DC} + 100\text{mV}_{rms}$ $f = 0 \sim 50\text{kHz}$	40			dBc
$PPSR_r$	正电源抑制 (接收)	PCM 码等于正零				
		$V_{CC} = 5.0V_{DC} + 100\text{mV}_{rms}$, 测 V_{R0}				
		$f = 0 \sim 4000\text{Hz}$ $f = 4\text{k} \sim 25\text{kHz}$ $f = 25\text{kHz} \sim 50\text{kHz}$	40 40 36			dBc dB dB

NPSR _R	负电源抑制 (接收)	PCM 码等于正零 $V_{BB} = -5.0V_{DC} + 100mV_{rms}$, 测 $V_{F_{R0}}$ $f = 0 \sim 4000Hz$ $f = 4k \sim 50kHz$	38 25			dBC dB
SOS	通道输出的带 外信号	环路测试, 0dBm0, 300Hz 到 3400Hz 输入 PCM 码加在 D_R 端, 测量 $V_{F_{R0}}$ 端的镜像信号 4600Hz --- 7600Hz 7600Hz --- 8400Hz 8400Hz --- 100000Hz				-30 dB -40 dB -30 dB

符 号	参 数	条 件	最 小	典 型	最 大	单 位
失真						
STD _x STD _R	总信噪比 发送或接收 半通道	正弦测试方法 电平 = 3.0dBm0 = 0dBm0 to -30 dBm0 = -40dBm0 XMT RCV = -55dBm0 XMT RCV	33 36 29 30 14 15			dBC dBC dBC dBC dBC dBC
SFD _x	单频失真 发送				-46	dB
SFD _r	单频失真 接收				-46	dB
IMD	交互调制失真	环路测试 $V_{F_{x^+}} = -4dBm0$ to $-21dBm0$, 频率范围: 300Hz ~ 3400Hz			-41	dB
串音						
CT _{x-r}	发送到接收串音, 0dBm0 发送电平	$f = 300Hz \sim 3400Hz$ $D_R =$ 静态 PCM 码		-90	-75	dB
CT _{r-x}	接收到发送串音, 0dBm0 接收电平	$f = 300Hz \sim 3400Hz$, $V_{F_{xI}}$ = 多音调		-90	-70	dB
功率放大器						
V_{0PA}	最大 0dBm0 电平 (在 -10 dBm0 至 +3 dBm0 间的 线性优于 $\pm 0.1dB$)	平衡负载 R_L 接于 V_{P0^+} 与 V_{P0^-} 间 $R_L = 600\Omega$ $R_L = 1200\Omega$	3.3 3.5			V _{rms} V _{rms}
S/D _p	信号/失真	$R_L = 600\Omega$	50			dB

5. 在 DX 输出处的编码格式

	BL 1302A67/S A 律							
V_{IN} (在 GS_x) = +满度	1	0	1	0	1	0	1	0
V_{IN} (在 GS_x) = 0V	1	1	0	1	0	1	0	1
V_{IN} (在 GS_x) = -满度	0	1	0	1	0	1	0	1
V_{IN} (在 GS_x) = -满度	0	0	1	0	1	0	1	0

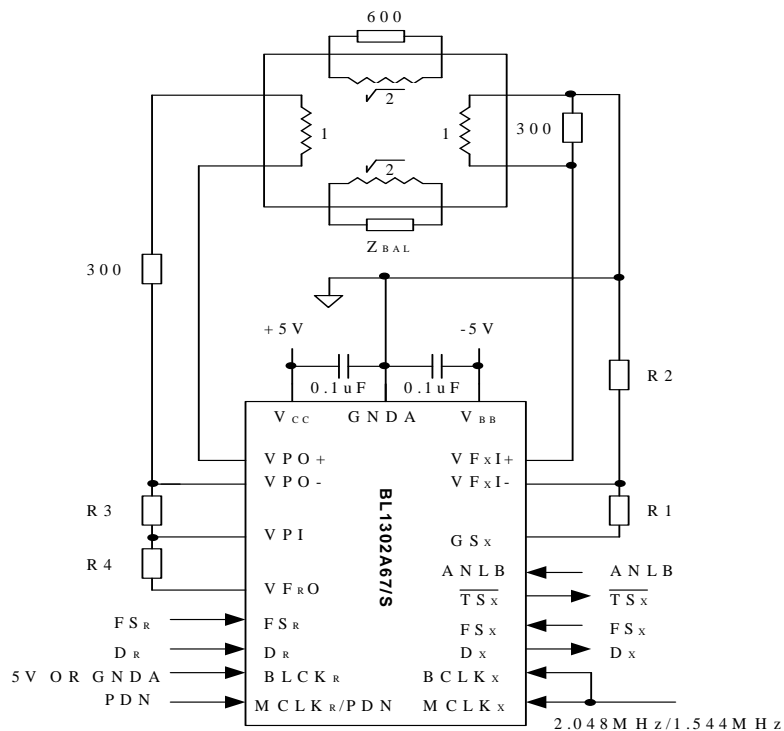
六、应用信息

1. 电源供给

本电路内部虽有保护电路，但仍建议根据 CMOS 电路的标准规范操作。在连接任何其他脚之前，先将地线连接。所有地线需有一公共端点，此点应尽可能靠近 GND A 管脚，这将减少总线内部地回流间的相互影响，此公共点与 V_{CC} 、 V_{BB} 间应接 $0.1\mu F$ 的退藕电容，并尽可能靠近器件管脚。为达到最佳效果，此器件的地线应以星状形式连接到电路板的公共地线，而不是以总线形式。此公共地点与 V_{CC} 、 V_{BB} 之间联以 $10\mu F$ 的退藕电容。

2. 典型的同步应用

注 1. 发送增益 = $20 \times \log((R1+R2)/R2)$ ， $(R1+R2) \geq 10 \text{ k}\Omega$



注 2. 接收增益 = $20 \times \log(2 \times R3/R4)$ ， $R4 \geq 10 \text{ k}\Omega$

七、封装信息

