



AK4368

PLL & HP-AMP内蔵 DAC

概 要

AK4368はPLL & ヘッドフォンアンプを内蔵した24bit D/Aコンバータです。PLLは携帯電話の様々なベースバンドクロックに対応します。また、アナログミキシング回路も内蔵しておりますので、携帯電話のオーディオI/Fとの接続も可能です。AK4368は3D Stereo Enhancement 回路を内蔵します。ヘッドフォンアンプは16Ωで50mWを出力することが可能で、電源ON/OFF時、ミュート時のポップノイズはありません。パッケージは小型の41pin BGAを採用しており、ポータブル用途には最適です。

特 長

- マルチビット $\Delta\Sigma$ 方式DAC
- サンプリングレート
 - 8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz
- 8倍FIRデジタルフィルタ内蔵
 - 通過域: 20kHz
 - 通過域リップル: $\pm 0.02\text{dB}$
 - 阻止域減衰量: 54dB
- デジタルディエンファシス内蔵: 32kHz, 44.1kHz, 48kHz
- PLL:
 - 周波数: 27MHz, 26MHz, 19.8MHz, 19.68MHz, 19.2MHz, 15.36MHz, 14.4MHz, 13MHz, 12MHz, 11.2896MHz
 - 入力レベル: ACカップル入力可能
- オーディオI/Fフォーマット: MSB First, 2's Complement
 - I^2S , 24bit 前詰め, 24bit/20bit/16bit 後詰め
 - マスタモード/スレーブモード対応
- ミキシング機能: LR, LL, RR, (L+R)/2
- デジタルALC
- デジタルボリューム
- アナログミキシング回路
- 3D Stereo Enhancement
- ステレオライン出力
- マイコンインタフェース: 3線式/ I^2C
- バスブースト内蔵
- ヘッドフォンアンプ内蔵
 - 定格出力: 50mW x 2ch @16Ω, 3.3V
 - S/N: 92dB@3.3V
 - 電源ON/OFF時およびミュート時ポップノイズフリー
- 電源電圧: 1.6V ~ 3.6V
- 消費電流: 4.0mA @2.4V (HP-AMP無出力時)
- Ta: -30 ~ 85°C
- 小型パッケージ: 41pin BGA (4mm x 4mm, 0.5mm pitch)

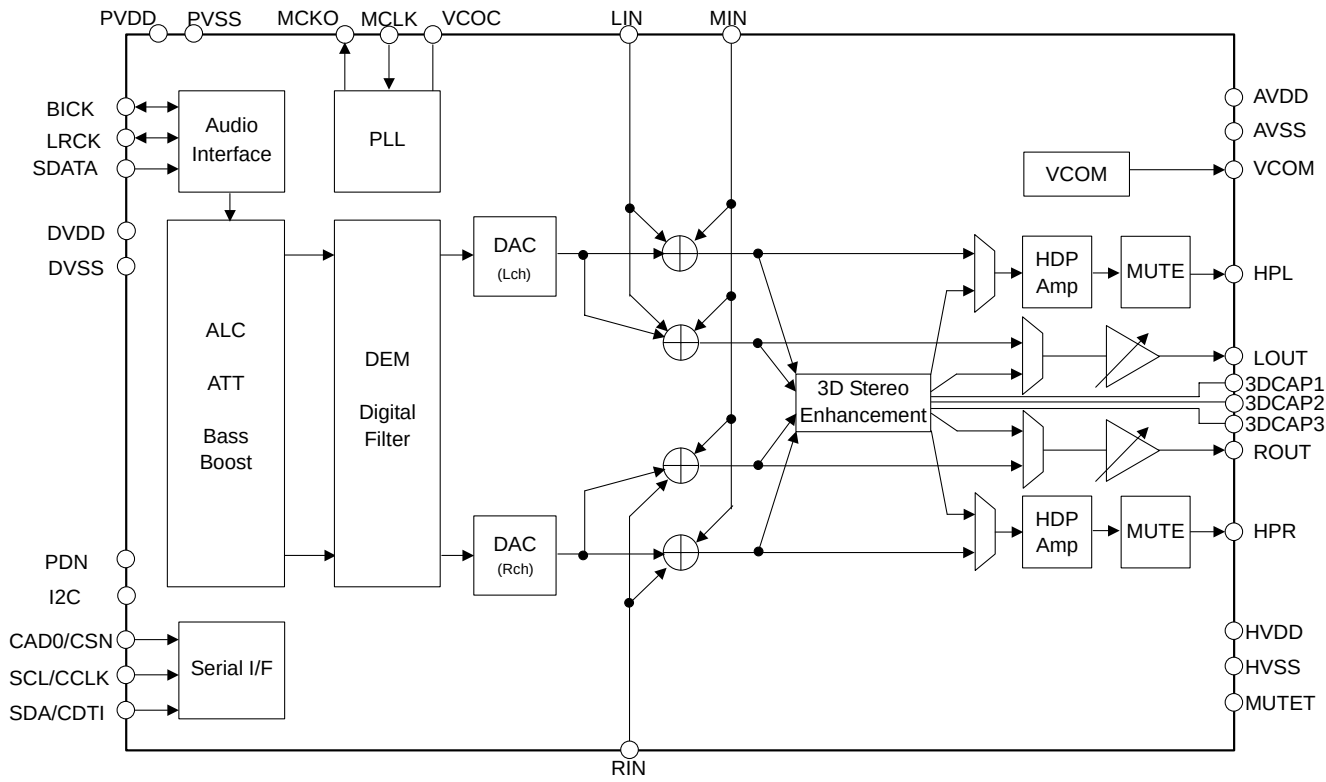


Figure 1. ブロック図

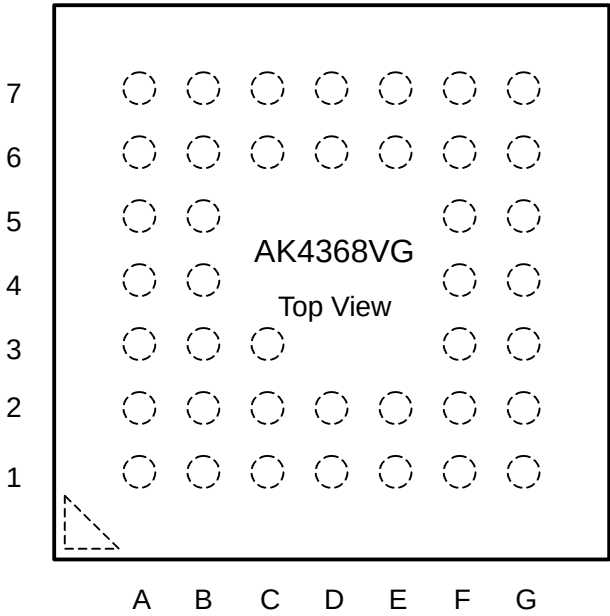
■ オーダリングガイド

AK4368VG
AKD4368

-30 ~ +85°C
AK4368用評価ボード

41pin BGA (0.5mm pitch)

■ ピン配置



7	NC	HPR	HVDD	AVDD	VCOM	LOUT	NC
6	HPL	HVSS	AVSS	MUTET	ROUT	3DCAP2	3DCAP3
5	MIN	NC	Top View			NC	3DCAP1
4	RIN	NC				PDN	NC
3	VCOC	LIN				NC	NC
2	PVDD	PVSS	DVSS	I2C	LRCK	SDATA	SCL/ CCLK
1	NC	MCKO	DVDD	MCKI	BICK	SDA/ CDTI	NC
	A	B	C	D	E	F	G

■ AK4365, AK4367との比較表

項目	AK4365	AK4367	AK4368
PLL入力周波数	19.8/19.68/19.2/15.36/ 14.4/13/12/11.2896MHz	N/A	27/26/19.8/19.68/19.2/ 15.36/14.4/13/12/11.2896 MHz
PLL対応サンプリング周波数	8/11.025/16/22.05/24/32/ 44.1/48kHz	N/A	8/11.025/12/16/22.05/24/ 32/44.1/48kHz
オーディオI/Fフォーマット	20bit後詰め 16/20bit前詰め I ² S	24bit後詰め 16/20/24bit前詰め I ² S	←
マスタモード	Available	N/A	Available
ALC	N/A	N/A	Available
3D Stereo Enhancement	N/A	N/A	Available
ライン出力	Mono	Mono	Stereo
マイコンインタフェース	3-wire	3-wire/I ² C	←
バスブースト	+6dB	+16dB	←
ミキシング	(L+R)/2	(L+R)/2	LL, RR, (L+R)/2
ヘッドフォン出力	10mW	50mW	50mW
電源電圧	2.7 ~ 3.3V	2.2 ~ 3.6V	1.6 ~ 3.6V
パッケージ	28QFN(5.2mm x 5.2mm)	20QFN(4.2mm x 4.2mm)	41BGA(4mm x 4mm)

ピン／機能

No.	ピン名称	I/O	機 能
B1	MCKO	O	マスタクロック出力ピン
C2	DVSS	-	ディジタルグランドピン
C1	DVDD	-	ディジタル電源ピン
D2	I2C	I	コントロールモード選択ピン “H”: I ² Cバス, “L”: 3線式シリアル
D1	MCKI	I	マスタクロック入力ピン
E2	LRCK	IO	L/Rクロックピン オーディオデータのチャンネルを決定します。
E1	BICK	IO	シリアルビットクロックピン オーディオデータをシフトするためのクロックです。
F2	SDATA	I	オーディオデータ入力ピン
F1	SDA	I/O	コントロールデータ入出力ピン (I2C pin = “H”)
	CDTI	I	コントロールデータ入力ピン (I2C pin = “L”)
G2	SCL	I	コントロールクロック入力ピン (I2C pin = “H”)
	CCLK	I	コントロールクロック入力ピン (I2C pin = “L”)
G3	CAD0	I	チップアドレス0ピン (I2C pin = “H”)
	CSN	I	コントロールデータチップセレクトピン (I2C pin = “L”)
F4	PDN	I	パワーダウン&リセットピン このピンを “L” にすると内部はパワーダウンされ、リセット状態になります。 電源立ち上げ時に一度 “L” を入力して下さい。
G5	3DCAP1	O	3D Stereo Enhancement用コンデンサ接続1ピン 3DCAP2 pinとの間に4.7nFのコンデンサを直列に接続してください。
F6	3DCAP2	O	3D Stereo Enhancement用コンデンサ接続2ピン 3DCAP1 pinとの間に4.7nFのコンデンサを直列に接続、3DCAP3 pinとの間に 470nFのコンデンサを直列に接続して下さい。
G6	3DCAP3	O	3D Stereo Enhancement用コンデンサ接続3ピン 3DCAP3 pinとの間に470nFのコンデンサを直列に接続して下さい。
F7	LOUT	O	Lchアナログ出力ピン
E6	ROUT	O	Rchアナログ出力ピン
E7	VCOM	O	コモン電圧ピン AVSS pinとの間に2.2μFの電解コンデンサを接続します。
D7	AVDD	-	アナログ電源ピン
C6	AVSS	-	アナロググランドピン
D6	MUTET	O	ミュート時定数コントロールピン HVSS pinとの間に時定数設定用コンデンサを接続します。
C7	HVDD	-	ヘッドフォンアンプ用電源ピン
B6	HVSS	-	ヘッドフォンアンプ用グランドピン
B7	HPR	O	Rch HP-Amp出力ピン
A6	HPL	O	Lch HP-Amp 出力ピン
A5	MIN	I	モノラルアナログ入力ピン
A4	RIN	I	Rch アナログ入力ピン
B3	LIN	I	Lch アナログ入力ピン
A3	VCOC	O	PLL回路のループフィルタ出力ピン PVSSとの間に抵抗とコンデンサを直列に接続して下さい。
B2	PVSS	-	PLL用グランドピン。AVSSと接続して下さい。
A2	PVDD	-	PLL用電源ピン。AVDDと接続して下さい。

No.	ピン名称	I/O	機 能
A1 A7 B4 B5 C3 F3 F5 G1 G4 G7	NC	-	No Connect Pin No internal bonding. These pins should be connected to ground

Note: デジタル入力ピン(I2C, SDA/CDTI, SCL/CCLK, CAD0/CSN, SDATA, LRCK, BICK, MCKI, PDN)はオープンにしないで下さい。

Note: MCKI pinは、PDN pin = “L”時のみオープンも可能です。

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Analog	LOUT, ROUT, MUTET, HPR, HPL, MIN, RIN, LIN	オープン
Digital	CAD0	DVSSに接続
	MCKO	オープン

絶対最大定格

(AVSS, DVSS, HVSS, PVSS=0V; Note 1)

Parameter		Symbol	min	max	Units
Power Supplies	Analog	AVDD	-0.3	4.6	V
	Digital	DVDD	-0.3	4.6	V
	PLL	PVDD	-0.3	4.6	V
	HP-Amp	HVDD	-0.3	4.6	V
	AVSS – DVSS (Note 2)	ΔGND1	-	0.3	V
	AVSS – HVSS (Note 2)	ΔGND2	-	0.3	V
	AVSS – PVSS (Note 2)	ΔGND3	-	0.3	V
Input Current (any pins except for supplies)		IIN	-	±10	mA
Analog Input Voltage (Note 3)		VINA	-0.3	AVDD+0.3 or 4.6	V
Digital Input Voltage (Note 4)		VIND	-0.3	DVDD+0.3 or 4.6	V
Ambient Temperature		Ta	-30	85	°C
Storage Temperature		Tstg	-65	150	°C

Note 1. 電圧はすべてグラウンドピンに対する値です。

Note 2. AVSS, DVSS, HVSSとPVSSはアナロググラウンドに接続して下さい。

Note 3. MIN, LIN, RIN pins.

Note 4. SDA/CDTI, SCL/CCLK, CAD0/CSN, SDATA, LRCK, BICK, MCLK, PDN, I2C pins.

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

推奨動作条件

(AVSS, DVSS, HVSS, PVSS=0V; Note 1)

Parameter		Symbol	min	typ	Max	Units
Power Supplies	Analog	AVDD	1.6	2.4	3.6	V
	Digital	DVDD	1.6	2.4	AVDD	V
	PLL	PVDD	1.6	2.4	3.6	V
	HP-Amp	HVDD	1.6	2.4	3.6	V
	Difference1	AVDD-PVDD	-0.3	0	+0.3	V
	Difference2	AVDD-HVDD	-0.3	0	+0.3	V

Note 1. 電圧はすべてグラウンドピンに対する値です。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

アナログ特性

(特記なき場合は $T_a=25^{\circ}\text{C}$; $\text{AVDD}=\text{PVDD}=\text{DVDD}=\text{HVDD}=2.4\text{V}$, $\text{AVSS}=\text{PVSS}=\text{DVSS}=\text{HVSS}=0\text{V}$; $f_s=44.1\text{kHz}$; EXT mode; BOOST OFF; Slave Mode; Signal Frequency = 1kHz; Measurement band width=20Hz ~ 20kHz; Headphone-Amp: $R_L=16\Omega$, $C_L=220\mu\text{F}$ を直列接続した場合(Figure 45参照))

Parameter		min	typ	Max	Units
DAC Resolution		-	-	24	bit
Headphone-Amp: (HPL/HPR pins) (Note 5)					
Analog Output Characteristics					
THD+N	-3dBFS Output, 2.4V, $P_o=10\text{mW}@16\Omega$	-	-50	-40	dB
	-4.8dBFS Output, 3.3V, $P_o=50\text{mW}@16\Omega$ HPG bit= "1"	-	-20	-	dB
D-Range	-60dBFS Output, A-weighted, 2.4V	82	90	-	dB
	-60dBFS Output, A-weighted, 3.3V	-	92	-	dB
S/N	A-weighted, 2.4V	82	90	-	dB
	A-weighted, 3.3V	-	92	-	dB
Interchannel Isolation		60	80	-	dB
DC Accuracy					
Interchannel Gain Mismatch		-	0.3	0.5	dB
Gain Drift		-	200	-	ppm/ $^{\circ}\text{C}$
Load Resistance (Note 6)		16	-	-	Ω
Load Capacitance		-	-	300	pF
Output Voltage	-3dBFS Output (Note 7)	1.01	1.13	1.25	V _{pp}
	-4.8dBFS Output, 3.3V, $P_o=50\text{mW}@16\Omega$ HPG bit= "1"	-	0.89	-	V _{rms}
Stereo Line Output: (LOUT/ROUT pins, $R_L=10\text{k}\Omega$) (Note 8)					
Analog Output Characteristics:					
THD+N	0dBFS Output	-	-60	-50	dB
S/N	A-weighted	80	87	-	dB
DC Accuracy					
Gain Drift		-	200	-	ppm/ $^{\circ}\text{C}$
Load Resistance (Note 6)		10	-	-	k Ω
Load Capacitance		-	-	25	pF
Output Voltage	0dBFS Output (Note 9)	1.32	1.47	1.61	V _{pp}
Output Volume: (LOUT/ROUT pins)					
Step Size		1	2	3	dB
Gain Control Range		-30	-	0	dB

Note 5. DACHL=DACHR bits = "1", MINHL=MINHR=LINHL=RINHR bits = "0"時の値です。

Note 6. AC負荷。

Note 7. 出力電圧はAVDDに比例します。 $V_{out} = 0.47 \times \text{AVDD}(\text{typ})@-3\text{dBFS}$.

Note 8. DACL=DACR bits = "1", MINL=MINR=LINL=RINR bits = "0"の時の値です。

Note 9. 出力電圧はAVDDに比例します。 $V_{out} = 0.61 \times \text{AVDD}(\text{typ})@0\text{dBFS}$.

Parameter	min	typ	max	Units
LINEIN: (LIN/RIN/MIN pins)				
Analog Input Characteristics				
Input Resistance (Figure 23, Figure 24参照)				
LIN pin				
LINHL bit = "1", LINL bit = "1"	35	50	-	kΩ
LINHL bit = "1", LINL bit = "0"	-	100	-	kΩ
LINHL bit = "0", LINL bit = "1"	-	100	-	kΩ
RIN pin				
RINHR bit = "1", RINR bit = "1"	35	50	-	kΩ
RINHR bit = "1", RINR bit = "0"	-	100	-	kΩ
RINHR bit = "0", RINR bit = "1"	-	100	-	kΩ
MIN pin				
MINHL=MINHR=MINL=MINR bits = "1"	17	25	-	kΩ
MINHL bit = "1", MINHR=MINL=MINR bits = "0"	-	100	-	kΩ
MINHR bit = "1", MINHL=MINL=MINR bits = "0"	-	100	-	kΩ
MINL bit = "1", MINHL=MINHR=MINR bits = "0"	-	100	-	kΩ
MINR bit = "1", MINHL=MINHR=MINL bits = "0"	-	100	-	kΩ
Gain				
LIN/MIN→LOUT, RIN/MIN→ROUT	-1	0	+1	dB
LIN/MIN→HPL, RIN/MIN→HPR	-0.24	+0.76	+1.76	dB
Power Supplies				
Power Supply Current				
Normal Operation (PDN pin = "H") (Note 10)				
AVDD+PVDD+DVDD	-	3.8	5.5	mA
HVDD	-	1.2	2.5	mA
Power-Down Mode (PDN pin = "L") (Note 11)	-	1	100	μA

Note 10. PMDAC=PMHPL=PMHPR=PMLO bits = "1", MUTEN bit = "1", MCKO bit = "0", HP-Amp無出力時。
PMDAC=PMHPL=PMHPR= "1", PMLO bit= "0"時, AVDD+PVDD+DVDD+HVDD= 4.0mA.

Note 11. 静止時、クロック(MCKI, BICK, LRCK)を含むすべてのデジタル入力ピンはDVSSに固定した場合の値です。

フィルタ特性

(Ta=25°C; AVDD, DVDD, PVDD, HVDD=1.6 ~ 3.6V; fs=44.1kHz; De-emphasis = "OFF")

Parameter			Symbol	min	typ	max	Units
DAC Digital Filter: (Note 12)							
Passband (Note 13)	-0.05dB	PB	0	-	20.0	kHz	
	-6.0dB		-	22.05	-	kHz	
Stopband (Note 13)			SB	24.1	-	-	kHz
Passband Ripple			PR	-	-	±0.02	dB
Stopband Attenuation			SA	54	-	-	dB
Group Delay (Note 14)			GD	-	22	-	1/fs
Group Delay Distortion			ΔGD	-	0	-	μs
DAC Digital Filter + Analog Filter: (Note 12) (Note 15)							
Frequency Response 0 ~ 20.0kHz			FR	-	±0.5	-	dB
Analog Filter: (Note 16)							
Frequency Response 0 ~ 20.0kHz			FR	-	±1.0	-	dB
BOOST Filter: (Note 15) (Note 17)							
Frequency Response	MIN	20Hz	FR	-	5.76	-	dB
		100Hz		-	2.92	-	dB
		1kHz		-	0.02	-	dB
	MID	20Hz	FR	-	10.80	-	dB
		100Hz		-	6.84	-	dB
		1kHz		-	0.13	-	dB
	MAX	20Hz	FR	-	16.06	-	dB
		100Hz		-	10.54	-	dB
		1kHz		-	0.37	-	dB

Note 12. BOOST OFF (BST1-0 bit = "00")

Note 13. 通過域、阻止域の周波数は fs (システムサンプリングレート) に比例します。

例えば、PB=0.4535fs(@-0.05dB)、SB=0.546fs(@-54dB)です。

Note 14. デジタルフィルタによる演算遅延で、データが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

Note 15. DAC → HPL, HPR, LOOUT, ROUTでの特性

Note 16. MIN → HPL/HPR/LOOUT/ROUT, LIN → HPL/LOOUT, RIN → HPR/ROUTでの特性。

Note 17. 周波数特性はfsに比例します。フルスケール入力時には、低域でクリップします。

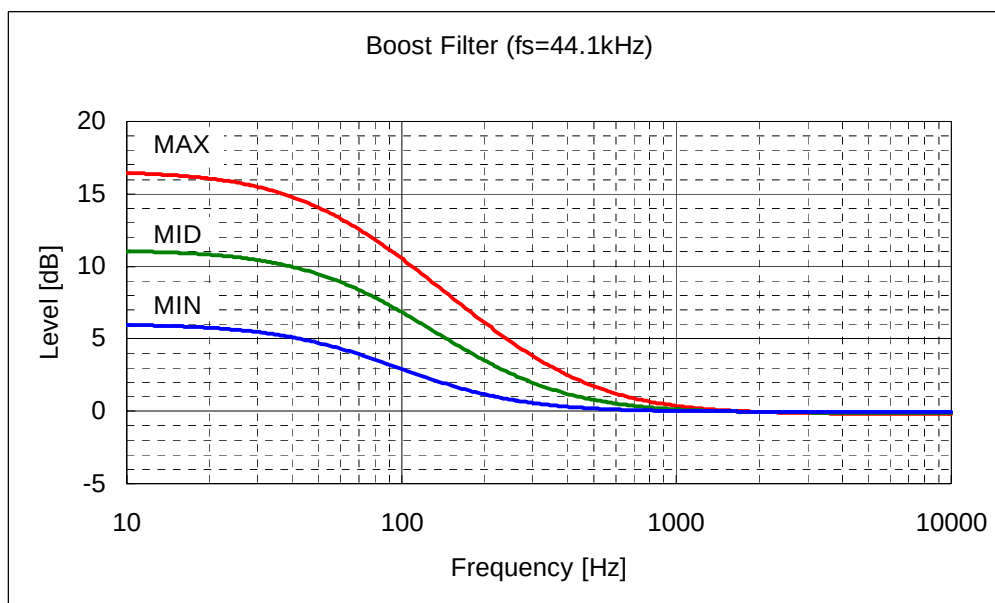


Figure 2. Boost Frequency (fs=44.1kHz)

DC特性

(Ta=25°C; AVDD, DVDD, PVDD, HVDD=1.6 ~ 3.6V)

Parameter		Symbol	min	typ	max	Units
High-Level Input Voltage	2.2V≤DVDD≤3.6V	VIH	70%DVDD	-	-	V
	1.6V≤DVDD<2.2V	VIH	80%DVDD	-	-	V
Low-Level Input Voltage	2.2V≤DVDD≤3.6V	VIL	-	-	30%DVDD	V
	1.6V≤DVDD<2.2V	VIL	-	-	20%DVDD	V
Input Voltage at AC Coupling (Note 18)		VAC	0.4	-	-	V _{pp}
High-Level Output Voltage	(I _{out} =-200μA)	VOH	DVDD-0.2	-	-	V
Low-Level Output Voltage	(Except SDA pin: I _{out} =200μA)	VOL	-	-	0.2	V
	(SDA pin: I _{out} =3mA)	VOL	-	-	0.4	V
Input Leakage Current		I _{in}	-	-	±10	μA

Note 18. MCKI pinをコンデンサ接続した場合。(Figure 45参照)

スイッチング特性

(Ta=25°C; AVDD, DVDD, PVDD, HVDD=1.6 ~ 3.6V; CL = 20pF)

Parameter	Symbol	min	typ	max	Units
Master Clock Input Timing					
Frequency (PLL mode)	fCLK	11.2896	-	27	MHz
Frequency (EXT mode)	fCLK	2.048	-	12.288	MHz
Pulse Width Low (Note 19)	tCLKL	0.4/fCLK	-	-	ns
Pulse Width High (Note 19)	tCLKH	0.4/fCLK	-	-	ns
AC Pulse Width (Note 20)	tACW	18.5	-	-	ns
LRCK Timing					
Frequency	fs	8	44.1	48	kHz
Duty Cycle: Slave Mode	Duty	45	-	55	%
Duty Cycle: Master Mode	Duty	-	50	-	%
MCKO Output Timing (PLL mode)					
Frequency	fCLKO	0.256	-	12.288	MHz
Duty Cycle (Except fs=32kHz, PS1-0= "00")	dMCK	40	-	60	%
Duty Cycle (fs=32kHz, PS1-0= "00")	dMCK	-	33	-	%
Serial Interface Timing (Note 21)					
Slave Mode (M/S bit = "0"):					
BICK Period	tBCK	312.5	-	-	ns
BICK Pulse Width Low	tBCKL	100	-	-	ns
BICK Pulse Width High	tBCKH	100	-	-	ns
LRCK Edge to BICK "↑" (Note 22)	tLRB	50	-	-	ns
BICK "↑" to LRCK Edge (Note 22)	tBLR	50	-	-	ns
SDATA Hold Time	tSDH	50	-	-	ns
SDATA Setup Time	tSDS	50	-	-	ns
Master Mode (M/S bit = "1"):					
BICK Frequency (BF bit = "1")	fBCK	-	64fs	-	Hz
BICK Frequency (BF bit = "0")	fBCK	-	32fs	-	Hz
BICK Duty	dBCK	-	50	-	%
BICK "↓" to LRCK	tMBLR	-50	-	50	ns
SDATA Hold Time	tSDH	50	-	-	ns
SDATA Setup Time	tSDS	50	-	-	ns
Control Interface Timing (3-wire Serial mode)					
CCLK Period	tCCK	200	-	-	ns
CCLK Pulse Width Low	tCCKL	80	-	-	ns
CCLK Pulse Width High	tCCKH	80	-	-	ns
CDTI Setup Time	tCDS	40	-	-	ns
CDTI Hold Time	tCDH	40	-	-	ns
CSN "H" Time	tCSW	150	-	-	ns
CSN "↑" to CCLK "↑"	tCSS	50	-	-	ns
CCLK "↑" to CSN "↑"	tCSH	50	-	-	ns

Note 19. ACカップリング時を除く。

Note 20. MCKIに対して直列にコンデンサを接続し、抵抗をグラウンドに対して接続した場合のグラウンドに対するパルス幅。(Figure 3参照)

Note 21. シリアルデータインタフェースの項を参照して下さい。

Note 22. この規格値は LRCKのエッジとBICKの "↑"が重ならないように規定しています。

Parameter	Symbol	min	typ	max	Units
Control Interface Timing (I²C Bus mode): (Note 23)					
SCL Clock Frequency	fSCL	-	-	400	kHz
Bus Free Time Between Transmissions	tBUF	1.3	-	-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6	-	-	μs
Clock Low Time	tLOW	1.3	-	-	μs
Clock High Time	tHIGH	0.6	-	-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6	-	-	μs
SDA Hold Time from SCL Falling (Note 24)	tHD:DAT	0	-	-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1	-	-	μs
Rise Time of Both SDA and SCL Lines	tR	-	-	0.3	μs
Fall Time of Both SDA and SCL Lines	tF	-	-	0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6	-	-	μs
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0	-	50	ns
Power-down & Reset Timing					
PDN Pulse Width (Note 25)	tPD	150	-	-	ns

Note 23. I²CはPhilips Semiconductorsの登録商標です。

Note 24. データは最低300ns (SCLの立ち下がり時間)の間保持されなければなりません。

Note 25. 電源投入時はPDN pinを“L”から“H”にすることでリセットがかかります。

■ タイミング波形

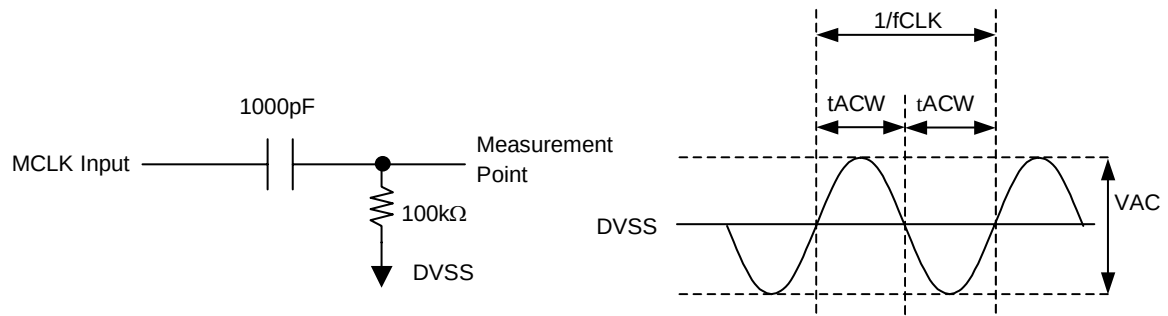


Figure 3. MCKI AC Coupling Timing

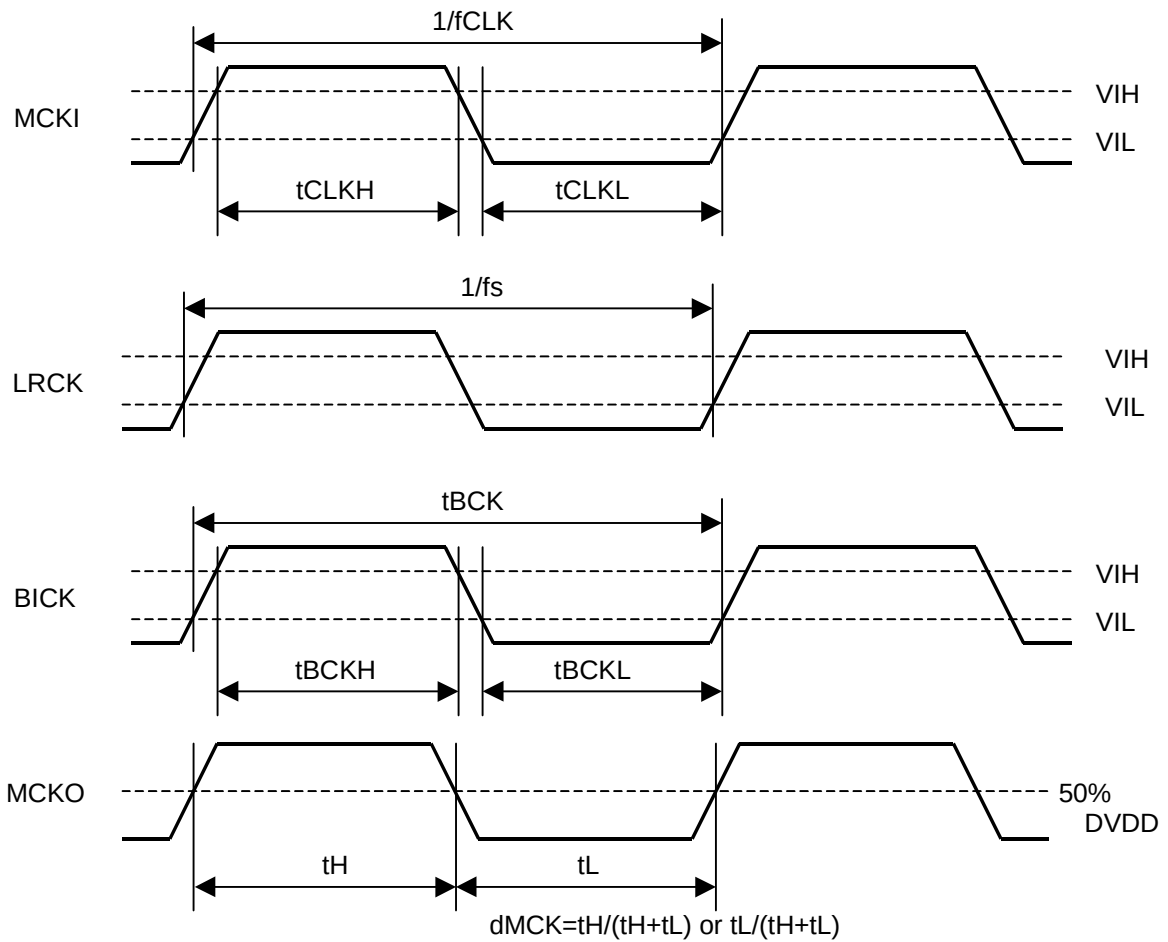


Figure 4. Clock Timing

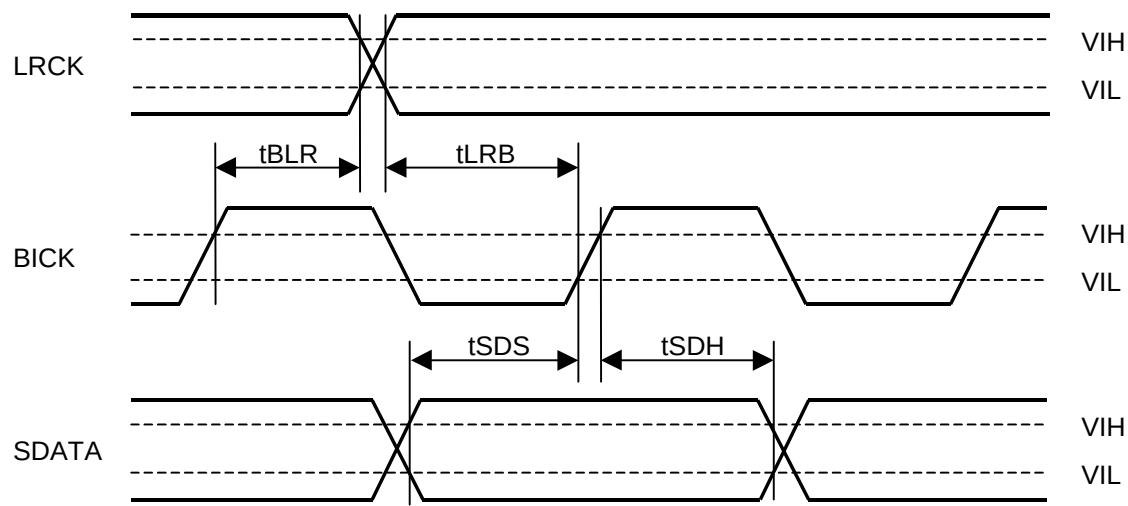


Figure 5. Serial Interface Timing (Slave Mode)

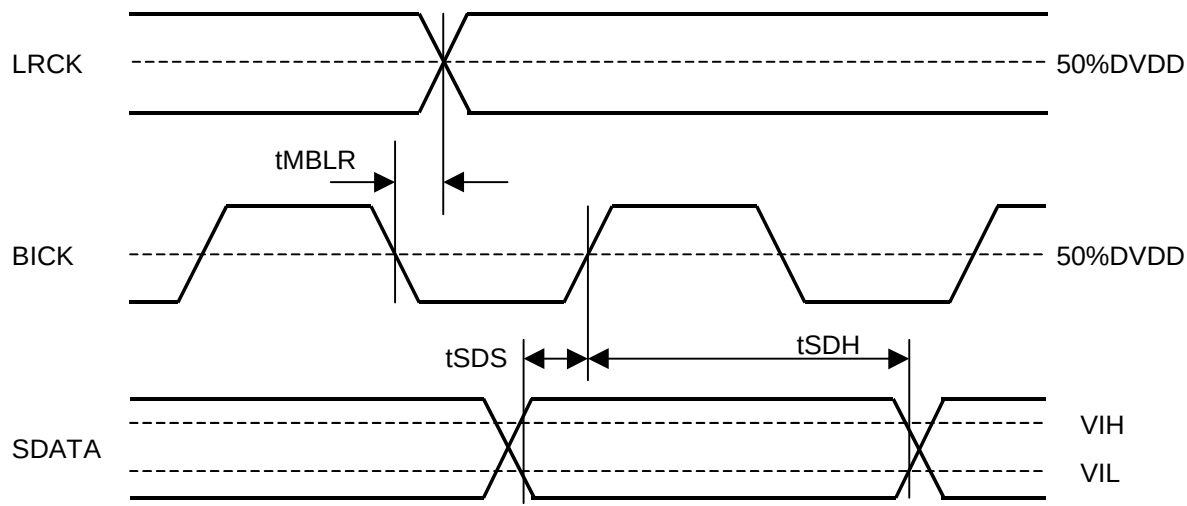


Figure 6. Serial Interface Timing (Master mode)

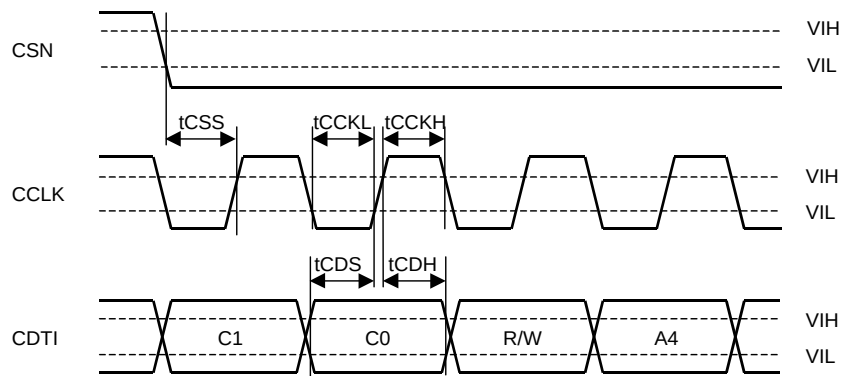


Figure 7. WRITE Command Input Timing

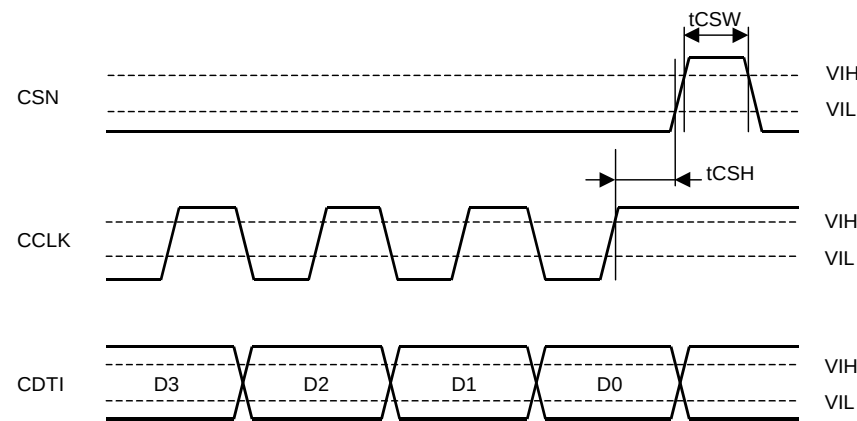


Figure 8. WRITE Data Input Timing

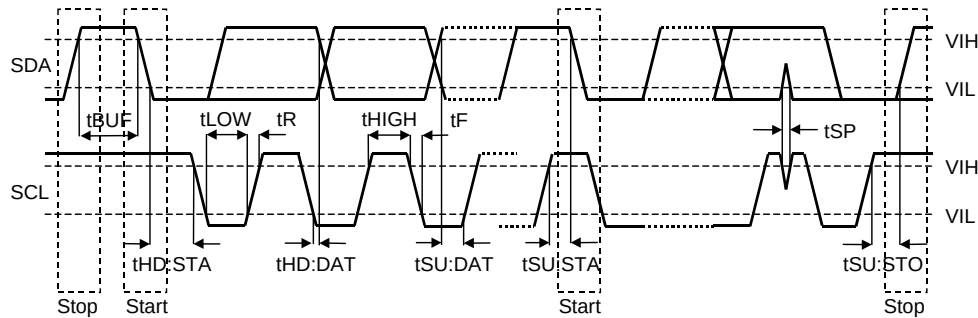


Figure 9. I²C Bus Mode Timing

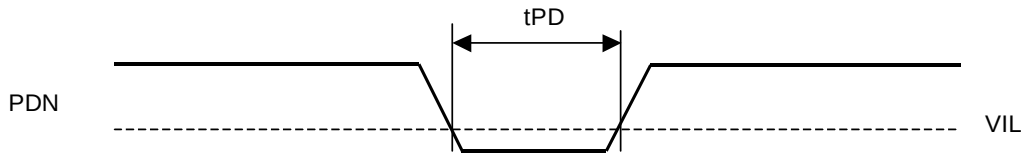


Figure 10. Power-down & Reset Timing

動作説明

■ システムクロック

1) PLLモード (PMPLL bit = “1”)

内蔵の高精度アナログPLLはPLL3-0 bits, FS3-0 bits (Table 1, Table 2) で選択したクロックに応じて動作します。MCKOの出力クロックはPS1-0 bits (Table 3)で設定された周波数を出力し、MCKO bit にてON/OFF可能です。PLLのロック時間はTable 1を参照してください。動作中(PMDAC bit = “1”)にサンプリング周波数を変更する場合は、ソフトミュートをかけるか、あるいは“0”データを入力してからサンプリング周波数の変更を行ってください。

マスタモードとスレーブモードの切り替えはM/S bitで行います。“1”でマスタモード、“0”でスレーブモードです。AK4368はパワーダウン時 (PDN pin = “L”)、及びパワーダウン解除後はスレーブモードです。パワーダウン解除後、M/S bitを“1”に変更することでマスタモードになります。

マスタモード時、外部から11.2896MHz, 12MHz, 13MHz, 14.4MHz, 15.36MHz, 19.2MHz, 19.68MHz, 19.8MHz, 26MHz, 27MHzのクロックを入力し、内部のPLLにより、MCKO, BICK, LRCKクロックを生成し出力します。(Figure 11)

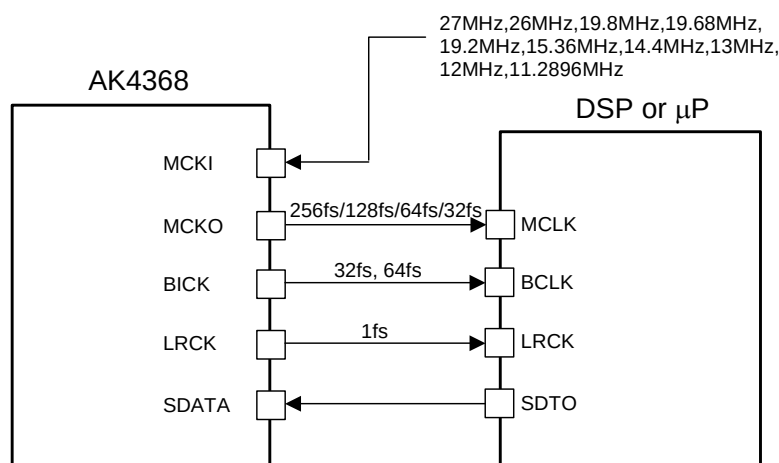


Figure 11. PLL Master Mode

マスタモードで使用する場合、M/S bitに“1”が書き込まれるまで、AK4368のLRCK, BICK pinはフローティングの状態です。そのため、AK4368のLRCK, BICK pinに100kΩ程度のプルアップあるいはプルダウン抵抗を入れる必要があります。

マスタモード時(M/S bit = “1”)、PMPLL bit = “0” → “1” およびPMDAC bit = “0” → “1”設定にした後PLLがロックするまでの間、LRCKとBICKは“L”を出力、MCKO bit = “1”のときMCKO pinからは正常でない周波数のクロックが出力されます。MCKO bit = “0”の場合は、MCKO pinは“L”を出力します。PLLロック後、LRCKとBICKがAK4368から出力されます(Table 4)。

スレーブモード時、BICK, LRCK pinへ入力されるクロックを基準に内部のPLLにて、AK4368に必要なクロックを生成します。このモードではMCKOに同期したBICK, LRCKを入力します。

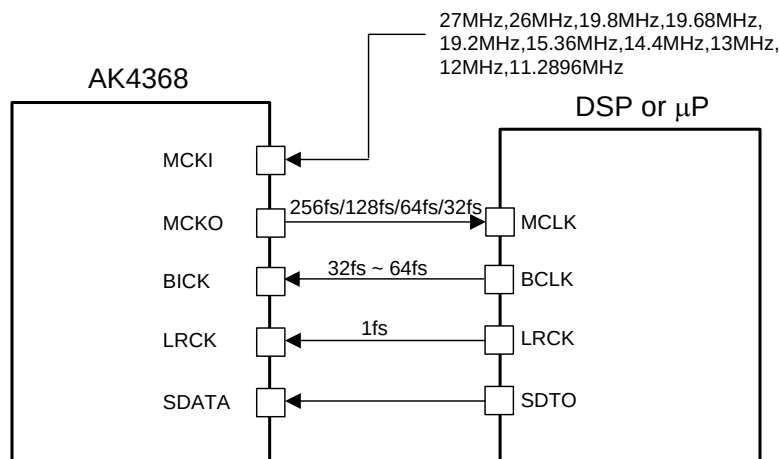


Figure 12. PLL Slave Mode

スレーブモード時(M/S bit = “0”)、PMPLL bit = “0” → “1” およびPMDAC bit = “0” → “1”設定にした後PLLがロックするまでの間、MCKO bit = “1”のときMCKO pinからは正常でない周波数のクロックが出力されます。その後、PLLがロックするとMCKO pinからTable 3で選択されたクロックが出力されます。動作時(PMDAC bit = “1”)はLRCKとBICKを止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PMDAC bit = “0”)にして下さい。

Mode	PLL3	PLL2	PLL1	PLL0	MCKI	fs[kHz]	VCOCのR,C		PLLロック時間 (typ)	
							R[Ω]	C[F]		
0	0	0	0	0	11.2896MHz	44.1, 48	10k	22n	20ms	Default
1	0	0	0	1	14.4MHz	44.1, 48	10k	22n	20ms	
2	0	0	1	0	12MHz	44.1, 48	10k	47n	20ms	
3	0	0	1	1	19.2MHz	44.1, 48	10k	22n	20ms	
4	0	1	0	0	15.36MHz	44.1, 48	10k	22n	20ms	
5	0	1	0	1	13MHz	44.1, 48	15k	330n	100ms	
6	0	1	1	0	19.68MHz	44.1, 48	10k	47n	20ms	
7	0	1	1	1	19.8MHz	44.1, 48	10k	47n	20ms	
8	1	0	0	0	26MHz	44.1, 48	15k	330n	100ms	
9	1	0	0	1	27MHz	44.1, 48	10k	47n	20ms	
10	1	0	1	0	13MHz	44.0995 48.0007	10k	22n	20ms	
11	1	0	1	1	26MHz	44.0995 48.0007	10k	22n	20ms	
12	1	1	0	0	19.8MHz	44.0995 47.9992	10k	22n	20ms	
13	1	1	0	1	27MHz	44.0995 47.9997	10k	22n	20ms	
14-15	Others				N/A	N/A	N/A	N/A	-	

Table 1. MCKI入力周波数 (PLL mode)

Mode	FS3	FS2	FS1	FS0	fs
0	0	0	0	0	48kHz
1	0	0	0	1	24kHz
2	0	0	1	0	12kHz
4	0	1	0	0	32kHz
5	0	1	0	1	16kHz
6	0	1	1	0	8kHz
8	1	0	0	0	44.1kHz
9	1	0	0	1	22.05kHz
10	1	0	1	0	11.025kHz
3, 7, 11-15	Others				N/A

Default

Table 2. サンプリング周波数 (PLL mode)

PS1	PS0	MCKO
0	0	256fs
0	1	128fs
1	0	64fs
1	1	32fs

Default

Table 3. MCKO周波数 (PLL mode, MCKO bit = "1")

	Master Mode (M/S bit = "1")		
	Power Up (PMDAC bit= PMPLL bit= "1")	Power Down (PMDAC bit= PMPLL bit= "0")	PLL Unlock
MCKI pin	Refer to Table 1.	Input or fixed to "L" or "H"	Refer to Table 1.
MCKO pin	MCKO bit = "0": "L" MCKO bit = "1": Output	"L"	MCKO bit = "0": "L" MCKO bit = "1": Unsettling
BICK pin	BF bit = "1": 64fs output BF bit = "0": 32fs output	"L"	"L"
LRCK pin	Output	"L"	"L"

Table 4. Clock Operation in Master mode (PLL mode)

	Slave Mode (M/S bit = "0")		
	Power Up (PMDAC bit= PMPLL bit= "1")	Power Down (PMDAC bit= PMPLL bit= "0")	PLL Unlock
MCKI pin	Refer to Table 1.	Input or fixed to "L" or "H"	Refer to Table 1.
MCKO pin	MCKO bit = "0": "L" MCKO bit = "1": Output	"L"	MCKO bit = "0": "L" MCKO bit = "1": Unsettling
BICK pin	Input	Fixed to "L" or "H" externally	Input or Fixed to "L" or "H" externally
LRCK pin	Input	Fixed to "L" or "H" externally	Input or Fixed to "L" or "H" externally

Table 5. Clock Operation in Slave mode (PLL mode)

2) 外部クロックモード(PMPLL bit = “0”: Default)

PMPLL bit を “0”にすることで、外部クロックモード(EXT mode)で動作し、MCKI pinからPLLを介さずに直接DACにマスタクロックを入力できます。この場合、FS3-0 bitsで選択できるクロックはTable 6の通りです。また、PLL3-0 bitsの設定は無視されます。MCKOの出力はMCKO bitにてON/OFF可能で、出力周波数はPS1-0 bitにより設定されます。DAC動作中(PMDAC bit = “1”)にサンプリング周波数を変更する場合は、ソフトミュータをかけるか、あるいは“0”データを入力してからサンプリング周波数の変更を行ってください。

マスタモード時(M/S bit = “1”)は、LRCKとBICKがAK4368から出力されます(Figure 13)。動作時(PMDAC bit = “1”)はMCKI pinへの入力クロックを止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はDACをパワーダウン状態(PMDAC bit = “0”)にしてください。

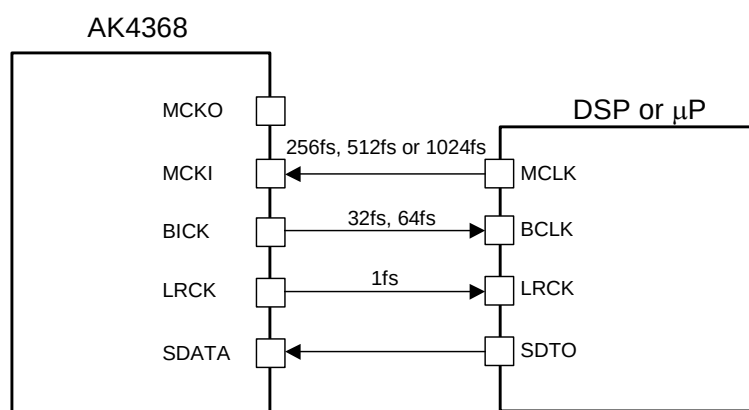


Figure 13. EXT Master Mode

スレーブモード時(M/S bit = “0”)に必要なクロックは、MCKI, BICK, LRCKです(Figure 14)。MCKIとLRCKは同期する必要がありますが位相を合わせる必要はありません。DAC動作時(PMDAC bit = “1”)は各外部クロック(MCKI, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はDACをパワーダウン状態(PMDAC bit = “0”)にしてください。

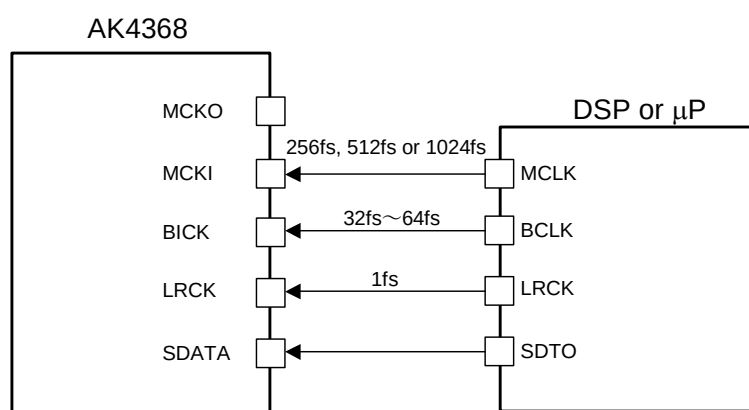


Figure 14. EXT Slave Mode

Mode	FS3	FS2	FS1	FS0	fs	MCKI
0	0	0	0	0	8kHz ~ 48kHz	256fs
1	0	0	0	1	8kHz ~ 24kHz	512fs
2	0	0	1	0	8kHz ~ 12kHz	1024fs
4	0	1	0	0	8kHz ~ 48kHz	256fs
5	0	1	0	1	8kHz ~ 24kHz	512fs
6	0	1	1	0	8kHz ~ 12kHz	1024fs
8	1	0	0	0	8kHz ~ 48kHz	256fs
9	1	0	0	1	8kHz ~ 24kHz	512fs
10	1	0	1	0	8kHz ~ 12kHz	1024fs
3, 7, 11-15	Others				N/A	N/A

Default

Table 6. サンプリング周波数とMCKI周波数の関係 (EXT mode)

PS1	PS0	MCKO
0	0	256fs
0	1	128fs
1	0	64fs
1	1	32fs

Default

Table 7. MCKO周波数 (EXT mode, MCKO bit = “1”)

	Master Mode (M/S bit = “1”)	
	Power Up (PMDAC bit = “1”)	Power Down (PMDAC bit = “0”)
MCKI pin	Refer to Table 6.	Input or fixed to “L” or “H”
MCKO pin	MCKO bit = “0”: “L” MCKO bit = “1”: Output	“L”
BICK pin	BF bit = “1”: 64fs output BF bit = “0”: 32fs output	“L”
LRCK pin	Output	“L”

Table 8. Clock Operation in Master mode (EXT mode)

	Slave Mode (M/S bit = “0”)	
	Power Up (PMDAC bit = “1”)	Power Down (PMDAC bit = “0”)
MCKI pin	Refer to Table 6.	Input or fixed to “L” or “H”
MCKO pin	MCKO bit = “0”: “L” MCKO bit = “1”: Output	“L”
BICK pin	Input	Fixed to “L” or “H” externally
LRCK pin	Input	Fixed to “L” or “H” externally

Table 9. Clock Operation in Slave mode (EXT mode)

低速サンプリング時は帯域外ノイズのため、DR, S/Nが劣化します。MCKIに入力されるマスタクロックの周波数を上げることで、DR, S/Nを改善できます。Table 10はDAC出力をヘッドフォンアンプに通した場合のDR, S/Nです。

MCKI	DR, S/N (BW=20kHz, A-weight)	
	fs=8kHz	fs=16kHz
256fs	56dB	75dB
512fs	75dB	90dB
1024fs	90dB	N/A

Table 10. MCKI とヘッドフォンアンプのDR, S/Nの関係 (2.4V)

■ シリアルデータインタフェース

SDATA, BICK, LRCKの3pinを使用して外部のシステムとインタフェースします。5種類のデータフォーマット(Table 11)が DIF2-0 bitsで選択できます。Mode 0 は既存の16bitDAC及びデジタルフィルタと互換性があります。Mode 1 はMode 0 の20bit版です。Mode 4 はMode 0 の24bit版です。Mode 2 は当社ADCや種々の汎用DSP のシリアルポートと互換性があります。Mode 3 はI²Sインタフェースと互換性があります。BICK $\geq$ 48fs時Mode 2 と 3 で16bitデータを入力する場合は、LSB に続けて17~24bit目に8個の“0”を入力し、20bitデータの場合はLSB に続けて21~24bit目に4個の“0”を入力します。

マスタモードでBICK=32fs(BF bit = “0”)の場合、オーディオフォーマットのMode 1, 2には対応していません。

Mode	DIF2	DIF1	DIF0	フォーマット	BICK	図
0	0	0	0	0: 16bit, 後詰め	$32fs \leq BICK \leq 64fs$	Figure 15
1	0	0	1	1: 20bit, 後詰め	$40fs \leq BICK \leq 64fs$	Figure 16
2	0	1	0	2: 24bit, 前詰め	$48fs \leq BICK \leq 64fs$	Figure 17
3	0	1	1	3: I ² S互換	$BICK=32fs \text{ or } 48fs \leq BICK \leq 64fs$	Figure 18
4	1	0	0	4: 24bit, 後詰め	$48fs \leq BICK \leq 64fs$	Figure 16

Table 11. オーディオフォーマット

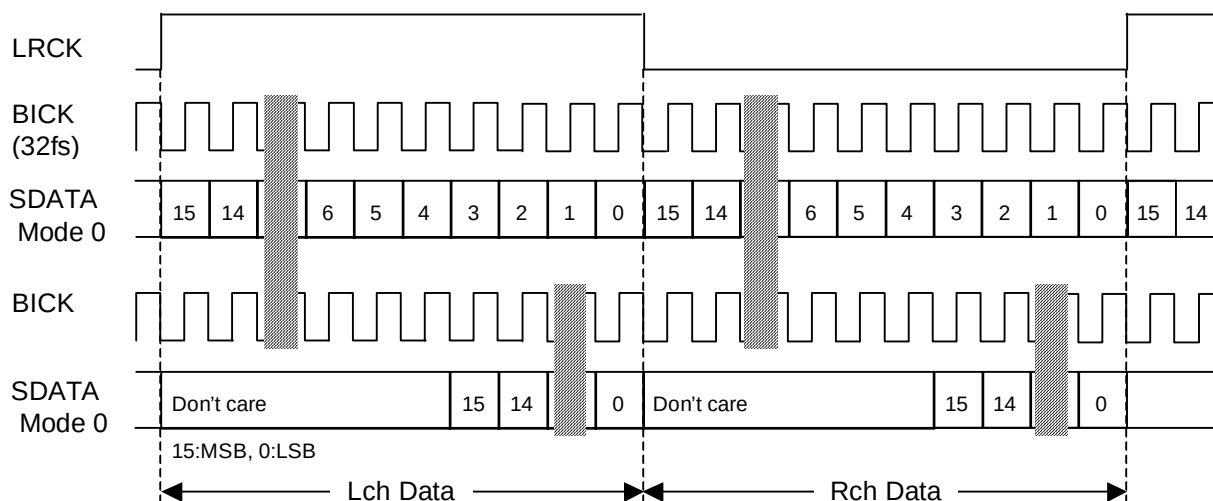


Figure 15. Mode 0 タイミング(LRP = BCKP bits = “0”)

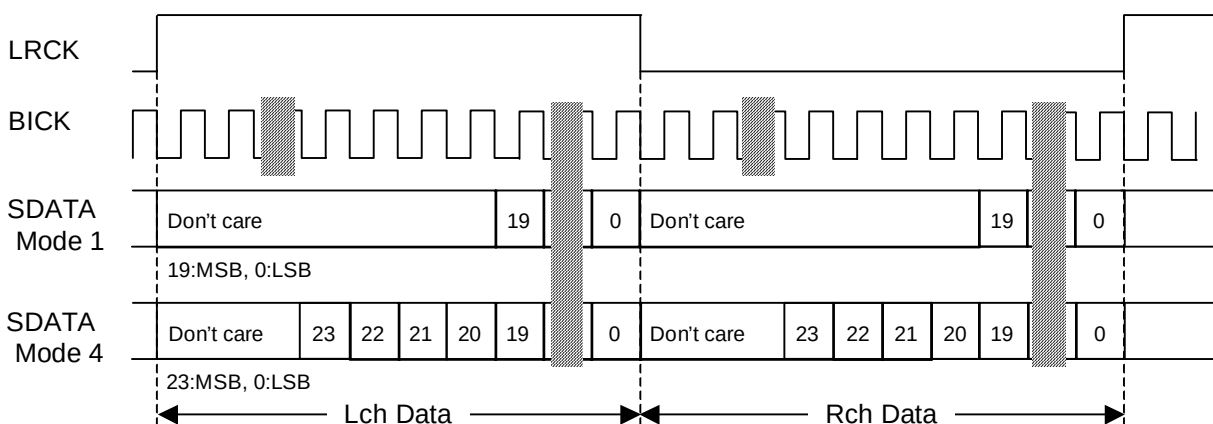


Figure 16. Mode 1, 4 タイミング(LRP = BCKP bits = “0”)

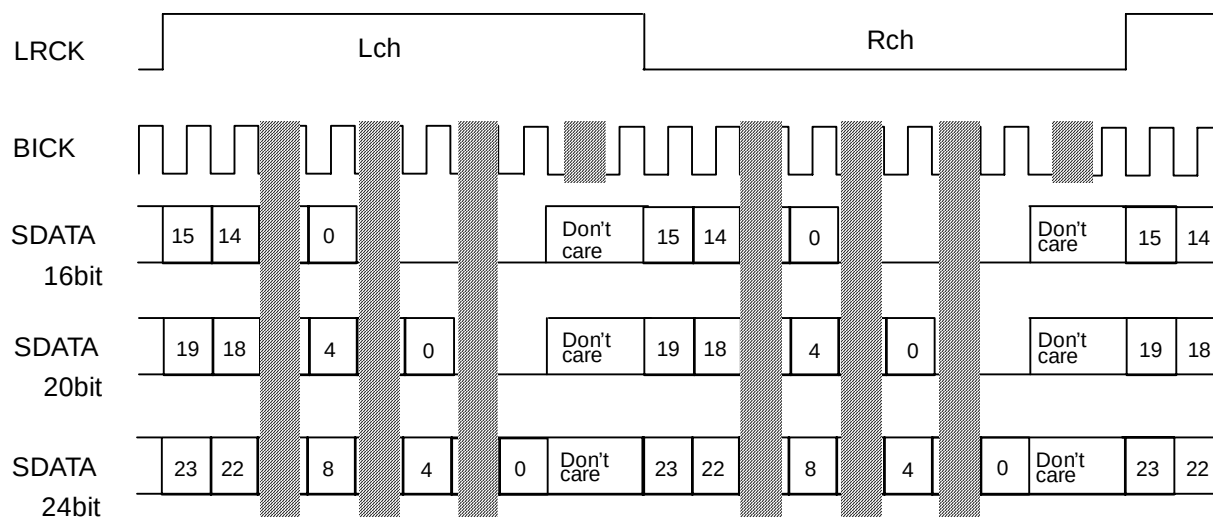


Figure 17. Mode 2 タイミング(LRP = BCKP bits = "0")

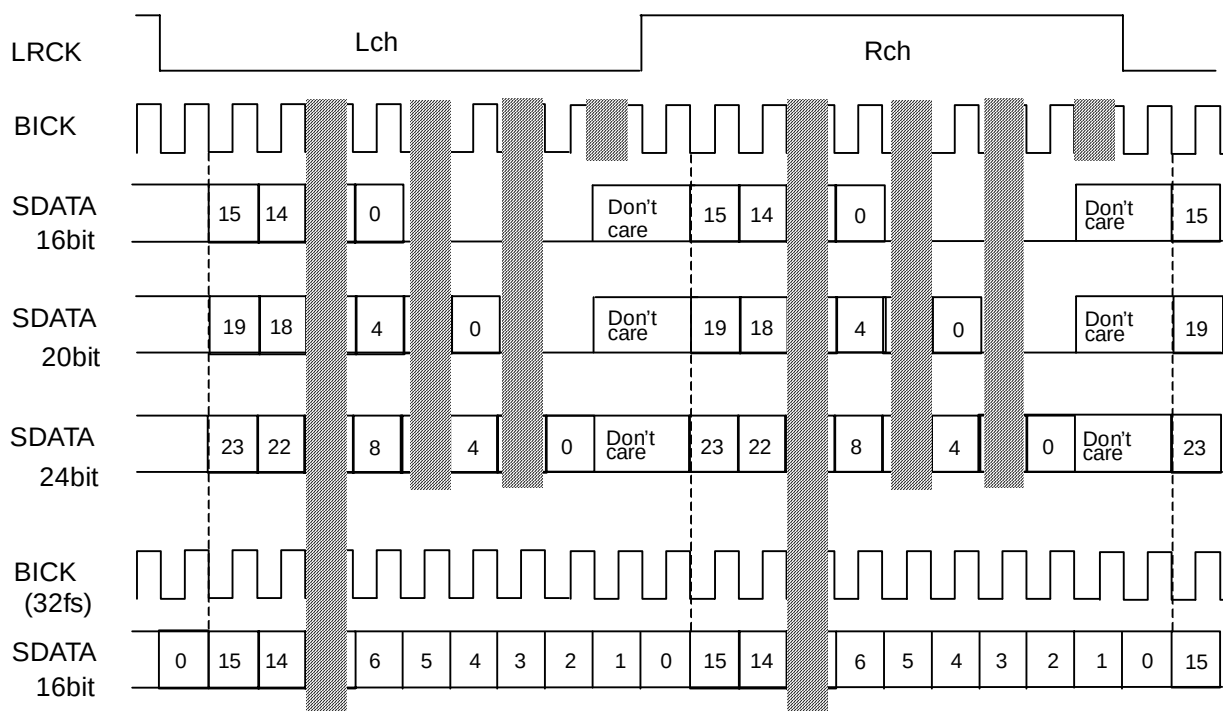


Figure 18. Mode 3 タイミング(LRP = BCKP bits = "0")

■ ALC動作

ALC bit = “1”に設定すると、ALC動作が開始します。ALC bit = “0”のとき、ALC部のゲインは0dB固定です。

[1] ALCリミッタ動作

ALCリミッタ動作では、DACのL/Rチャンネルの入力レベルがどれか一つでもALCリミッタ検出レベル(−6.0dBFS)を越えた場合、ALCリミッタATTステップ(LMAT1-0 bits, Table 13)分だけ自動的にボリューム値を減衰させます。ALCリミッタ動作によりボリューム値が変更されるのは、L/Rそれぞれゼロクロスするかゼロクロスタイムアウトしたときです。ゼロクロスタイムアウト時間はROTM1-0 bits (Table 12)で設定されます。

ROTM1	ROTM0	ALCリカバリ待機時間, ゼロクロスタイムアウト時間							
			fs=16kHz	fs=22.05kHz	fs=24kHz	fs=32kHz	fs=44.1kHz	fs=48kHz	
0	0	1024/fs	64ms	46ms	43ms	32ms	23ms	21ms	Default
0	1	2048/fs	128ms	93ms	85ms	64ms	46ms	43ms	
1	0	4096/fs	256ms	186ms	171ms	128ms	93ms	85ms	
1	1	Reserved	-	-	-	-	-	-	

Table 12. ALCリカバリ待機時間, ゼロクロスタイムアウト時間

LMAT1	LMAT0	ALC リミッタATTステップ				
		ALC Output ≥ −6.0dBFS	ALC Output ≥ 0dBFS	ALC Output ≥ +6dBFS	ALC Output ≥ +12dBFS	
0	0	1	1	1	1	Default
0	1	2	2	2	2	
1	0	2	2	4	4	
1	1	2	4	4	8	

Table 13. ALCリミッタATTステップ

[2] ALCリカバリ動作

ALCリカバリ動作は、ALCリミッタ動作終了後、ROTM1-0 bitsで設定された時間だけ待機を行い、この間、DACの入力レベルがリカバリ待機カウンタリセットレベル(−8.5dBFS)を越えることがなければ、ALCリカバリ動作を一回行います。このALCリカバリ動作は、ROTM1-0 bits (Table 12)で設定した時間でゼロクロス検出動作を行いながら、ボリューム値(L/R共通)を設定された基準レベル(REF7-0 bits, Table 15)までRATT bit (Table 14)で設定されたステップで自動的に増加させます。また前回の時間待機終了と同時に次の時間待機を開始するので、ALCリカバリ動作はROTM1-0 bitsで設定した周期で行われます。ROTM1-0 bitsで設定した期間中にゼロクロス動作が終了した場合、ROTM1-0 bitsで設定した期間まで待機して、次のリカバリ動作に入ります。

ALCリカバリ動作中またはリカバリ待機中、DACのL/Rチャネルの入力レベルがどちらか一方でもALCリミッタ検出レベル(−6.0dBFS)を越えた場合、直ちにALCリミッタ動作に入ります。

また、ALCリカバリ待機中に

$(\text{ALCリカバリ待機カウンタリセットレベル}) \leq (\text{DAC入力レベル}) < (\text{ALCリミッタ検出レベル})$

となっている場合、待機タイマはリセットされます。そのため、

$(\text{ALCリカバリ待機カウンタリセットレベル}) > (\text{DAC入力レベル})$

となった時から、待機時間のカウントが開始されます。

また、インパルス性のノイズが入力された場合、ROTM1-0 bitsで設定された値よりも早いサイクルでリカバリ動作を行います。

RATT	GAIN STEP	Default
0	1	
1	2	

Table 14. ALCリカバリゲインステップ

REF7-0	GAIN(dB)	Default
FFH : C2H	Reserved	
C1H	+18.0	
C0H	+17.625	
BFH	+17.25	
: 92H	: +0.375	
91H	0	
90H	−0.375	
: 73H	: −11.25	
72H	−11.625	
71H	−12.0	
70H : 00H	Reserved	

Table 15. ALCリカバリ動作時の基準値の設定

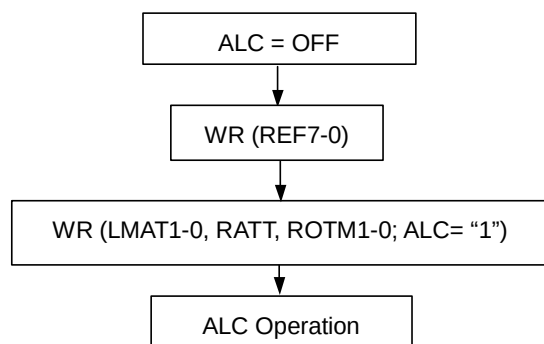
[3] ALC動作設定手順例

Register Name	Comment	fs=16kHz		fs=44.1kHz	
		Data	Operation	Data	Operation
ROTM1-0	Zero crossing timeout period	00	64ms	01	46ms
REF7-0	Maximum gain at recovery operation	C1H	+18dB	C1H	+18dB
LMAT1-0	Limiter ATT step	00	1 step	00	1 step
RATT	Recovery GAIN step	0	1 step	0	1 step
ALC	ALC enable	1	Enable	1	Enable

Table 16. ALC設定例

ALC動作中は、以下のビットへの変更を禁止します。これらのビットを変更する場合は、ALC動作を終了(ALC bit = “0”またはPMDAC bit = “0”)してから行って下さい。

• **LMAT1-0, ROTM1-0, RATT, REF7-0の各ビット**



Note: WR: Write

Example:

Recovery Cycle = 46ms@44.1kHz
 Limiter and Recovery Step = 1
 Maximum Gain = +18dB
 ALC bit = “1”

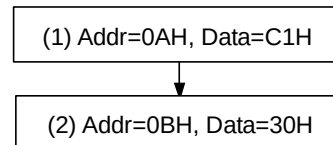


Figure 19. ALC動作設定手順例

■ デジタル出力ボリューム

AK4368はMUTEを含む0.5dBステップ、256レベルのチャネル独立デジタル出力ボリューム(DATT)を内蔵します。このボリュームはDACの前段にあり、入力データを0dBから-127dBまで減衰、またはミュートします(Table 17)。DATTC bitを“1”にすると、ATTL7-0 bitでLch, Rchのボリュームを同時にコントロールできます。DATTC bitが“0”の場合、Lch, Rchのボリュームは独立にコントロールできます。

ATTL7-0 ATTR7-0	Attenuation
FFH	0dB
FEH	-0.5dB
FDH	-1.0dB
FCH	-1.5dB
:	:
:	:
02H	-126.5dB
01H	-127.0dB
00H	MUTE ($-\infty$)

Default

Table 17. Digital Volume ATT値

ATT7-0設定値間の遷移時間はATS bitで1061/fsと7424/fsのどちらかを選択できます(Table 18)。ATS bit = “0”のときATT設定間の遷移は1062レベルでソフト遷移します。FFH(0dB)から00H(MUTE)までには1061/fs (24ms @fs=44.1kHz)かかります。PDN pinを“L”にすると、ATT7-0は00Hに初期化されます。ATT7-0はPMDAC bitを“0”にすると一旦00Hになり、PMDAC bitを“1”に戻すと設定値に戻っていきます。デジタルボリューム機能はソフトミュート機能とは独立に動作します。

ATS	ATT speed	
	0dB to MUTE	1 step
0	1061/fs	4/fs
1	7424/fs	29/fs

Default

Table 18. デジタルボリュームのATT7-0設定値間の遷移時間

■ ソフトミュート

ソフトミュートはデジタル的に実行されます。SMUTE bitを“1”にするとその時点のATT設定値からATT設定値×ATT遷移時間 (Table 18)で入力データが $-\infty$ (“0”)までアテネーションされます。SMUTE bitを“0”にすると $-\infty$ からATT設定値×ATT遷移時間でATT設定値まで復帰します。ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。

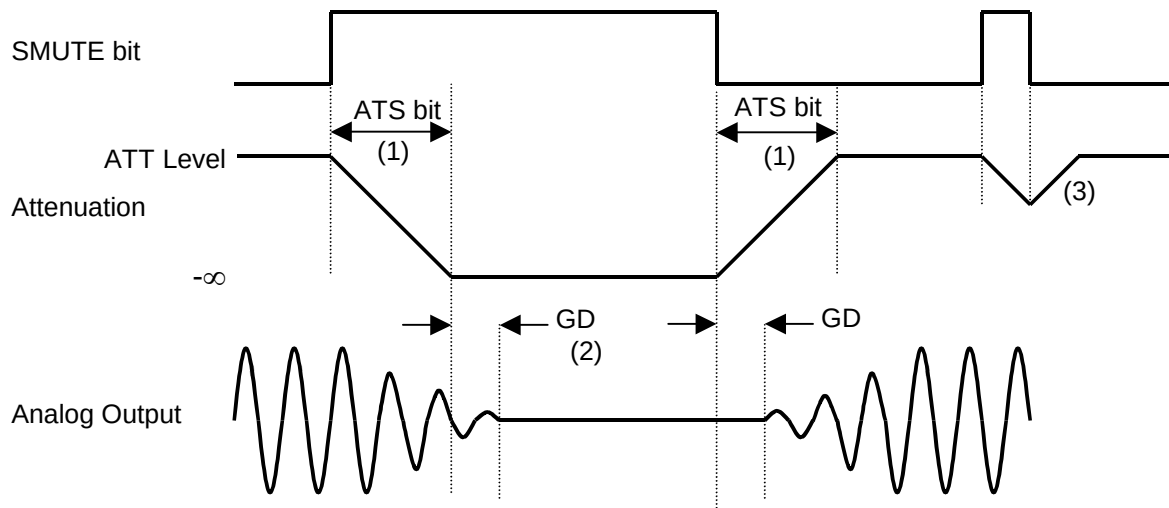


Figure 20. ソフトミュート機能

Notes:

- (1) ATT設定値×ATT遷移時間 (Table 18)。例えば、ATS bit = “1”時、ATT設定値が “128”(−63.5dB)の場合は 3712/fsサイクルです。
- (2) デジタル入力に対するアナログ出力は群遅延 (GD)を持ちます。
- (3) ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。

■ ディエンファシスフィルタ

IIRフィルタによる3周波数 (32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ (50/15 μ s特性)を内蔵しています。DEM1-0 bitで選択されたディエンファシスフィルタが有効になります (Table 19)。

DEM1 bit	DEM0 bit	De-emphasis	Default
0	0	44.1kHz	
0	1	OFF	
1	0	48kHz	
1	1	32kHz	

Table 19. ディエンファシスコントロール

■ バスブースト機能

BST1-0 bitを制御することで、DACからバスブーストされた信号を出力することができます (Table 20)。設定値は両チャンネル共通です。

BST1 bit	BST0 bit	BOOST	Default
0	0	OFF	
0	1	MIN	
1	0	MID	
1	1	MAX	

Table 20. バスブースト設定

■ ミキシング機能

MONO1-0 bitにより、DACに入力されるデジタルデータに対してLch/Rchデータの切り替えを行います (Table 21)。

MONO1 bit	MONO0 bit	Lch	Rch	Default
0	0	L	R	
0	1	L	L	
1	0	R	R	
1	1	(L+R)/2	(L+R)/2	

Table 21. ミキシング設定

■ システムリセット

電源立ち上げ時には、PDN pinに一度“L”を入力してリセットして下さい。リセット解除後、VCOM, DAC, HPL, HPR, LOUT, ROUTはパワーダウン状態で立ち上がります。PDN pinでリセットされない限り、コントロールレジスタの内容は保持されています。

DACのリセット及びパワーダウンはPMDAC bitに“1”が書き込まれた後、MCKIで解除され、内部のタイミグが動作します。MCKIが入力されるまでパワーダウン状態です。

■ ヘッドフォンアンプ (HPL, HPR pins)

ヘッドフォンアンプの電源はHVDDから供給されます。コモン電圧はMUTET pinの電圧で、推奨負荷抵抗は 16Ω 以上です。PMHPL=PMHPR bits = “1”でMUTEN bitを“1”にするとコモン電圧をVCOM(=0.475 x AVDD)に立ち上げます。MUTEN bitを“0”にすると、ヘッドフォンアンプのコモン電圧をHVSSに立ち下げます。

t_r : 立ち上がり時間(VCOM/2まで)	70k x C (typ)
t_f : 立ち下がり時間(VCOM/2まで)	60k x C (typ)

Table 22. ヘッドフォンアンプ立ち上がり／立ち下がり時間

例：MUTET pinのコンデンサC=1 μ Fの場合

- ・ ヘッドフォンアンプ立ち上がり時間(VCOM/2まで): $t_r = 70k \times 1\mu = 70ms(typ)$
- ・ ヘッドフォンアンプ立ち下がり時間(VCOM/2まで): $t_f = 60k \times 1\mu = 60ms(typ)$

PMHPL, PMHPR bitsを“0”にすることで、ヘッドフォンアンプを完全にパワーダウンすることができます。この時、HPL, HPR pinsはHVSSです。

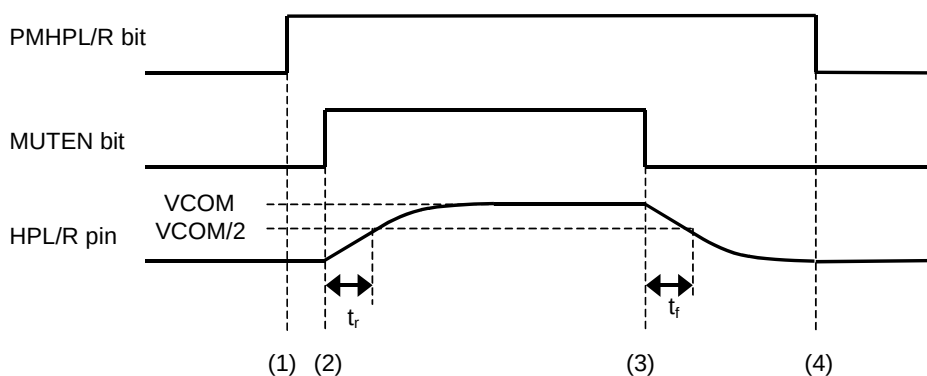


Figure 21. ヘッドフォンアンプのパワーアップ／ダウンシーケンス

- (1)ヘッドフォンアンプのパワーアップ(PMHPL, PMHPR bits = “1”)。出力はHVSSのままです。
- (2)ヘッドフォンアンプのコモン電圧立ち上げ(MUTEN bit = “1”)。MUTETのコンデンサと内部抵抗の時定数によりコモン電圧が上昇して行きます。MUTET pin のコンデンサの容量を“C”としたとき、VCOM/2までの立ち上がり時間(t_r)は $70k \times C(typ)$ となります。
- (3)ヘッドフォンアンプのコモン電圧立ち下げ(MUTEN bit = “0”)。MUTETのコンデンサと内部抵抗の時定数によりコモン電圧がHVSSへ下降して行きます。MUTET pin のコンデンサの容量を“C”としたとき、VCOM/2までの立ち下がり時間(t_f)は $60k \times C(typ)$ となります。
- (4)ヘッドフォンアンプのパワーダウン(PMHPL, PMHPR bits = “1”)。出力はHVSSです。ポップノイズ防止のため、ヘッドフォンアンプのコモン電圧が完全に下がってからパワーダウンして下さい。

ヘッドフォンアンプの外部抵抗とコンデンサでカットオフ周波数(f_c)が決まります。Table 23に外部抵抗とコンデンサ及びカットオフ周波数(f_c)の関係とその時の出力パワーを示します。但し、ヘッドフォンの R_L は 16Ω とします。出力パワーは $AVDD=2.4, 3.0, 3.3V$ 時の値です。ヘッドフォンアンプの出力は $0.47 \times AVDD$ (Vpp) @-3dBFSです。

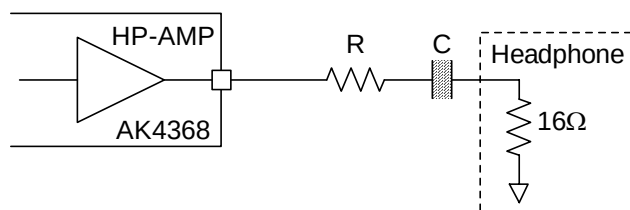


Figure 22. ヘッドフォンアンプの外付け回路例

R [Ω]	C [μ F]	f_c [Hz] BOOST=OFF	f_c [Hz] BOOST=MIN	Output Power [mW]			
				HPG=0, 0dB			HPG=1, -4.8dB
				2.4V	3.0V	3.3V	3.3V
0	220	45	17	20	31	38	50
	100	100	43				
6.8	100	70	28	10	15	18	25
	47	149	78				
16	100	50	19	5	8	9	13
	47	106	47				

Table 23. 外部回路, 出力パワーと f 特の関係

各パスのON/OFFはそれぞれDACHL, LINHL, MINHL, DACHR, RINHR, MINHR bitsで設定します。HPG bit = “0” ($R_1=100k$)のとき加算ゲインはいずれのパスも+0.76dB(typ)です。HPG bit = “1” ($R_1=50k$)のときDAC出力信号の加算ゲインを+6.76dB(typ)に切り替えます。

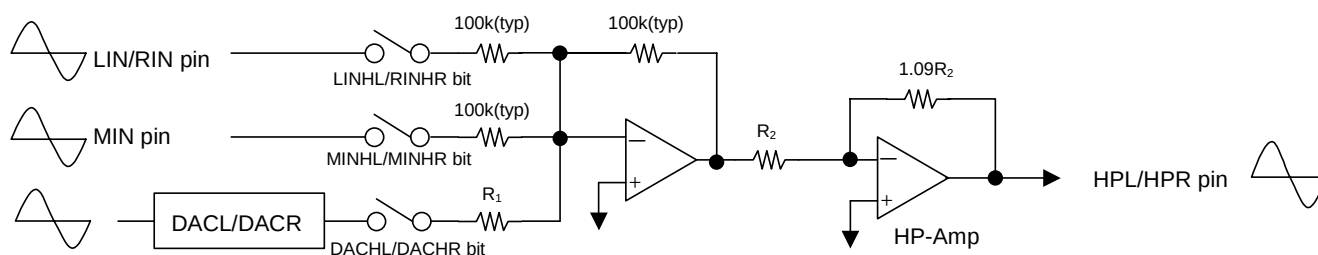


Figure 23. ヘッドフォン出力の加算回路(HPG bit = “0”のとき)

■ ステレオライン出力 (LOUT, ROUT pins)

コモン電圧は $0.475 \times AVDD$ 電圧で、負荷抵抗は $10k\Omega$ 以上です。PMLO bit = “1”でパワーアップします。各パスのON/OFFはそれぞれDACL, LINL, MINL, DACR, RINR, MINR bitsで設定します。LOG bit = “0”(R₁=100k), ATTS3-0 bits = “0FH”(0dB)のとき加算ゲインはいずれのパスも0dB(typ)です。LOG bit = “1”(R₁= 50k)のときDAC出力信号の加算ゲインを+6dBに切り替えます。

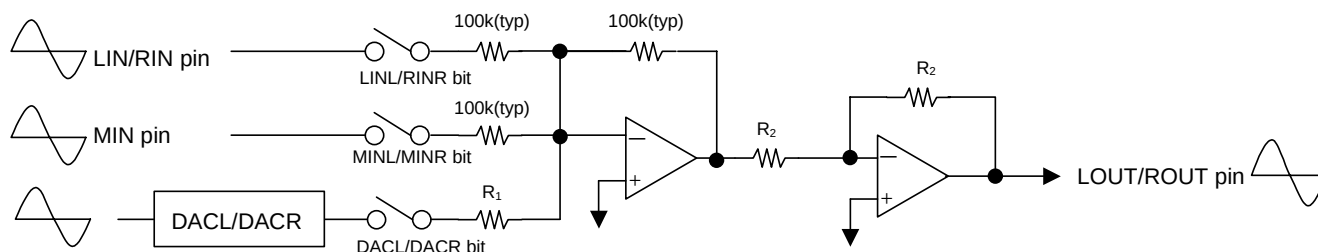


Figure 24. LOUT/ROUTの加算回路(LOG bit = “0”のとき)

■ アナログ出力ボリューム

LOUT/ROUT出力は、LMUTE bit = “0”の時、ATTS3-0 bitでボリュームコントロール可能です (0dB ~ -30dB, 2dB step, Table 24)。LOUT/ROUT出力のボリュームを切り替える時、ポップノイズが発生します。

LMUTE	ATTS3-0	Attenuation
0	0FH	0dB
	0EH	-2dB
	0DH	-4dB
	0CH	-6dB
	:	:
	:	:
	01H	-28dB
	00H	-30dB
1	x	MUTE

Default

Table 24. LOUT/ROUT Volume ATT値(x: Don't care)

■ 3D Stereo Enhancement

AK4368はステレオライン出力に3D効果を持たせる機能(3D Stereo Enhancement)を内蔵します。3D1-0 bitsにより3D機能のパワーマネジメントを行い(Table 25)、3D効果のレベルはDP1-0 bitsで設定します(Table 26)。3D1-0 bitsを書き込んでから50msの間は、ポップ音防止のため、3D1-0 bitsおよびMUTEN bitを変更しないで下さい。

また、3DCAP1, 3DCAP2, 3DCAP3 pinsにはFigure 25のように、4.7nFと470nFの外部コンデンサを接続してください。外部コンデンサの精度は±20%以内のものを使用してください。3DCAP1, 3DCAP2, 3DCAP3 pinsの各容量負荷は20pF以内になしてください。

3D1 bit	3D0 bit	3D機能	3D効果出力	入力ソース	Default
0	0	OFF			
0	1	ON	LOUT, ROUT	ラインアウト加算回路	
1	0	ON	HPL, HPR	ヘッドフォン加算回路	
1	1	ON	LOUT, ROUT, HPL, HPR	ヘッドフォン加算回路	

Table 25. 3D機能のパワーマネジメント

DP1 bit	DP0 bit	3D Depth	Default
0	0	0%	
0	1	50%	
1	0	70%	
1	1	100%	

Table 26. 3D効果レベル設定

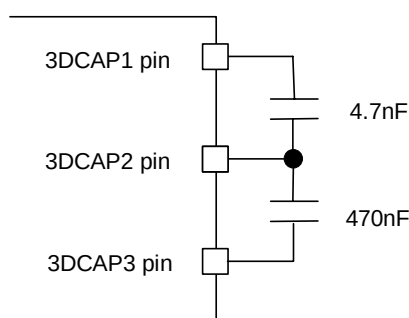


Figure 25. 3D機能外付け回路

■ パワーアップ／ダウンシーケンス(EXT mode)

1) DAC → HP-Amp

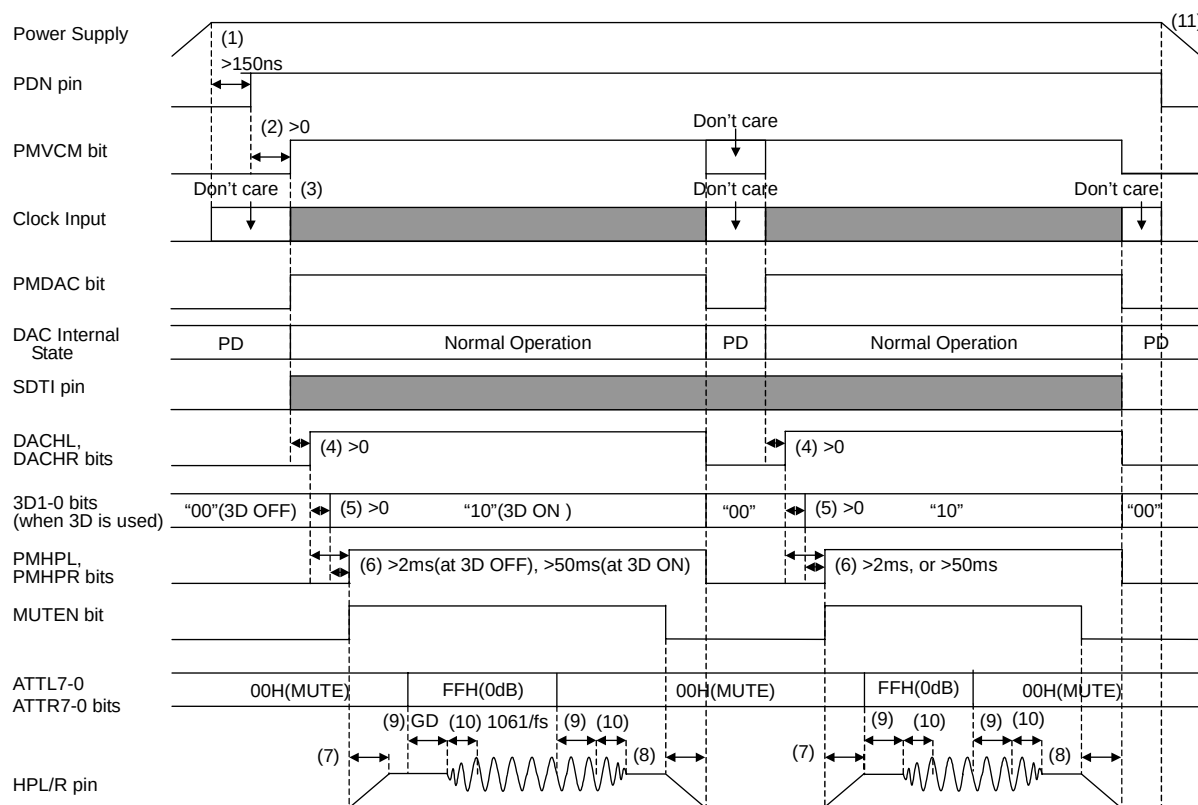


Figure 26. DACおよびHP-ampのパワーアップ／ダウンシーケンス(Don't care: Hi-Zを除く)

- (1) 電源立ち上げ後、150ns以上経ってからPDN pinを“H”にして下さい。
- (2) PDN pinを“H”にしてからPMVCM, PMDAC bitに“1”を書き込んで下さい。
- (3) DACの動作には各クロック(MCKI, BICK, LRCK)が必要です。PMDAC bit = “0”の時は各クロックを止めることができます。ヘッドフォンアンプはクロックが供給されていなくても動作します。
- (4) PMVCM, PMDAC bitsに“1”を書き込んでからDACHL, DACHR bitsに“1”を書き込んで下さい。
- (5) 3D機能を使用するときは、DACHL, DACHR bitsに“1”を書き込んでから3D1-0 bitsに“10”を書き込んでください。
- (6) 3D機能を使用しない場合は、DACHL, DACHR bitsに“1”を書き込んで2ms以上(VCOM pinのコンデンサ2.2μFの場合)経ってからPMHPL, PMHPR, MUTEN bitsに“1”を書き込んで下さい。3D機能を使用する場合は、3D1-0bitsに“10”を書き込んで50ms以上経ってからPMHPL, PMHPR, MUTEN bitsに“1”を書き込んで下さい。
- (7) ヘッドフォンアンプの立ち上がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち上がり時間(t_r)は $70k \times C(\text{typ})$ です。C=1μFの場合、 t_r は70ms(typ)です。
- (8) ヘッドフォンアンプの立ち下がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち下がり時間(t_f)は $60k \times C(\text{typ})$ です。C=1μFの場合、 t_f は60ms(typ)です。
ヘッドフォンアンプが完全に立ち下がってからPMHPL, PMHPRに“0”を書き込み、その後DACL, DACR bitsに“0”、3D1-0bitsに“00”を書き込んで下さい。
- (9) デジタル入力に対するアナログ出力は $22/\text{fs}(=499\mu\text{s}@\text{fs}=44.1\text{kHz})$ の群遅延(GD)を持ちます。
- (10) デジタルボリュームの遷移時間はATS bitで設定できます。初期値は $1061/\text{fs}(=24\text{ms}@\text{fs}=44.1\text{kHz})$ です。
- (11) ヘッドフォンアンプが完全に立ち下がってから電源をOFFして下さい。

2) DAC → Lineout

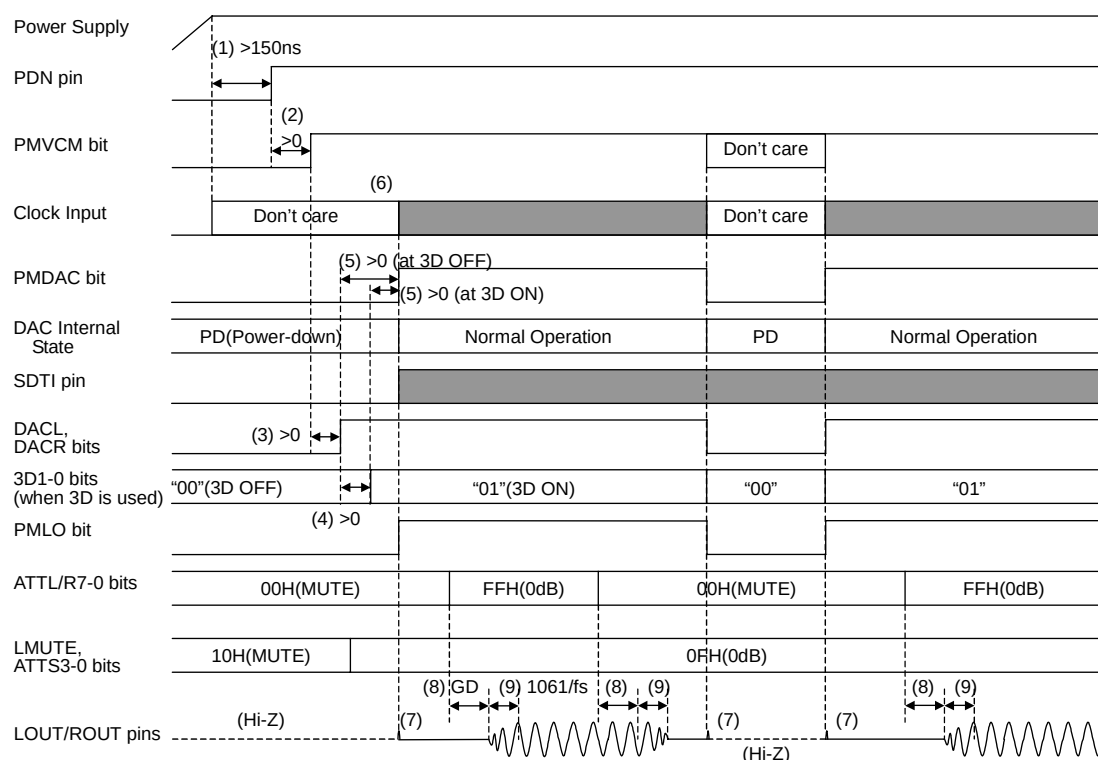


Figure 27. DACおよびLineoutのパワーアップ／ダウンシーケンス(Don't care: Hi-Zを除く)

- (1) 電源立ち上げ後、150ns以上経ってからPDN pinを“H”にして下さい。
- (2) PDN pinを“H”にしてからPMVCM bitに“1”を書き込んで下さい。
- (3) PMVCM bitに“1”を書き込んでからDACL, DACR bitsに“1”を書き込んで下さい。
- (4) 3D機能を使用するときは、DACL, DACR bitsに“1”を書き込んでから3D1-0 bitsに“01”を書き込んでください。
- (5) 3D機能を使用しない場合は、DACL, DACR bitsに“1”を書き込んでからPMDAC, PMLO bitsに“1”を書き込んで下さい。3D機能を使用する場合は、3D1-0bitsに“01”を書き込んでからPMDAC, PMLO bitsに“1”を書き込んで下さい。
- (6) DACの動作には各クロック(MCKI, BICK, LRCK)が必要です。PMDAC bit = “0”の時は各クロックを止めることができます。LOUT/ROUT出力部はクロックが供給されていなくても動作します。
- (7) PMLO bitを切り替えるとLOUT, ROUT pinsにポップノイズが出力されます。
- (8) デジタル入力に対するアナログ出力は $22/fs (= 499\mu s @ fs = 44.1kHz)$ の群遅延(GD)を持ちます。
- (9) デジタルボリュームの遷移時間はATS bitで設定できます。初期値は $1061/fs (= 24ms @ fs = 44.1kHz)$ です。

3) LIN/RIN/MIN → HP-Amp, Lineout

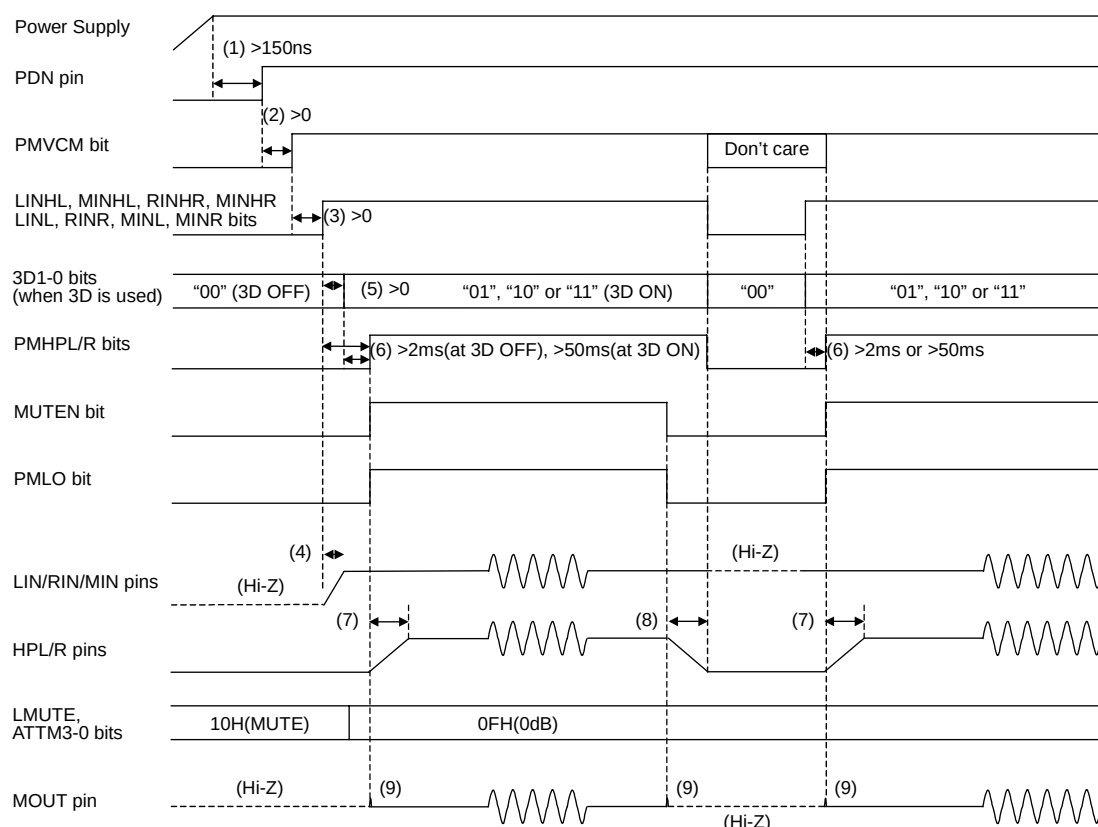


Figure 28. LIN/RIN/MIN, HP-ampおよびLOUT/ROUTのパワーアップ/ダウンシーケンス
(Don't care: Hi-Zを除く)

- (1) 電源立ち上げ後、150ns以上経ってからPDN pinを“H”にして下さい。DACを使用しない場合、各クロック(MCLK, BICK, LRCK)は不要です。
- (2) PDN pinを“H”にしてからPMVCM bitに“1”を書き込んで下さい。
- (3) PMVCM bitに“1”を書き込んでからLINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“1”を書き込んで下さい。
- (4) LINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“1”を書き込むとLIN, RIN, MINの各pinは $0.475 \times AVDD$ にバイアスされます。
- (5) 3D機能を使用するときは、LINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“1”を書き込んでから3D1-0bitsに“01”, “10”または“11”を書き込んでください。(Refer to Table 25)
- (6) 3D機能を使用しない場合は、LINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“1”を書き込んで2ms以上(VCOM pinのコンデンサ2.2 μ Fの場合)経ってからPMHPL, PMHPR, MUTEN, PMLO bitsに“1”を書き込んで下さい。3D機能を使用する場合、3D1-0bitsに“01”, “10”または“11”を書き込んで50ms以上経ってからPMHPL, PMHPR, MUTEN, PMLO bitsに“1”を書き込んで下さい。
- (7) ヘッドフォンアンプの立ち上がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち上がり時間(t_r)は $70k \times C$ (typ)です。C=1 μ Fの場合、 t_r は70ms(typ)です。
- (8) ヘッドフォンアンプの立ち下がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち下がり時間(t_f)は $60k \times C$ (typ)です。C=1 μ Fの場合、 t_f は60ms(typ)です。
ヘッドフォンアンプが完全に立ち下がってからPMHPL, PMHPR bitsに“0”を書き込み、その後LINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“0”を書き込んで下さい。
- (9) PMLO bitを切り替えるとLOUT, ROUT pinsにポップノイズが出力されます。

■ パワーアップ／ダウンシーケンス(PLL Slave mode)

1) DAC → HP-Amp

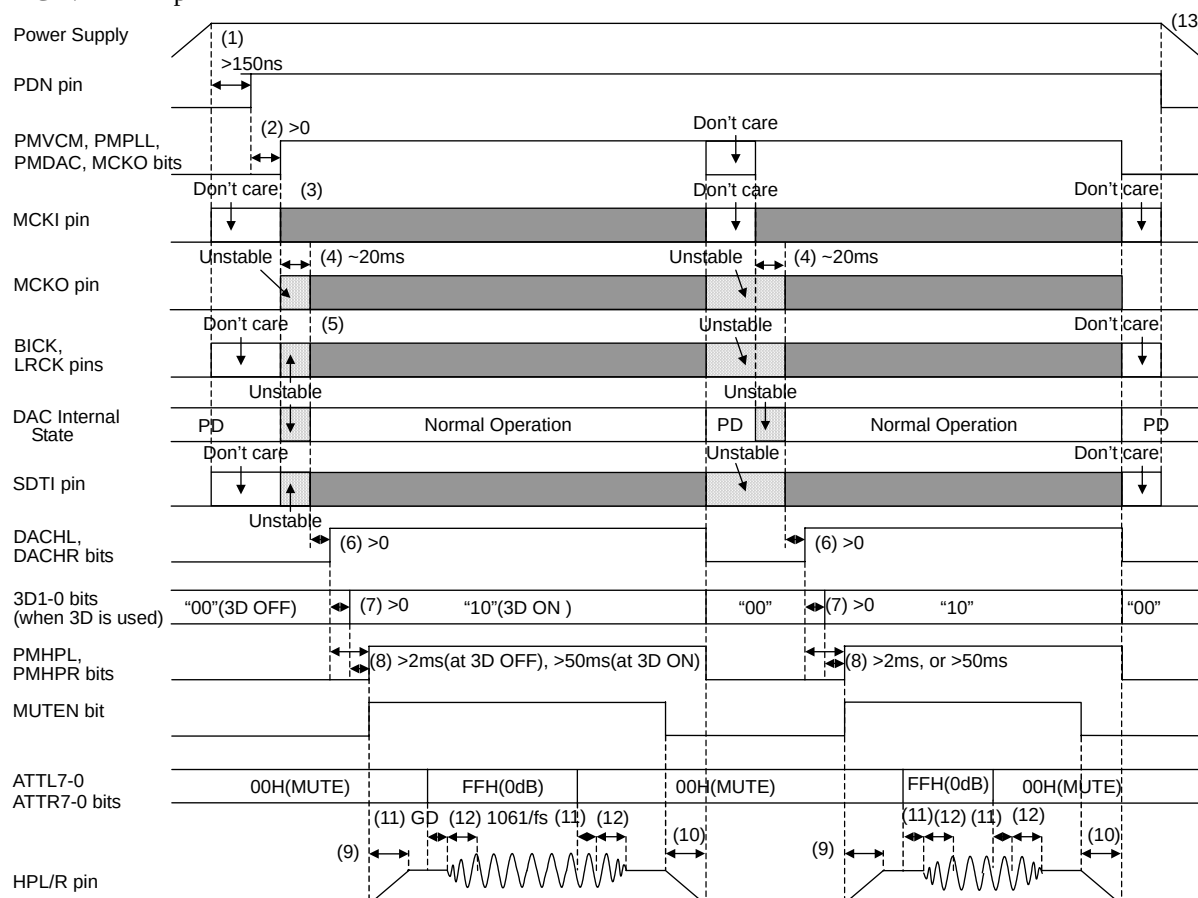


Figure 29. DACおよびHP-ampのパワーアップ／ダウンシーケンス (Don't care: Hi-Zを除く)

- (1) 電源立ち上げ後、150ns以上経ってからPDN pinを“H”にして下さい。
- (2) PDN pinを“H”にしてからPMVCM, PMPLL, PMDAC, MCKO bitsに“1”を書き込んで下さい。
- (3) MCKI pinにシステムクロックを入力するとPLLが動作を開始します。
- (4) PLLのロック時間はTable 1を参照。PLLがロックするとMCKO pinからマスタクロックが出力されます。
- (5) DACの動作にはMCKOを外部で分周した各クロック(BICK, LRCK)が必要です。PMDAC bit = “0”の時は各クロックを止めることができます。ヘッドフォンアンプはクロックが供給されていなくても動作します。
- (6) PLLがロックしてからDACHL, DACHR bitsに“1”を書き込んで下さい。
- (7) 3D機能を使用するときは、DACHL, DACHR bitsに“1”を書き込んでから3D1-0 bitsに“10”を書き込んでください。
- (8) 3D機能を使用しない場合は、DACHL, DACHR bitsに“1”を書き込んで2ms以上(VCOM pinのコンデンサ2.2μFの場合)経ってからPMHPL, PMHPR, MUTEN bitsに“1”を書き込んで下さい。3D機能を使用する場合は、3D1-0bitsに“10”を書き込んで50ms以上経ってからPMHPL, PMHPR, MUTEN bitsに“1”を書き込んで下さい。
- (9) ヘッドフォンアンプの立ち上がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち上がり時間(t_r)は $70k \times C(\text{typ})$ です。C=1μFの場合、 t_r は70ms(typ)です。
- (10) ヘッドフォンアンプの立ち下がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち下がり時間(t_f)は $60k \times C(\text{typ})$ です。C=1μFの場合、 t_f は60ms(typ)です。
ヘッドフォンアンプが完全に立ち下がってからPMHPL, PMHPRに“0”を書き込み、その後DACL, DACR bitsに“0”、3D1-0bitsに“00”を書き込んで下さい。
- (11) デジタル入力に対するアナログ出力は $22/\text{fs}(=499\mu\text{s}@\text{fs}=44.1\text{kHz})$ の群遅延(GD)を持ちます。
- (12) デジタルボリュームの遷移時間はATS bitで設定できます。初期値は $1061/\text{fs}(=24\text{ms}@\text{fs}=44.1\text{kHz})$ です。
- (13) ヘッドフォンアンプが完全に立ち下がってから電源をOFFして下さい。

2) DAC → Lineout

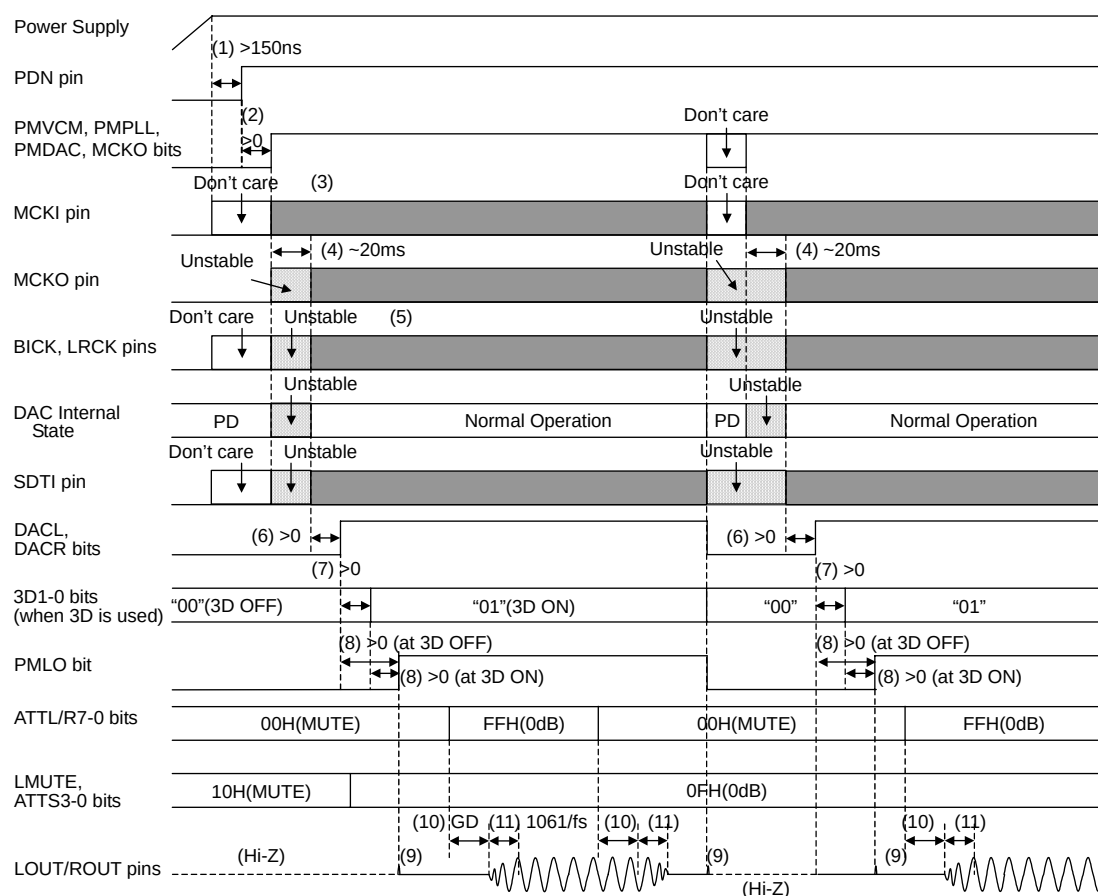


Figure 30. DACおよびLineoutのパワーアップ／ダウンシーケンス(Don't care: Hi-Zを除く)

- (1) 電源立ち上げ後、150ns以上経ってからPDN pinを“H”にして下さい。
- (2) PDN pinを“H”にしてからPMVCM, PMPLL, PMDAC, MCKO bitsに“1”を書き込んで下さい。
- (3) MCKI pinにシステムクロックを入力するとPLLが動作を開始します。
- (4) PLLのロック時間はTable 1を参照。PLLがロックするとMCKO pinからマスタクロックが出力されます。
- (5) DACの動作にはMCKOを外部で分周した各クロック(BICK, LRCK)が必要です。PMDAC bit = “0”の時は各クロックを止めることができます。LOUT/ROUT出力部はクロックが供給されていなくても動作します。
- (6) PLLがロックしてからDACL, DACR bitsに“1”を書き込んで下さい。
- (7) 3D機能を使用するときは、DACL, DACR bitsに“1”を書き込んでから3D1-0 bitsに“01”を書き込んでください。
- (8) PMLO bitに“1”を書き込んで下さい。
- (9) PMLO bitを切り替えるとLOUT, ROUT pinsにポップノイズが出力されます。
- (10) デジタル入力に対するアナログ出力は $22/fs (=499\mu s @ fs=44.1kHz)$ の群遅延(GD)を持ちます。
- (11) デジタルボリュームの遷移時間はATS bitで設定できます。初期値は $1061/fs (=24ms @ fs=44.1kHz)$ です。

3) LIN/RIN/MIN → HP-Amp, Lineout

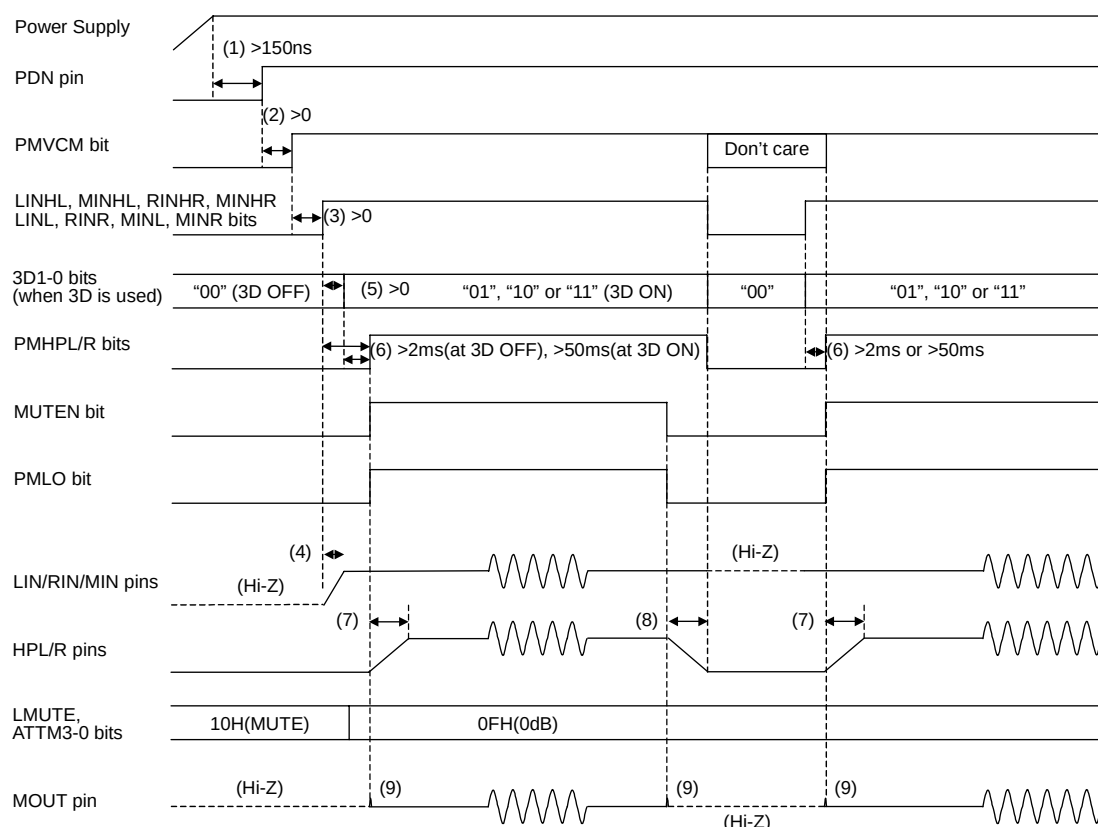


Figure 31. LIN/RIN/MIN, HP-ampおよびLOUT/ROUTのパワーアップ/ダウンシーケンス
(Don't care: Hi-Zを除く)

- (1) 電源立ち上げ後、150ns以上経ってからPDN pinを“H”にして下さい。DACを使用しない場合、各クロック(MCLK, BICK, LRCK)は不要です。
- (2) PDN pinを“H”にしてからPMVCM bitに“1”を書き込んで下さい。
- (3) PMVCM bitに“1”を書き込んでからLINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“1”を書き込んで下さい。
- (4) LINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“1”を書き込むとLIN, RIN, MINの各pinは $0.475 \times AVDD$ にバイアスされます。
- (5) 3D機能を使用するときは、LINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“1”を書き込んでから3D1-0bitsに“01”, “10”または“11”を書き込んでください。(Refer to Table 25)
- (6) 3D機能を使用しない場合は、LINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“1”を書き込んで2ms以上(VCOM pinのコンデンサ $2.2\mu F$ の場合)経ってからPMHPL, PMHPR, MUTEN, PMLO bitsに“1”を書き込んで下さい。3D機能を使用する場合、3D1-0bitsに“01”, “10”または“11”を書き込んで50ms以上経ってからPMHPL, PMHPR, MUTEN, PMLO bitsに“1”を書き込んで下さい。
- (7) ヘッドフォンアンプの立ち上がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち上がり時間(t_r)は $70k \times C(\text{typ})$ です。C=1 μF の場合、 t_r は70ms(typ)です。
- (8) ヘッドフォンアンプの立ち下がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち下がり時間(t_f)は $60k \times C(\text{typ})$ です。C=1 μF の場合、 t_f は60ms(typ)です。
ヘッドフォンアンプが完全に立ち下がってからPMHPL, PMHPR bitsに“0”を書き込み、その後LINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“0”を書き込んで下さい。
- (9) PMLO bitを切り替えるとLOUT, ROUT pinsにポップノイズが出力されます。

■ AK4368パワーアップ／ダウンシーケンス(PLL Master Mode)

1) DAC → HP-Amp

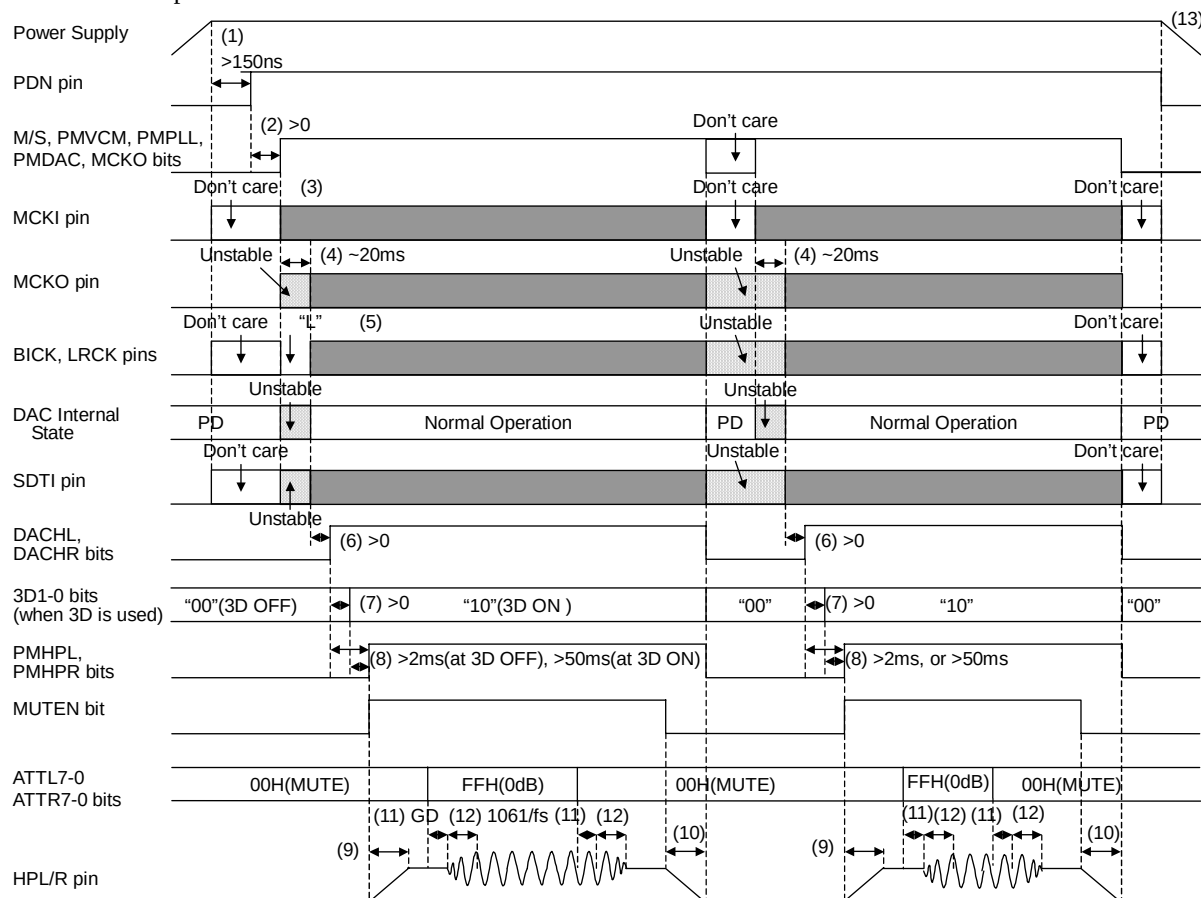


Figure 32 DACおよびHP-ampのパワーアップ／ダウンシーケンス (Don't care: Hi-Zを除く)

- (1) 電源立ち上げ後、150ns以上経ってからPDN pinを“H”にして下さい。
- (2) PDN pinを“H”にしてからPMVCM, PMPLL, PMDAC, MCKO, M/S bitsに“1”を書き込んで下さい。
- (3) MCKI pinにシステムクロックを入力するとPLLが動作を開始します。
- (4) PLLのロック時間はTable 1を参照。PLLがロックするとBICK, LRCK, MCKO pinから各クロックを出力されます。
- (5) PLLがロックしてからDACHL, DACHR bitsに“1”を書き込んで下さい。
- (6) 3D機能を使用するときは、DACHL, DACHR bitsに“1”を書き込んでから3D1-0 bitsに“10”を書き込んでください。
- (7) 3D機能を使用しない場合は、DACHL, DACHR bitsに“1”を書き込んで2ms以上(VCOM pinのコンデンサ2.2 μ Fの場合)経ってからPMHPL, PMHPR, MUTEN bitsに“1”を書き込んで下さい。3D機能を使用する場合は、3D1-0bitsに“10”を書き込んで50ms以上経ってからPMHPL, PMHPR, MUTEN bitsに“1”を書き込んで下さい。
- (8) ヘッドフォンアンプの立ち上がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち上がり時間(t_r)は $70k \times C(\text{typ})$ です。C=1 μ Fの場合、 t_r は70ms(typ)です。
- (9) ヘッドフォンアンプの立ち下がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち下がり時間(t_f)は $60k \times C(\text{typ})$ です。C=1 μ Fの場合、 t_f は60ms(typ)です。
ヘッドフォンアンプが完全に立ち下がってからPMHPL, PMHPRに“0”を書き込み、その後DACL, DACR bitsに“0”、3D1-0bitsに“00”を書き込んで下さい。
- (10) デジタル入力に対するアナログ出力は $22/\text{fs}(=499\mu\text{s}@fs=44.1\text{kHz})$ の群遅延(GD)を持ちます。
- (11) デジタルボリュームの遷移時間はATS bitで設定できます。初期値は $1061/\text{fs}(=24\text{ms}@fs=44.1\text{kHz})$ です。
- (12) ヘッドフォンアンプが完全に立ち下がってから電源をOFFして下さい。

2) DAC → Lineout

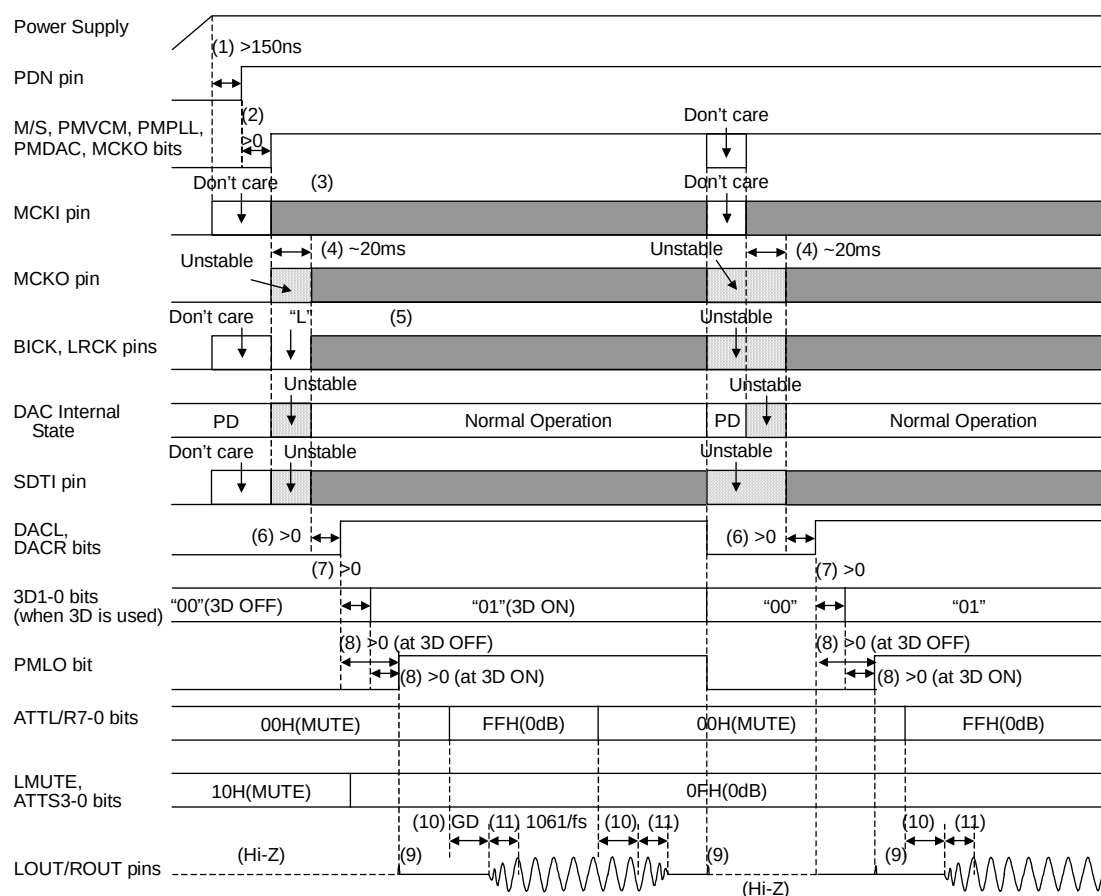


Figure 33. DACおよびLineoutのパワーアップ／ダウンシーケンス(Don't care: Hi-Zを除く)

- (1) 電源立ち上げ後、150ns以上経ってからPDN pinを“H”にして下さい。
- (2) PDN pinを“H”にしてからPMVCM, PMPLL, PMDAC, MCKO, M/S bitsに“1”を書き込んで下さい。
- (3) MCKI pinにシステムクロックを入力するとPLLが動作を開始します。
- (4) PLLのロック時間はTable 1を参照。PLLがロックするとBICK, LRCK, MCKO pinから各クロックを出力されます。
- (5) PLLがロックしてからDACL, DACR bitsに“1”を書き込んで下さい。
- (6) 3D機能を使用するときは、DACL, DACR bitsに“1”を書き込んでから3D1-0 bitsに“01”を書き込んでください。
- (7) PMLO bitに“1”を書き込んで下さい。
- (8) PMLO bitを切り替えるとLOUT, ROUT pinsにポップノイズが出力されます。
- (9) デジタル入力に対するアナログ出力は $22/\text{fs}$ ($=499\mu\text{s}@\text{fs}=44.1\text{kHz}$)の群遅延(GD)を持ちます。
- (10) デジタルボリュームの遷移時間はATS bitで設定できます。初期値は $1061/\text{fs}$ ($=24\text{ms}@\text{fs}=44.1\text{kHz}$)です。

3) LIN/RIN/MIN → HP-Amp, Lineout

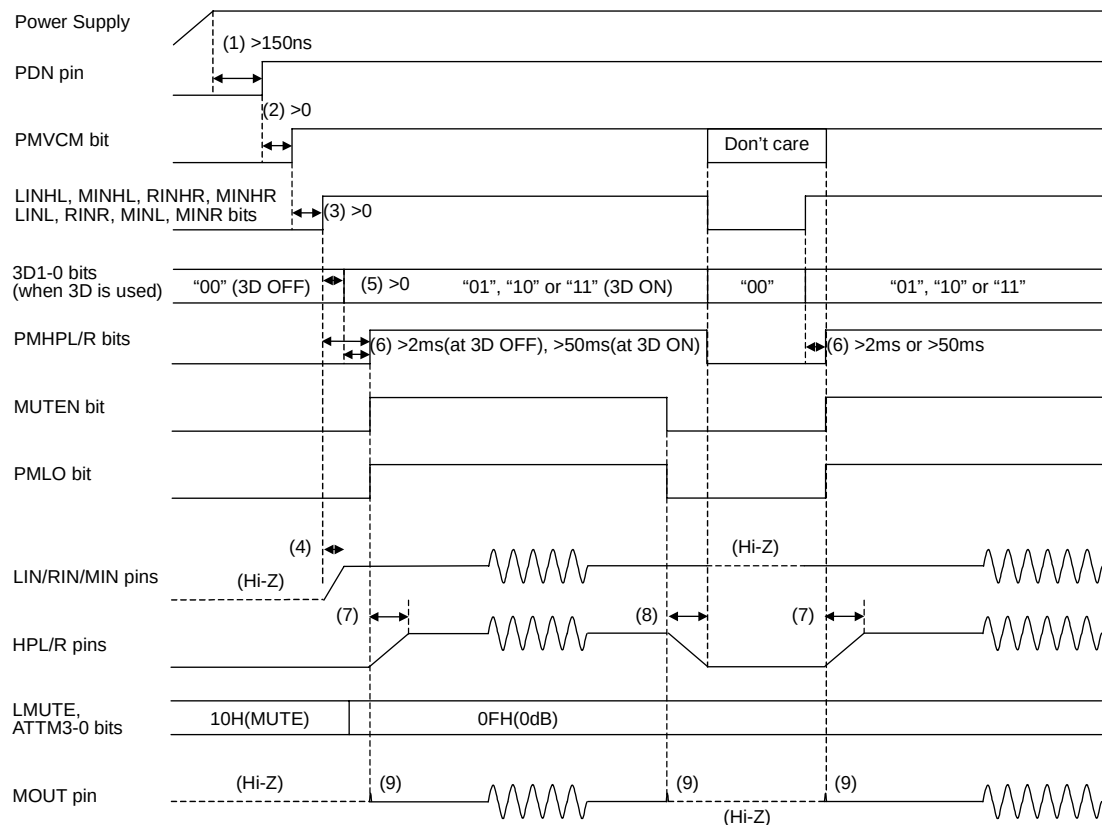


Figure 34. LIN/RIN/MIN, HP-ampおよびLOUT/ROUTのパワーアップ/ダウンシーケンス
(Don't care: Hi-Zを除く)

- (1) 電源立ち上げ後、150ns以上経ってからPDN pinを“H”にして下さい。DACを使用しない場合、各クロック(MCLK, BICK, LRCK)は不要です。
- (2) PDN pinを“H”にしてからPMVCM bitに“1”を書き込んで下さい。
- (3) PMVCM bitに“1”を書き込んでからLINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“1”を書き込んで下さい。
- (4) LINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“1”を書き込むとLIN, RIN, MINの各pinは $0.475 \times AVDD$ にバイアスされます。
- (5) 3D機能を使用するときは、LINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“1”を書き込んでから3D1-0bitsに“01”, “10”または“11”を書き込んでください。(Refer to Table 25)
- (6) 3D機能を使用しない場合は、LINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“1”を書き込んで2ms以上(VCOM pinのコンデンサ $2.2\mu F$ の場合)経ってからPMHPL, PMHPR, MUTEN, PMLO bitsに“1”を書き込んで下さい。3D機能を使用する場合、3D1-0bitsに“01”, “10”または“11”を書き込んで50ms以上経ってからPMHPL, PMHPR, MUTEN, PMLO bitsに“1”を書き込んで下さい。
- (7) ヘッドフォンアンプの立ち上がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち上がり時間(t_r)は $70k \times C$ (typ)です。C=1 μF の場合、 t_r は70ms(typ)です。
- (8) ヘッドフォンアンプの立ち下がり時間はMUTET pinのコンデンサ(C)で決まり、VCOM/2までの立ち下がり時間(t_f)は $60k \times C$ (typ)です。C=1 μF の場合、 t_f は60ms(typ)です。
ヘッドフォンアンプが完全に立ち下がってからPMHPL, PMHPR bitsに“0”を書き込み、その後LINHL, MINHL, RINHR, MINHR, LINL, MINL, RINR, MINR bitsに“0”を書き込んで下さい。
- (9) PMLO bitを切り替えるとLOUT, ROUT pinsにポップノイズが出力されます。

■ シリアルコントロールインタフェース

(1) 3線シリアルコントロールモード (I2C pin = “L”)

レジスタ設定は3線式シリアルI/F ピン: CSN, CCLK, CDTIで書き込みを行います。I/F上のデータはChip address(2bits, “01”固定), Read/Write(1bit, Fixed to “1”, Write only), Register address(MSB first, 5bits), Control data(MSB first, 8bits)で構成されます。データはCCLKの立ち上がりエッジで取り込みます。データの書き込みはCCLKの16クロック目の立ち上がりエッジで有効になります。CCLKのクロックスピードは5MHz(max)です。PDN pin = “L”でレジスタの値はリセットされます。

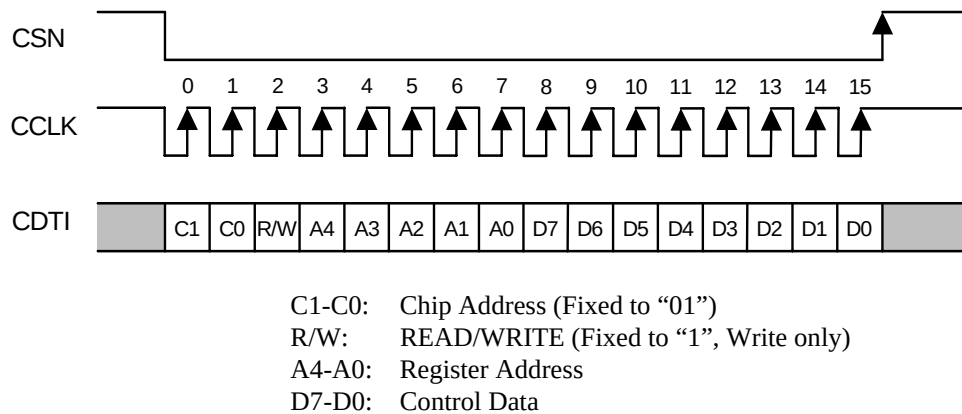


Figure 35. 3線シリアルコントロールI/Fタイミング

(2) I²Cバスコントロールモード (I2C pin = “H”)

AK4368のI²Cバスモードのフォーマットは、高速モード(max:400kHz, Ver1.0)に対応しています。

(2)-1. WRITE命令

I²Cバスモードにおけるデータ書き込みシーケンスはFigure 36に示されます。バス上のICへのアクセスには、最初に開始条件(Start Condition)を入力します。SCLラインが“H”の時にSDAラインを“H”から“L”にすると、開始条件が作られます(Figure 42)。開始条件の後、スレーブアドレスが送信されます。このアドレスは7bitから構成され、8bit目にはデータ方向ビット(R/W)が続きます。上位6bitは“001000”固定、次の1bitはアクセスするICを選ぶためのアドレスビットで、CAD0 pinにより設定されます(Figure 37)。アドレスが一致した場合、AK4368は確認応答(Acknowledge)を生成し、命令が実行されます。マスタは確認応答用のクロックパルスを生成し、SDAラインを解放しなければなりません(Figure 43)。R/Wビットが“0”の場合はデータ書き込み、R/Wビットが“1”の場合はデータ読み出しを行います。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8bit、MSB firstで構成され、上位3bitは“0”固定です(Figure 38)。第3バイト以降はコントロールデータです。コントロールデータは8bit、MSB firstで構成されます(Figure 39)。AK4368は、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件(Stop Condition)によって終了します。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、停止条件が作られます(Figure 42)。

AK4368は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。アドレス“0CH”を越えるデータを送ると、内部レジスタに対応するアドレスカウンタはロールオーバーし、アドレス“00H”から順に格納されます。

クロックが“H”の間は、SDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、SCLラインのクロック信号が“L”の時に限られます(Figure 44)。SCLラインが“H”の時にSDAラインを変更するのは、開始条件、停止条件を入力するときのみです。

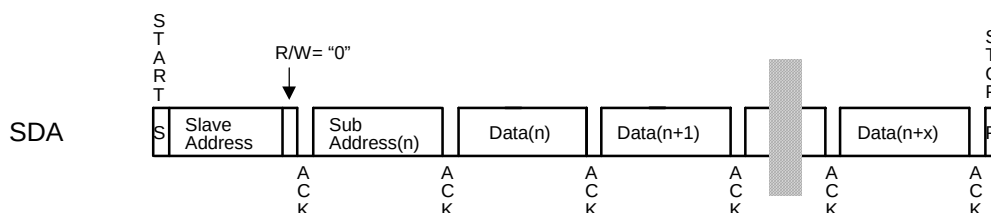


Figure 36. I²Cバスモードのデータ書き込みシーケンス

0	0	1	0	0	0	CAD0	R/W
---	---	---	---	---	---	------	-----

(CAD0はpinにより設定)

Figure 37. 第1バイトの構成

0	0	0	A4	A3	A2	A1	A0
---	---	---	----	----	----	----	----

Figure 38. 第2バイトの構成

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

Figure 39. 第3バイト以降の構成

(2)-2. READ命令

R/Wビットが“1”の場合、AK4368はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタが停止条件を送らず確認応答を生成すると、サブアドレスが自動的にインクリメントされ、次のアドレスのデータを読み出すことができます。アドレス“0CH”のデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス“00H”のデータが読み出されます。

AK4368はカレントアドレスリードとランダムリードの2つのREAD命令を持っています。

(2)-2-1. カレントアドレスリード

AK4368は内部にアドレスカウンタを持っており、カレントアドレスリードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレスカウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスが“n”であり、その後カレントアドレスリードを行った場合、アドレス“n+1”のデータが読み出されます。カレントアドレスリードでは、AK4368はREAD命令のスレーブアドレス(R/W=“1”)の入力に対して確認応答を生成し、次のクロックから内部のアドレスカウンタで指定されたデータを出力したのち内部カウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

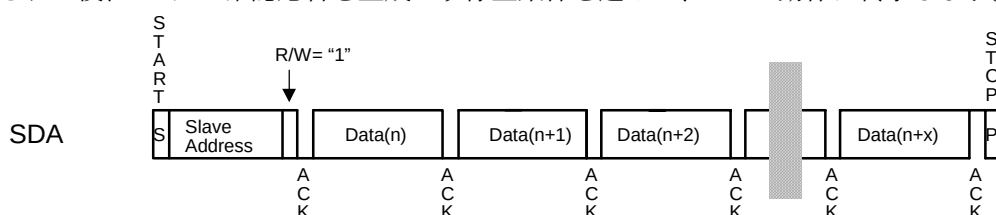


Figure 40. CURRENT ADDRESS READ 命令

(2)-3-2. ランダムアドレスリード

ランダムアドレスリードにより任意のアドレスのデータを読み出すことができます。ランダムアドレスリードはREAD命令のスレーブアドレス(R/W bit=“1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダムアドレスリードでは最初に開始条件を入力し、次にWRITE命令のスレーブアドレス(R/W=“0”)、読み出すアドレスを順次入力します。AK4368がこのアドレス入力に対して確認応答を生成した後、再送条件、READ命令のスレーブアドレス(R/W bit=“1”)を入力します。AK4368はこのスレーブアドレスの入力に対して確認応答を生成し、指定されたアドレスのデータを出力し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタがアクノリッジを生成せず停止条件を送ると、READ動作は終了します。

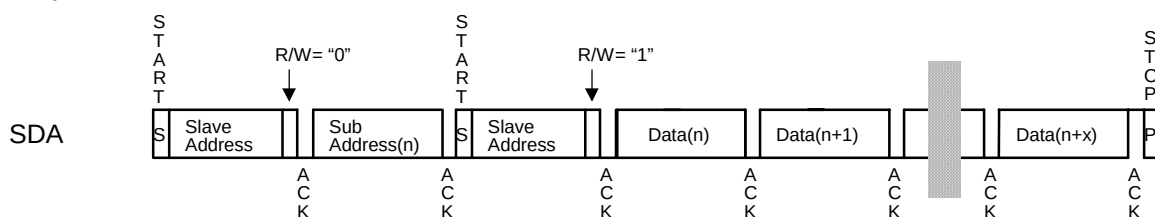


Figure 41. RANDOM ADDRESS READ 命令

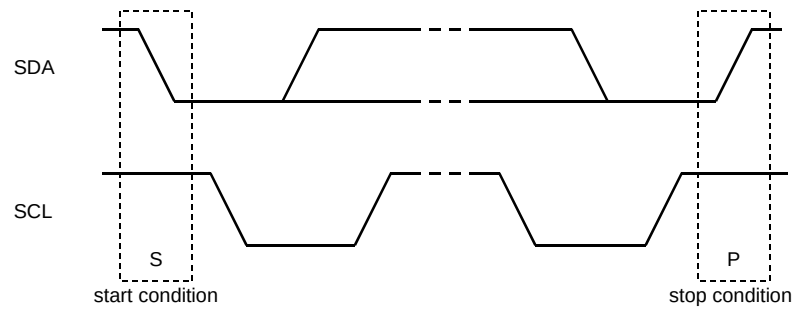
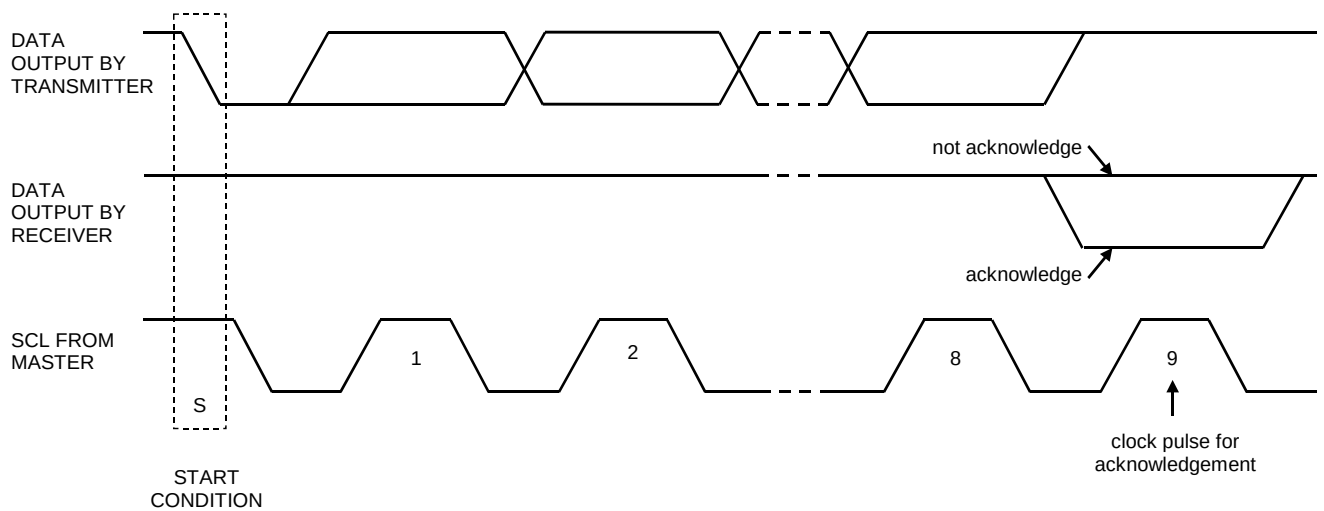
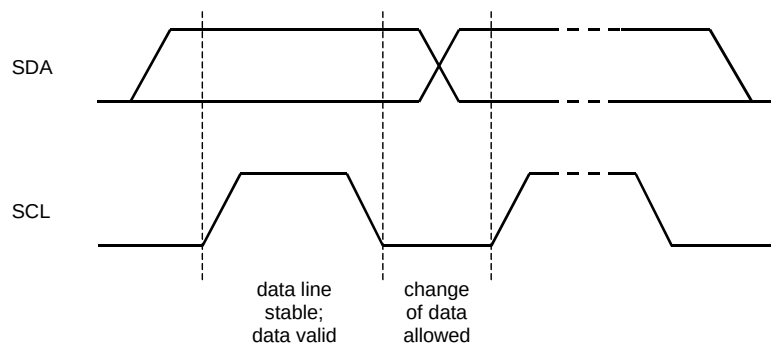


Figure 42. 開始条件と停止条件

Figure 43. I²Cバスでの確認応答Figure 44. I²Cバスでのビット転送

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management	0	PMPLL	PMLO	MUTEN	PMHPR	PMHPL	PMDAC	PMVCM
01H	PLL Control	FS3	FS2	FS1	FS0	PLL3	PLL2	PLL1	PLL0
02H	Clock Control	0	0	M/S	MCKAC	BF	PS0	PS1	MCKO
03H	Mode Control 0	0	MONO1	MONO0	BCKP	LRP	DIF2	DIF1	DIF0
04H	Mode Control 1	ATS	DATTC	LMUTE	SMUTE	BST1	BST0	DEM1	DEM0
05H	DAC Lch ATT	ATTL7	ATTL6	ATTL5	ATTL4	ATTL3	ATTL2	ATTL1	ATTL0
06H	DAC Rch ATT	ATTR7	ATTR6	ATTR5	ATTR4	ATTR3	ATTR2	ATTR1	ATTR0
07H	Headphone Out Select	0	HPG	MINHR	MINHL	RINHR	LINHL	DACHR	DACHL
08H	Lineout Select	0	LOG	MINR	MINL	RINR	LINL	DACR	DACL
09H	Lineout ATT	0	0	0	0	ATTS3	ATTS2	ATTS1	ATTS0
0AH	ALC Mode Control 1	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
0BH	ALC Mode Control 2	0	0	ALC	ROTM1	ROTM0	LMAT1	LMAT0	RATT
0CH	3D Control	0	0	0	0	DP1	DP0	3D1	3D0

PDN pin = “L”時、全レジスタは書き込み不可です。

PDN pinを“L”にすると、レジスタ値は初期化されます。

0DHから1FHまでは書き込み不可です。

“0”で指定されたビットへの“1”の書き込みは禁止です。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Management	0	PMPLL	PMLO	MUTEN	PMHPR	PMHPL	PMDAC	PMVCM
	R/W	RD	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

PMVCM: VCOMのパワーマネジメント

0: Power OFF (Default)

1: Power ON

PMDAC: DACのパワーマネジメント

0: Power OFF (Default)

1: Power ON

OFFからONに変更した場合は設定されたATT値等のレジスタの内容でパワーアップされます。

PMHPL: Lch ヘッドフォンアンプのパワーマネジメント

0: Power OFF (Default)

1: Power ON

PMHPR: Rch ヘッドフォンアンプのパワーマネジメント

0: Power OFF (Default)

1: Power ON

MUTEN: ヘッドフォンアンプのミュートコントロール

0: ミュート (Default)。出力はHVSS(0V)になります。

1: 通常動作。出力のDC電圧は $0.475 \times AVDD$ になります。

PMLO: ステレオラインアウトのパワーマネジメント

0: Power OFF (Default)。出力はHi-Zになります。

1: Power ON

PMPLL: PLLのパワーマネジメント

0: Power OFF: EXT mode (Default)

1: Power ON: PLL mode

このアドレスのビットをON/OFF (“1”/“0”) することで部分的にパワーダウンすることができます。また、PDN pinを“L”にすることで、レジスタ値の設定に関わらず全回路を一度にパワーダウンできます。この場合、レジスタ値は初期化されます。

また、PMVCM, PMDAC, PMHPL, PMHPR, PMLO, PMPLL, MCKO bitsをすべて“0”にすることで、全回路を一度にパワーダウンすることができます。このときレジスタの内容は保持されています。消費電流は20 μ A(typ)なので、完全にシャットダウン(typ. 1 μ A)するにはPDN pin = “L”として下さい。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	PLL Control	FS3	FS2	FS1	FS0	PLL3	PLL2	PLL1	PLL0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	1	0	0	0	0	0	0	0

FS3-0: サンプリング周波数の選択

PLL mode: Table 2

EXT mode: Table 6

PLL3-0: MCKI周波数の選択

PLL mode: Table 1

EXT mode: 無効

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Clock Control	0	0	M/S	MCKAC	BF	PS0	PS1	MCKO
	R/W	RD	RD	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

MCKO: MCKO信号を制御します。

0: Disable (Default)

1: Enable

PS1-0: MCKO周波数設定

PLL mode: Table 3

EXT mode: Table 7

BF: マスタモード時のBICK周波数の設定。スレーブモード時、このビットは無効になります。

0: 32fs (Default)

1: 64fs

MCKAC: MCLK入力モード設定

0: CMOS入力 (Default)

1: ACカップリング入力

M/S: マスタ/スレーブモード設定

0: スレーブモード (Default)

1: マスタモード

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Mode Control 0	0	MONO1	MONO0	BCKP	LRP	DIF2	DIF1	DIF0
	R/W	RD	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	1	0

DIF2-0: オーディオデータインタフェースフォーマットの設定 (Table 11)

Default: "010" (Mode 2)

LRP: LRCK極性設定(スレーブモード時)

0: 通常(Default)

1: 反転

BCKP: BICK極性設定(スレーブモード時)

0: 通常(Default)

1: 反転

MONO1-0: ミキシング設定 (Table 21)

Default: "00" (LR)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	Mode Control 1	ATS	DATTC	LMUTE	SMUTE	BST1	BST0	DEM1	DEM0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	1	0	0	0	0	1

DEM1-0: ディエンファシスフィルタの選択 (Table 19)

Default: “01” (OFF)

BST1-0: バスブースト設定 (Table 20)

Default: “00” (OFF)

SMUTE: DACから出力されるデータをソフトミュートします。

0: 通常動作(Default)

1: DAC出力がソフトミュートされます。

LMUTE: LOUT/ROUTから出力される信号のミュート (Table 24)

0: 通常動作。ATTS3-0 bitsで設定された減衰量で出力されます。

1: Mute。ATTS3-0 bitsの設定にかかわらずミュートされます。(Default)

DATTC: デジタルボリュームのコントロール

0: Independent (Default)

1: Dependent

“0”でLch, Rchのデジタルボリュームを独立に動作させ、“1”でLchのATTに連動してRchのATTも変化します。但しDATTC bit = “1”の場合、ATTR7-0 bitにはATTL7-0 bitの値は書き込まれません。

ATS: デジタルボリューム遷移時間設定 (Table 18)

0: 1061/fs (Default)

1: 7424/fs

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	DAC Lch ATT	ATTL7	ATTL6	ATTL5	ATTL4	ATTL3	ATTL2	ATTL1	ATTL0
06H	DAC Rch ATT	ATTR7	ATTR6	ATTR5	ATTR4	ATTR3	ATTR2	ATTR1	ATTR0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

ATTL7-0: DACLから出力される信号の減衰量の設定 (Table 17)

ATTR7-0: DACRから出力される信号の減衰量の設定 (Table 17)

Default: “00H” (MUTE)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
07H	Headphone Out Select	0	HPG	MINHR	MINHL	RINHR	LINHL	DACHR	DACHL
	R/W	RD	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

DACHL: DACのLchの出力信号をヘッドフォンのLch側に加算します。

0: OFF (Default)

1: ON

DACHR: DACのRchの出力信号をヘッドフォンのRch側に加算します。

0: OFF (Default)

1: ON

LINHL: LIN pinから入力された信号をヘッドフォンのLch側に加算します。

0: OFF (Default)

1: ON

RINHR: RIN pinから入力された信号をヘッドフォンのRch側に加算します。

0: OFF (Default)

1: ON

MINHL: MIN pinから入力された信号をヘッドフォンのLch側に加算します。

0: OFF (Default)

1: ON

MINHR: MIN pinから入力された信号をヘッドフォンのRch側に加算します。

0: OFF (Default)

1: ON

HPG: DAC → HPL/R Gain

0: +0.76dB (Default)

1: +6.76dB

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	Lineout Select	0	LOG	MINR	MINL	RINR	LINL	DACR	DACL
	R/W	RD	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

DACL: DACのLchの出力信号をLOUT出力に加算します。

0: OFF (Default)

1: ON

DACR: DACのRchの出力信号をROUT出力に加算します。

0: OFF (Default)

1: ON

LINL: LIN pinから入力された信号をLOUT出力に加算します。

0: OFF (Default)

1: ON

RINR: RIN pinから入力された信号をROUT出力に加算します。

0: OFF (Default)

1: ON

MINL: MIN pinから入力された信号をLOUT出力に加算します。

0: OFF (Default)

1: ON

MINR: MIN pinから入力された信号をROUT出力に加算します。

0: OFF (Default)

1: ON

LOG: DAC → LOUT/ROUT Gain

0: 0dB (Default)

1: +6dB

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	Lineout ATT	0	0	0	0	ATTS3	ATTS2	ATTS1	ATTS0
	R/W	RD	RD	RD	RD	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

ATTS3-0: LOUT/ROUTから出力される信号の減衰量の設定 (Table 24)

Default: LMUTE bit = “1”, ATTS3-0 bits = “0000” (MUTE)

ATTS3-0 bitの設定はLMUTE bitが “0”のときに有効になります。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	ALC Mode Control 1	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	1	0	0	1	0	0	0	1

REF7-0: ALCリカバリ動作時の基準値の設定, 0.375dB step, 81 level, Default: “91H” (Table 15)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0BH	ALC Mode Control 2	0	0	ALC	ROTM1	ROTM0	LMAT1	LMAT0	RATT
	R/W	RD	RD	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	1	0	0	0

RATT: ALCリカバリゲインステップ (Table 14)

LMAT1-0: ALCリミッタATTステップ (Table 13)

ROTM1-0: ALCリカバリ待機時間, ゼロクロスタイムアウト時間 (Table 12)

ALC: ALCイネーブル

0: ALC Disable (Default)

1: ALC Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0CH	3D Control	0	0	0	0	DP1	DP0	3D1	3D0
	R/W	RD	RD	RD	RD	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

3D1-0: 3D Stereo Enhancement Enable (Table 25)

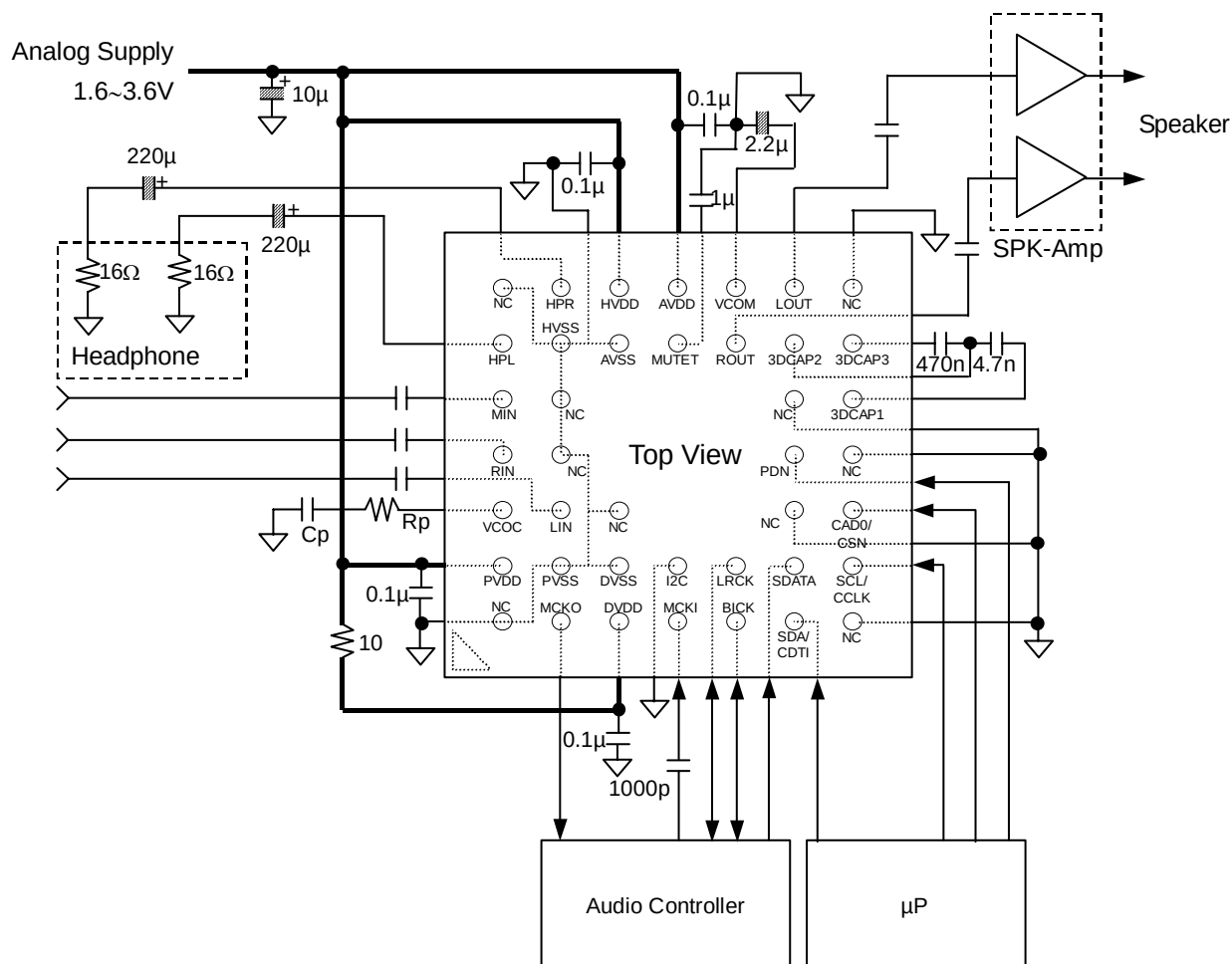
Default: “00” (Disable)

DP1-0: 3D Depth (Table 26)

Default: “00” (0%)

システム設計

システム接続例をFigure 45に示します。具体的な回路については評価用ボードを参照して下さい。



注:

- AK4368のAVSS, PVSS, DVSS, HVSSと周辺コントローラ等のグラウンドは分けて配線して下さい。
- デジタル入力ピンはオープンにしないで下さい。
- EXTモード(PMPLL bit = "0") の場合、VCOC pinはオープンで構いません。
- PLLモード(PMPLL bit = "1") の場合、CpとRpはTable 1のようにして下さい。
- マスタモードで使用する場合、M/S bitに "1" が書き込まれるまで、AK4368のLRCK, BICK pinsはフローティングの状態です。そのため、AK4368のLRCK, BICK pinsに100kΩ程度のプルアップあるいはプルダウン抵抗を入れる必要があります。

Figure 45. システム接続図 (MCLKにACカップリングで入力した場合)

1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常、AVDD, PVDD, HVDDはシステムのアナログ電源、DVDDにはAVDDから10Ωのシリーズ抵抗を通したシステムのアナログ電源を供給します。AVDDとDVDDが別電源で供給される場合でも、電源立ち上げシーケンスを考慮する必要はありません。AVDDとHVDDを別電源で供給する場合、AVDDはHVDDと同時または先に立ち上げて下さい。また、電源OFF時は、HVDDと同時または後に立ち下げて下さい。PVDDは電源立ち上げシーケンスを考慮する必要はありません。AVSS, DVSS, PVSS, HVSSはシステムのアナロググランドに接続して下さい。システムのグランドはアナログとデジタルで分けて配線し、PCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧

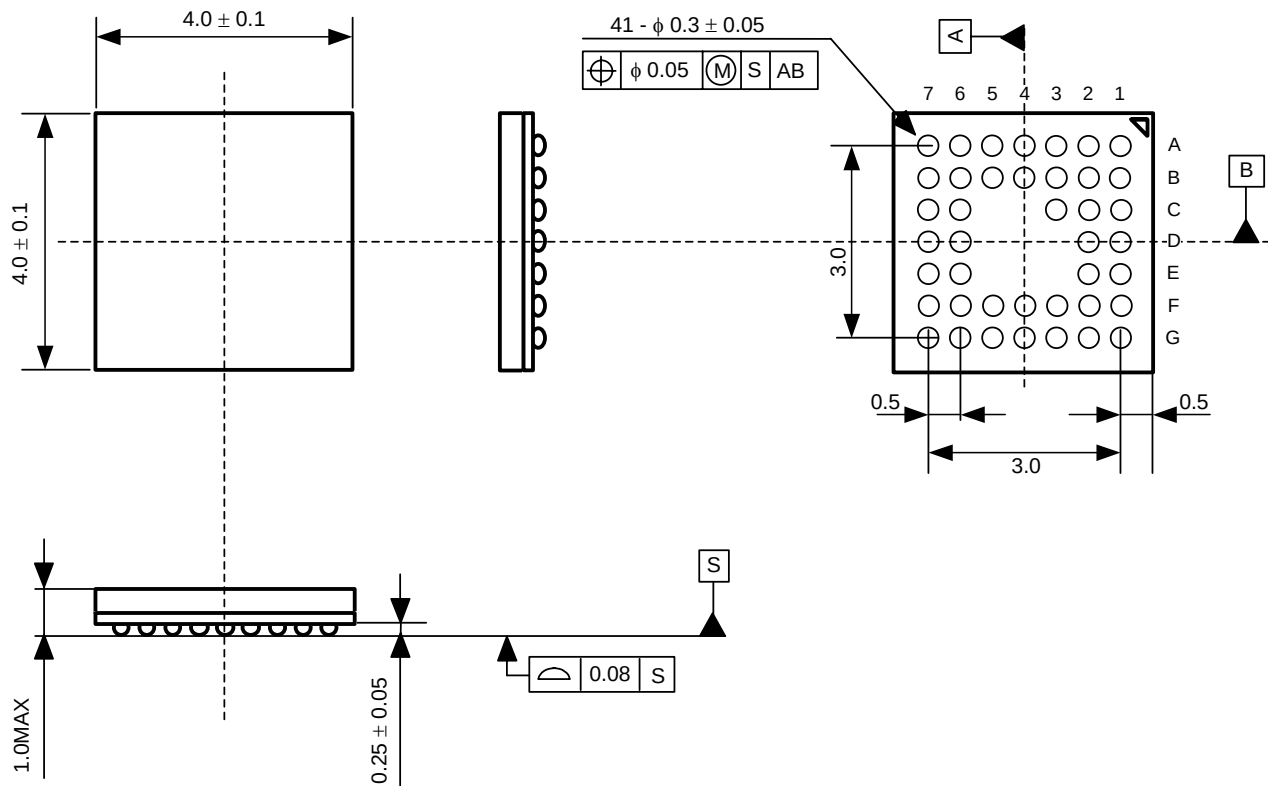
AVDDに入力される電圧がアナログ出力レンジを設定します。通常AVDDはAVSSとの間に0.1μFのセラミックコンデンサを接続します。VCOMは $0.475 \times \text{AVDD}$ 電圧(typ)を出力しており、アナログ信号のコモン電圧として使われます。このピンにも高周波ノイズを除去するために2.2μF程度の電解コンデンサをAVSSとの間に接続して下さい。また、VCOM pinから電流をとってはいけません。デジタル信号、特にクロックは変調器へのカップリングを避けるため、AVDD pinおよびVCOM pinからできるだけ離して下さい。

3. アナログ出力

DAC出力はシングルエンドになっており、出力レンジはVCOM電圧を中心に、ヘッドフォンの出力レンジはVCOM電圧を中心に $0.47 \times \text{AVDD}(\text{typ}) @ -3\text{dBFS}$ 、LOUT/ROUTの出力レンジはVCOM電圧を中心に $0.61 \times \text{AVDD}(\text{typ}) @ 0\text{dBFS}$ です。入力コードのフォーマットは2'sコンプリメント(2の補数)で、7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での理想値はVCOM電圧が出力されます。ΔΣ変調器が発生する帯域外ノイズ(シェーピングノイズ)が気になる場合は、外付けのフィルタで減衰させて下さい。

アナログ出力はVCOM+数mV程度のDCオフセットを持つため、通常の使用ではコンデンサでDC成分をカットします。

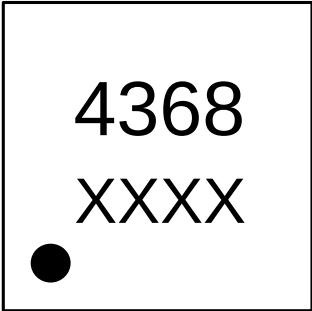
パッケージ



■ 材質・メッキ仕様

パッケージ材質: エポキシ系樹脂
 インターポーザー材質: BTレジン
 半田ボール材質: SnAgCu

マーキング



XXXX: Date code (4 digit)
Pin #1 indication

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
05/08/29	00	初版		
05/08/31	01	記述変更	5	コモン電圧ピン 「AVSS pinとの間に2.2μFの電解コンデンサと 0.1μFのセラミックコンデンサを接続します。」 → 「AVSS pinとの間に2.2μFの電解コンデンサを接続します。」
			55	2.基準電圧 「このピンにも高周波ノイズを除去するために2.2μF程度の電解コンデンサと並列に0.1μFのセラミックコンデンサをAVSSとの間に接続して下さい。」 → 「このピンにも高周波ノイズを除去するために2.2μF程度の電解コンデンサをAVSSとの間に接続して下さい。」

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。