

**SANYO**

**三洋半導体ニュース**

No. N 6 1 7 0

73099

新

**CCB LC75386NE-R**  
**LC75386NW**

CMOS LSI

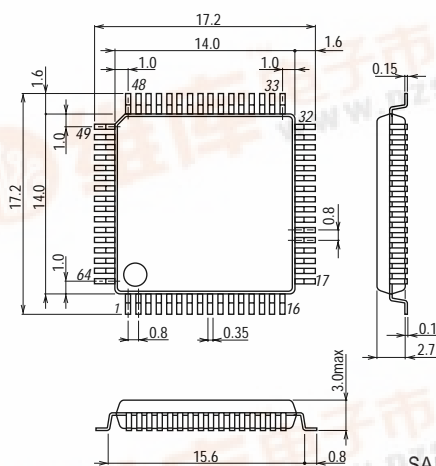
**カー用電子ボリューム**

LC75386NE-R/NWは、ボリューム、バランス、フェダー、バス/トレブル、ラウドネス、入力切換え、入力ゲインコントロールの各機能を、少ない外付け部品でコントロールできる電子ボリュームである。

**特 長**

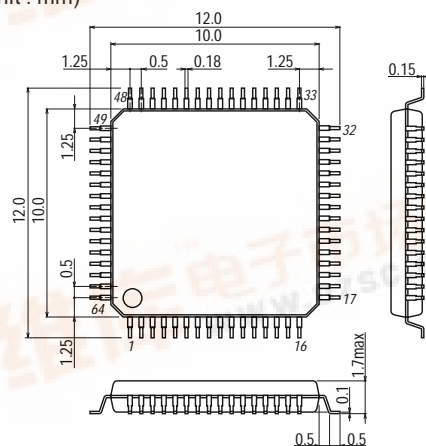
- ・ ボリューム : 0dB ~ -79dB(1dBステップ), - の 81 ポジション。  
L/R別々にコントロールすることによりバランス機能となる。
- ・ フェダー : リア側あるいはフロント側出力を 16 ポジションにわたって減衰させることができる。  
(0dB ~ -2dB までは 1dBステップ, -2dB ~ -20dB までは 2dBステップ, -20dB ~ -30dB までは 10dBステップ, -45dB, -60dB, - の 16 ポジション)
- ・ バス/トレブル: 各バンドとも 2dB ステップ ± 12dB のコントロール。
- ・ 入力ゲイン : 入力信号は、0dB ~ +18.75dB(1.25dB ステップ)の増幅ができる。
- ・ 入力切換え : L/R とも 6 入力の信号選択ができる。(5 つは、シングル、1 つは、差動入力)
- ・ ラウドネス : 2dB ステップボリュームのラダー抵抗の-32dB の位置からタップが出ており、CRの外付け部品によりラウドネス動作ができる。
- ・ バッファアンプ内蔵のため外付け部品が少ない。
- ・ シリコンゲート CMOSプロセスにより内蔵スイッチから発生する切換えノイズが少ないため無信号時の切換えノイズが小さい。
- ・ ゼロクロス切換え回路内蔵のため有信号時の切換えノイズも小さい。
- ・ VDD/2の基準電圧発生回路内蔵。
- ・ 各コントロールは、シリアルデータ入力で行う。

外形図 3159 [LC75386NE-R]  
(unit : mm)



SANYO : QIP64E

外形図 3190 [LC75386NW]  
(unit : mm)



SANYO : SQFP64

- 本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっていません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。



登録商標です。

CCBは、三洋電機のオリジナル・バス・フォーマットであり、バスのアドレスは全て三洋電機が管理しています。

## LC75386NE-R, 75386NW

絶対最大定格 /  $T_a = 25$  ,  $V_{SS} = 0V$

項 目	記 号	条 件	定 格	単 位
最大電源電圧	VDDmax	VDD	11	V
最大入力電圧	VIN max	全入力端子	$V_{SS}-0.3 \sim V_{DD}+0.3$	V
許容消費電力	Pd max	$T_a = 85$ , 基板取付け時	(LC75386NE-R)500 (LC75386NW)420	mW
動作周囲温度	Topr		$-40 \sim +85$	
保存周囲温度	Tstg		$-50 \sim +125$	

許容動作範囲 /  $T_a=25$  ,  $V_{SS}=0V$

項 目	記 号	条 件	min	typ	max	単 位
電源電圧	VDD	VDD	6.0		10.5	V
入力「H」レベル電圧	V <sub>IH</sub>	CL, DI, CE, $\overline{MUTE}$	4.0		VDD	V
入力「L」レベル電圧	V <sub>IL</sub>	CL, DI, CE, $\overline{MUTE}$	V <sub>SS</sub>		1.0	V
入力振幅電圧	VIN		V <sub>SS</sub>		VDD	Vp-p
入力パルス幅	T <sub>W</sub>	CL	1			μs
セットアップ時間	T <sub>setup</sub>	CL, DI, CE	1			μs
ホールド時間	T <sub>hold</sub>	CL, DI, CE	1			μs
動作周波数	f <sub>opg</sub>	CL			500	kHz

電気的特性 /  $T_a=25$  ,  $V_{DD}=9V$  ,  $V_{SS}=0V$

### 入力ブロック

項 目	記 号	端 子 名	条 件	min	typ	max	単 位
入力抵抗	R <sub>in</sub>	L1~L4, L6, R1~R4, R6		30	50	70	k
最小入力ゲイン	G <sub>inmin</sub>	L1~L4, L6, R1~R4, R6		-1	0	+1	dB
最大入力ゲイン	G <sub>inmax</sub>			+16.5	+18.75	+21	dB
ステップ間設定誤差	A <sub>Terr</sub>					±0.6	dB
L/R バランス	BAL					±0.5	dB

### ポリウムブロック

項 目	記 号	端 子 名	条 件	min	typ	max	単 位
入力抵抗	R <sub>vr</sub>	LVRIN, RVRIN, ラットレ OFF		113	226	339	k
ステップ間設定誤差	A <sub>Terr</sub>					±0.5	dB
L/R バランス	BAL					±0.5	dB

### トーンブロック

項 目	記 号	端 子 名	条 件	min	typ	max	単 位
ステップ間設定誤差	A <sub>Terr</sub>					±1.0	dB
バスコントロールレンジ	G <sub>bass</sub>		max.boost/cut	±9	±12	±15	dB
トレブルコントロールレンジ	G <sub>tre</sub>		max.boost/cut	±9	±12	±15	dB
L/R バランス	BAL					±0.5	dB

# LC75386NE-R, 75386NW

## フェダーブロック

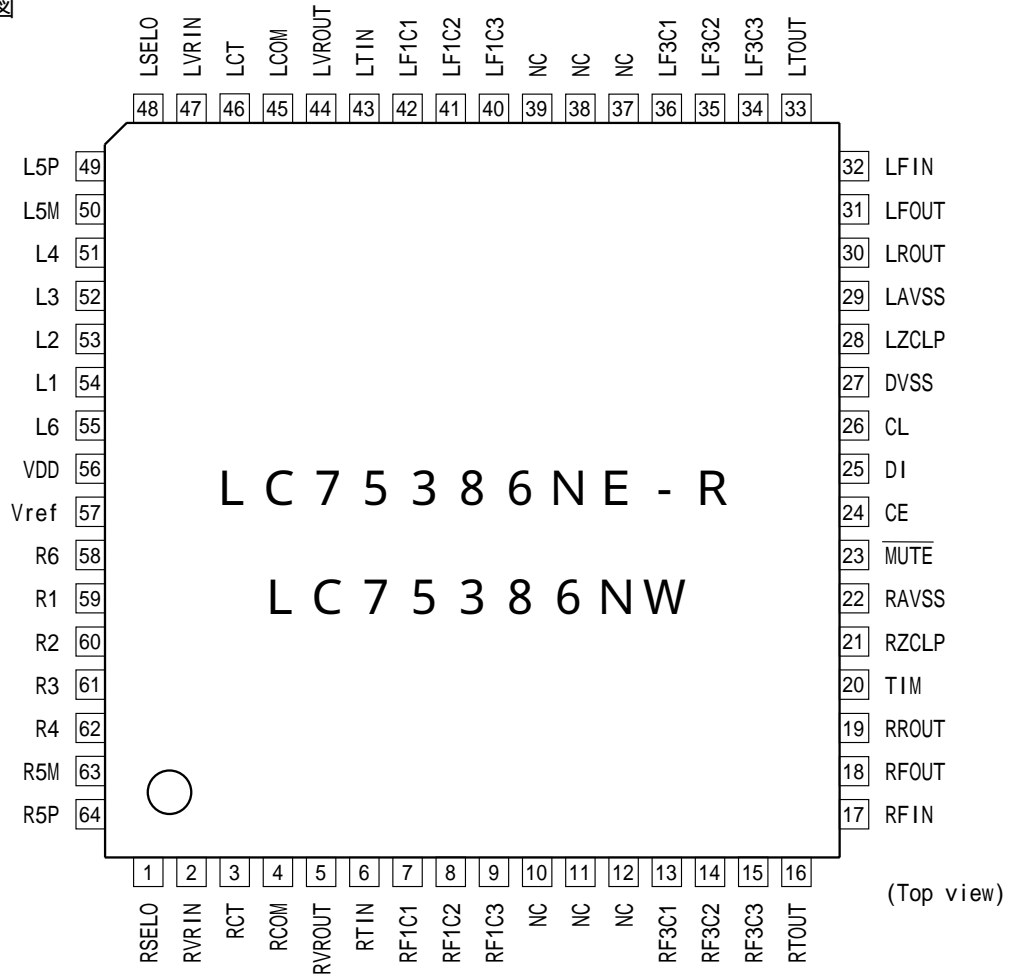
項 目	記 号	端 子 名	条 件	min	typ	max	単 位
入 力 抵 抗	Rfed	LFIN,RFIN		25	50	100	k
ステップ間設定誤差	ATerr		0dB ~ -2dB			± 0.5	dB
			-2dB ~ -20dB			± 1	dB
			-20dB ~ -30dB			± 2	dB
			-30dB ~ -60dB			± 3	dB
L/R バランス	BAL					± 0.5	dB

## 総合

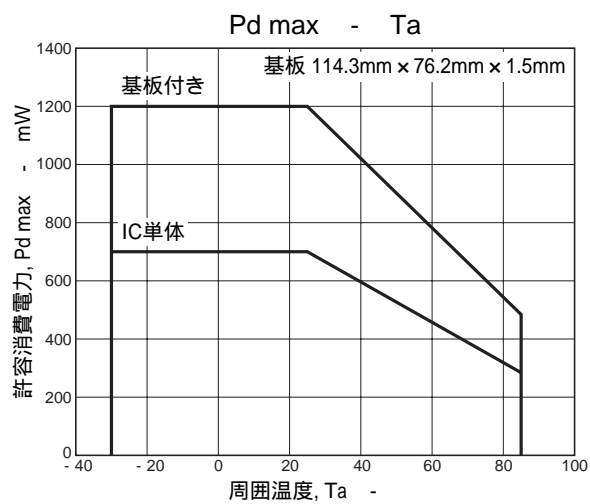
項 目	記 号	端 子 名	min	typ	max	単 位
全 高 調 波 歪 率	THD(1)	VIN= -10dBV, f= 1kHz		0.004		%
	THD(2)	VIN= -10dBV, f= 10kHz		0.006		%
入 力 間 クロ ス ト ーク	CT	VIN= 1Vrms, f= 1kHz	80	88		dB
L/R クロ ス ト ーク	CT	VIN= 1Vrms, f= 1kHz	80	88		dB
最 大 絞 り 込 み	Vomin(1)	VIN= 1Vrms, f= 1kHz	80	88		dB
	Vomin(2)	VIN= 1Vrms, f= 1kHz INMUTE, フェダー	90	95		dB
出 力 雑 音 電 圧	VN(1)	全フラット, IHF-A フィルタ		5	10	μV
	VN(2)	全フラット, 20 ~ 20kHzBPF		7	15	μV
消 費 電 流	IDD			33	40	mA
入力「H」レベル電流	I IH	CL, DI, CE, VIN=9V			10	μA
入力「L」レベル電流	I IL	CL, DI, CE, VIN=0V	-10			μA
最 大 入 力 電 圧	VCL	THD=1% RL=10k 全フラット, f IN=1kHz	2.5	2.9		Vrms
同 相 信 号 除 去 比	CMRR	VIN=0dB, f=1kHz	45			dB

# LC75386NE-R, 75386NW

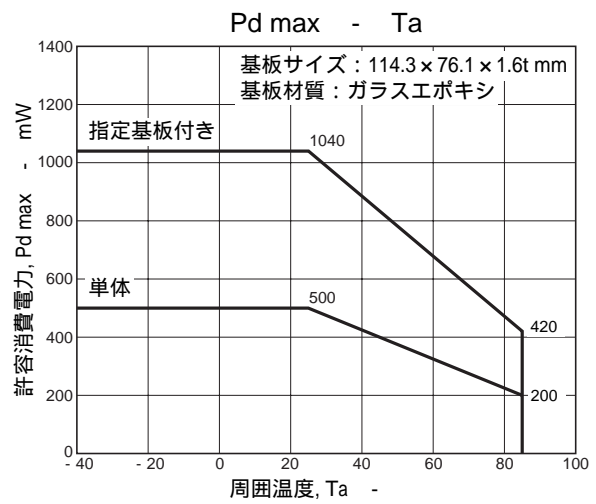
ピン配置図



[LC75386NE-R]

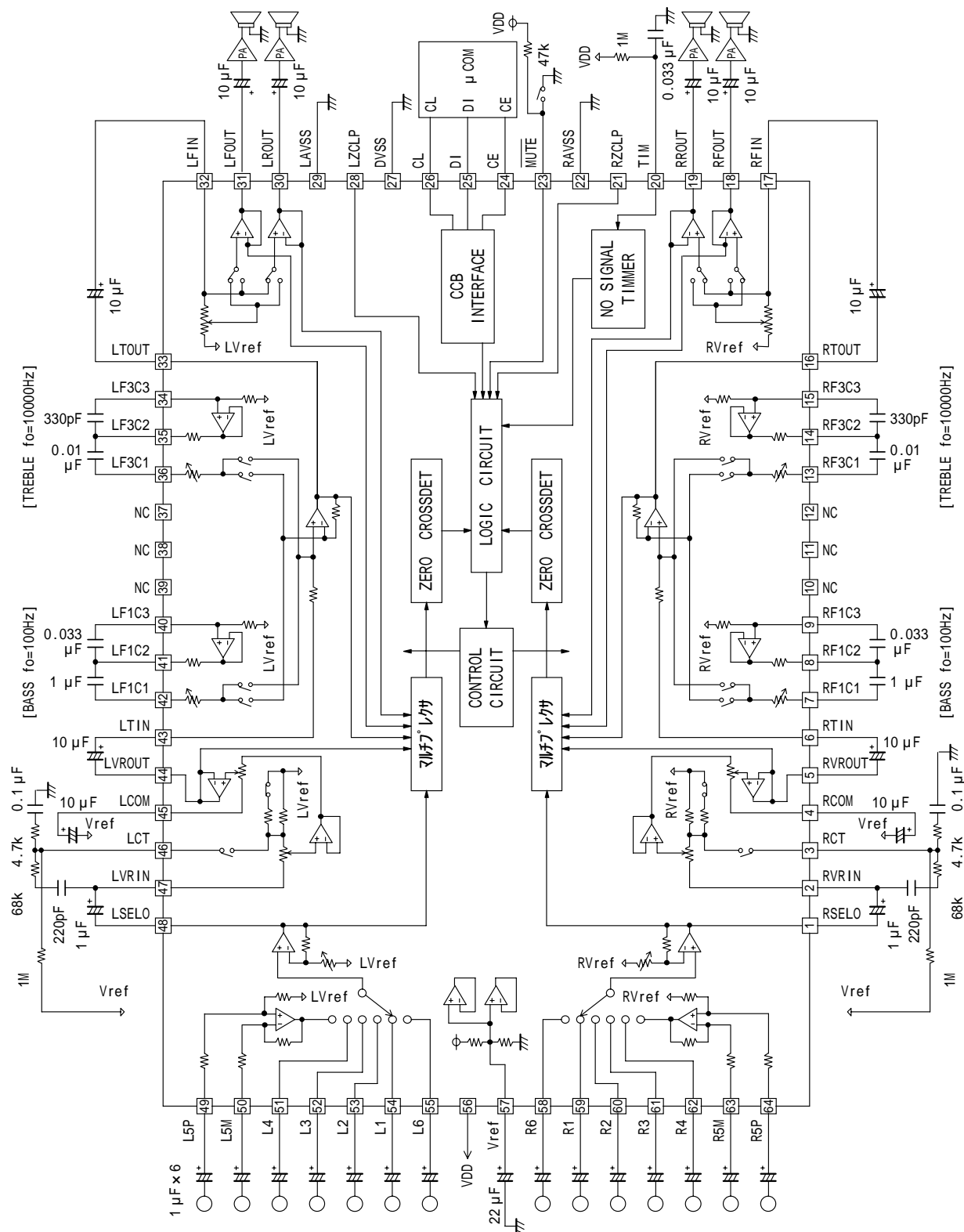


[LC75386NW]



# LC75386NE-R, 75386NW

等価回路 / 応用回路図



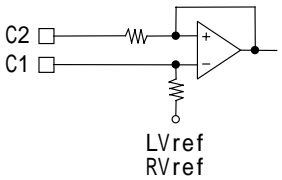
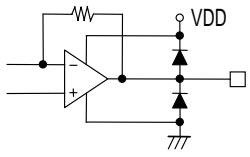
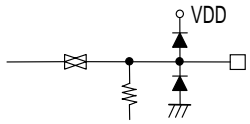
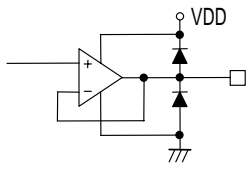
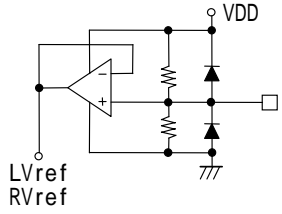
・ LC75386NW 版について...LZCLP(pin28), RZCLP(pin21)は、NO CONNECT 端子である。

# LC75386NE-R, 75386NW

## 端子説明

端子名	端子No.	説明	備考
L1 L2 L3 L4 L6 R1 R2 R3 R4 R6	54 53 52 51 55 59 60 61 62 58	・シングル入力端子	
L5M L5P R5M R5P	50 49 63 64	・差動入力端子	
LSELO RSELO	48 1	・入力レギュラ出力端子	
LVRIN RVRIN	47 2	・2dB ステップ ボリュームの入力端子 ・ロインバースで入力すること。	
LCT RCT	46 3	・ラド 収用端子。LCT(RCT)と LVRIN(RVRIN)間に高域補償用のCR を接続し、LCT(RCT)と Vref 間に低域補償用CR を接続する。	
LCOM RCOM	45 4	・2dB ステップ ボリュームの出力端子。 ・切換えノイズ 低減のため C 結合で Vref 端子に接続すること。	
LTIN RTIN	43 6	・ロライザ 入力端子。	

# LC75386NE-R, 75386NW

端子名	端子No.	説 明	備 考
LF1C1 LF1C2 LF1C3 RF1C1 RF1C2 RF1C3	42 41 40 7 8 9	・ トーン回路低減用フィルタ構成のコンテ`ンサ接続端子。 LF1C1(RF1C1) ~ LF1C2(RF1C2) LF1C2(RF1C2) ~ LF1C3(RF1C3) 間にコンテ`ンサを接続すること。	
LF3C1 LF3C2 LF3C3 RF3C1 RF3C2 RF3C3	36 35 34 13 14 15	・ トーン回路高域用フィルタ構成のコンテ`ンサ接続端子。 LF3C1(RF3C1) ~ LF3C2(RF3C2) LF3C2(RF3C2) ~ LF3C3(RF3C3) 間にコンテ`ンサを接続すること。	
NC NC NC NC NC NC	39 38 37 10 11 12	・ NCピン。内部は何も接続されていない。	
LTOUT RTOUT	33 16	・ コライザ` 出力端子	
LFIN RFIN	32 17	・ フェダ`-ブ`ロック入力端子。 ・ ロ`インピ`-ダンスでドライブ`すること。	
LFOUT LROUT RFOUT RROUT	31 30 18 19	・ フェダ`-出力端子。フロント側/リア側をそれぞれ別々に絞り込める。減衰量は、L/R 同一。	
Vref	57	・ VDD/2 電圧発生部、電源リ`ル対策として Vref ~ AVSS 間(VSS)間に数 10μF 程度のコンテ`ンサを接続すること。	
VDD	56	・ 電源端子。	
DVSS	27	・ デジ`タ`系グランド` 端子。	
LAVSS RAVSS	29 22	・ アナロ`グ系グランド` 端子。	

# LC75386NE-R, 75386NW

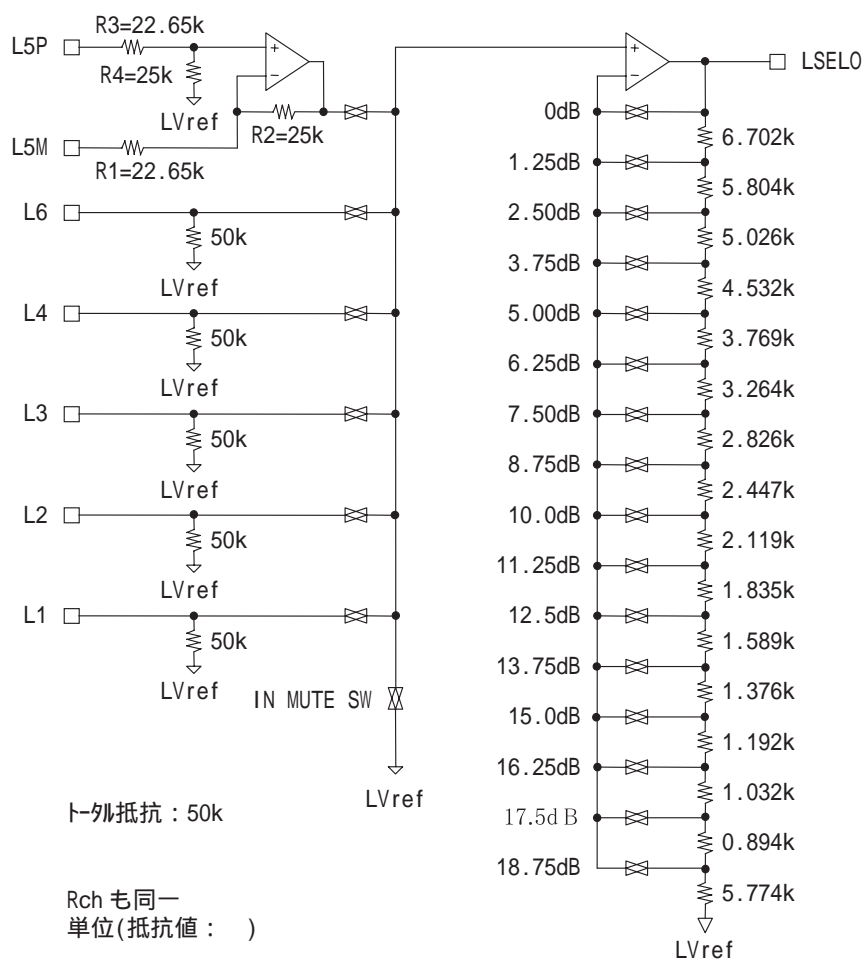
端子名	端子No.	説明	備考
LZCLP RZCLP	28 21	<ul style="list-style-type: none"> <li>ゼロクロス検出回路の帯域制限端子。</li> <li>通常はオープンにして使用すること。</li> <li>LC75386NW 版は、NO CONNECT 端子である。</li> </ul>	LC75386NE-R のみ 
MUTE	23	<ul style="list-style-type: none"> <li>外部コントロールミュート端子。</li> <li>この端子を VSS レベルにするとフェードイン/フェードアウトロックが強制的に ON に設定される。</li> </ul>	
TIM	20	<ul style="list-style-type: none"> <li>ゼロクロス回路の無信号時のタイマ端子。</li> <li>データをセットしてから、タイマが完了するまでゼロクロス信号が無い時、強制的にデータをセットする。</li> </ul>	
CL DI	26 25	<ul style="list-style-type: none"> <li>コントロールのためのシリアルデータ及びクロックの入力端子。</li> </ul>	
CE	24	<ul style="list-style-type: none"> <li>チップセレクト端子。「H」「L」になるタイミングで内部のラッチにデータが書き込まれ各アナログスイッチが動く。</li> <li>「H」レベルでデータ転送がセレクト可能になる。</li> </ul>	
LVRROUT RVROUT	44 5	<ul style="list-style-type: none"> <li>1dB ステップアップリニアの出力端子</li> </ul>	



# LC75386NE-R, 75386NW

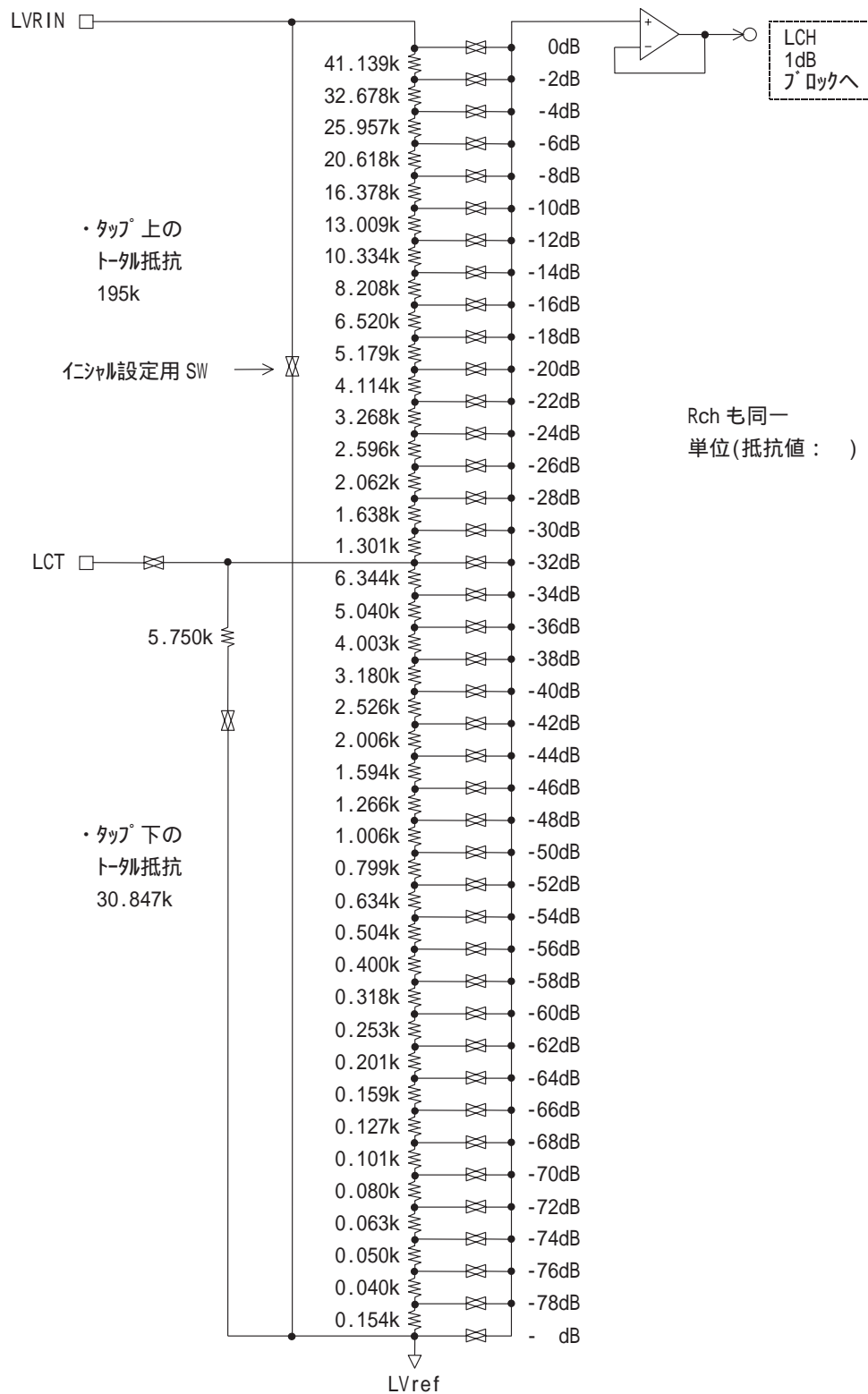
内部等価回路

セレクトブロック等価回路図



# LC75386NE-R, 75386NW

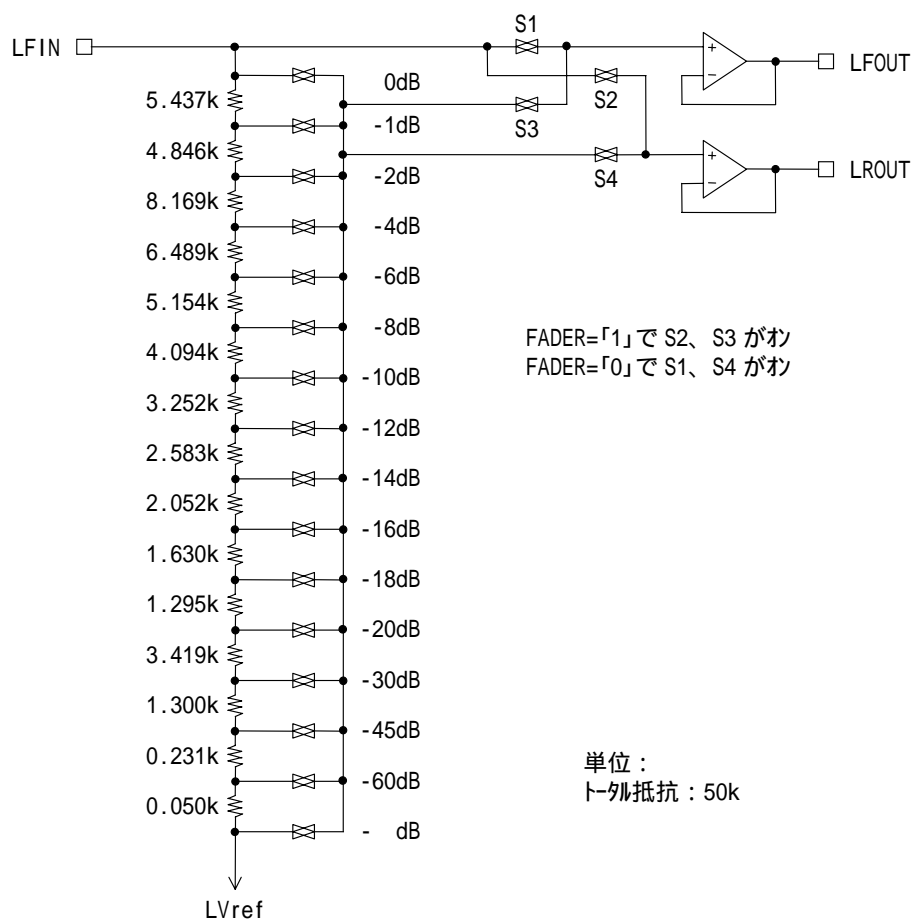
2 dB ボリウムブロック等価回路図





# LC75386NE-R, 75386NW

フェダーボリュームブロック等価回路図

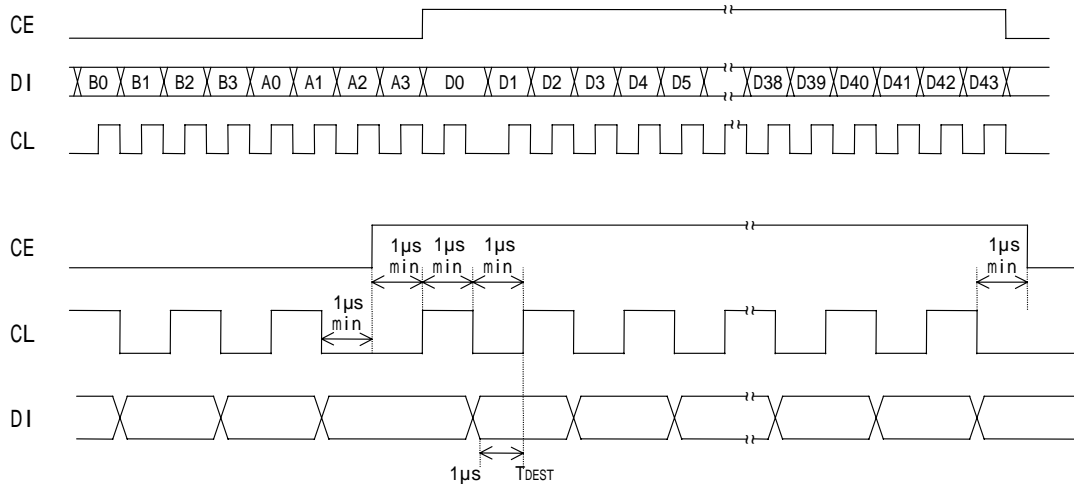


メインボリューム1dBSTEPにデータを送った場合  
 S1、S2 がオープンとなり S3、S4 が同時オンとなる。

## LC75386NE-R, 75386NW

### コントロール系タイミングおよびデータフォーマット

LC75386NE-R/NWをコントロールするには、CL, DI, CE端子に規定のシリアルデータを入力する。データの構成は、全52ビットで、アドレス8ビット、データ44ビットからなる。



#### 1) アドレスコード(B0～A3)

LC75386NE-R/NWは、8ビットのアドレスコードを持ち、三洋のシリアルバス CCB 対応の LSI と共通仕様することができる。

##### アドレスコード

(LSB)	B0	B1	B2	B3	A0	A1	A2	A3	(81HEX)
	1	0	0	0	0	0	0	1	

#### 2) 制御コード割り当て

##### 入力切換え制御

D0	D1	D2	設 定	設 定
0	0	0	L1 (R1)	
1	0	0	L2 (R2)	
0	1	0	L3 (R3)	
1	1	0	L4 (R4)	
0	0	1	L5 (R5)	
1	0	1	L6 (R6)	
0	1	1		LSI テスト用：通常時は、使用しないこと
1	1	1		

D3	LSI のテスト用ビット：通常時はかならず 0 を設定すること
----	---------------------------------

## LC75386NE-R, 75386NW

---

### 入力ゲイン制御

D4	D5	D6	D7	動 作
0	0	0	0	0dB
1	0	0	0	+1.25dB
0	1	0	0	+2.50dB
1	1	0	0	+3.75dB
0	0	1	0	+5.00dB
1	0	1	0	+6.25dB
0	1	1	0	+7.50dB
1	1	1	0	+8.75dB
0	0	0	1	+10.0dB
1	0	0	1	+11.25dB
0	1	0	1	+12.5dB
1	1	0	1	+13.75dB
0	0	1	1	+15.0dB
1	0	1	1	+16.25dB
0	1	1	1	+17.5dB
1	1	1	1	+18.75dB

# LC75386NE-R, 75386NW

## ボリューム制御

D8	D9	D10	D11	D12	D13	D14	D15	動作
								1dB STEP
0								0dB
1								-1dB
								2dB STEP
	0	0	0	0	0	0	0	0dB
	1	0	0	0	0	0	0	-2dB
	0	1	0	0	0	0	0	-4dB
	1	1	0	0	0	0	0	-6dB
	0	0	1	0	0	0	0	-8dB
	1	0	1	0	0	0	0	-10dB
	0	1	1	0	0	0	0	-12dB
	1	1	1	0	0	0	0	-14dB
	0	0	0	1	0	0	0	-16dB
	1	0	0	1	0	0	0	-18dB
	0	1	0	1	0	0	0	-20dB
	1	1	0	1	0	0	0	-22dB
	0	0	1	1	0	0	0	-24dB
	1	0	1	1	0	0	0	-26dB
	0	1	1	1	0	0	0	-28dB
	1	1	1	1	0	0	0	-30dB
	0	0	0	0	1	0	0	-32dB
	1	0	0	0	1	0	0	-34dB
	0	1	0	0	1	0	0	-36dB
	1	1	0	0	1	0	0	-38dB
	0	0	1	0	1	0	0	-40dB
	1	0	1	0	1	0	0	-42dB
	0	1	1	0	1	0	0	-44dB
	1	1	1	0	1	0	0	-46dB
	0	0	0	1	1	0	0	-48dB
	1	0	0	1	1	0	0	-50dB
	0	1	0	1	1	0	0	-52dB
	1	1	0	1	1	0	0	-54dB
	0	0	1	1	1	0	0	-56dB
	1	0	1	1	1	0	0	-58dB
	0	1	1	1	1	0	0	-60dB
	1	1	1	1	1	0	0	-62dB
	0	0	0	0	0	1	0	-64dB
	1	0	0	0	0	1	0	-66dB
	0	1	0	0	0	1	0	-68dB
	1	1	0	0	0	1	0	-70dB
	0	0	1	0	0	1	0	-72dB
	1	0	1	0	0	1	0	-74dB
	0	1	1	0	0	1	0	-76dB
	1	1	1	0	0	1	0	-78dB
								MUTE
	1	1	1	1	1	1	0	-
	0	1	1	1	1	1	0	INMUTE

# LC75386NE-R, 75386NW

## トーン制御

D16	D17	D18	D19	バス
D24	D25	D26	D27	トレブル
0	1	1	0	+12dB
1	0	1	0	+10dB
0	0	1	0	+8dB
1	1	0	0	+6dB
0	1	0	0	+4dB
1	0	0	0	+2dB
0	0	0	0	0dB
1	0	0	1	-2dB
0	1	0	1	-4dB
1	1	0	1	-6dB
0	0	1	1	-8dB
1	0	1	1	-10dB
0	1	1	1	-12dB

D20	D21	D22	D23	設 定
0	0	0	0	0 に設定する

## フェダーボリューム制御

D28	D29	D30	D31	動 作
0	0	0	0	0dB
1	0	0	0	-1dB
0	1	0	0	-2dB
1	1	0	0	-4dB
0	0	1	0	-6dB
1	0	1	0	-8dB
0	1	1	0	-10dB
1	1	1	0	-12dB
0	0	0	1	-14dB
1	0	0	1	-16dB
0	1	0	1	-18dB
1	1	0	1	-20dB
0	0	1	1	-30dB
1	0	1	1	-45dB
0	1	1	1	-60dB
1	1	1	1	-

## チャンネル選択制御

D32	D33	設 定
0	0	L/R 同時, イニシャル設定モード
1	0	RCH
0	1	LCH
1	1	L/R 同時

## フェダー リア/フロント制御

D34	設 定
0	リア
1	フロント



## LC75386NE-R, 75386NW

### ラウドネス制御

D35	設 定
0	OFF
1	ON

### ゼロクロス制御

D36	D37	設 定
0	0	ゼロクロス検出によりデータ書き込み
1	1	ゼロクロス検出動作停止(CEの立下りでデータ書き込み)

### ゼロクロス信号 検出ブロックの制御

D38	D39	D40	D41	設 定
0	0	0	0	セクタ
1	0	0	0	ホリウム
0	1	0	0	トーン
1	1	0	0	フェダー

### テストモード制御

D42	D43	設 定
0	0	LSIのテスト用のためかならず0を設定する

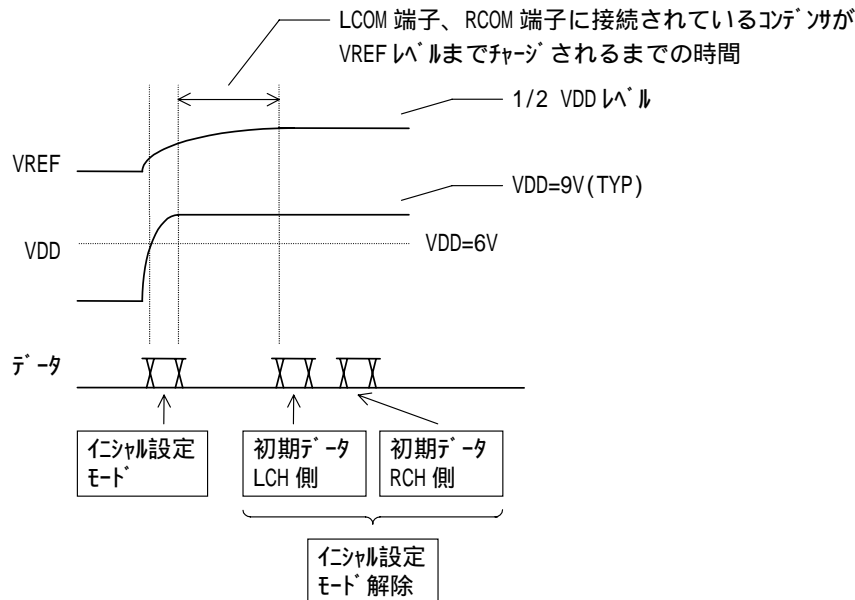
## 使用上の注意

## (1) 電源投入時におけるデータ送信について

- ・電源投入時、内部のアナログスイッチの状態は不定である。データをセットするまでは、ミュートイング等の対策を外部で行うこと。
- ・電源投入時、各ブロックのバイアスを短時間で安定させるために一度インisial設定データを送信すること。

## インisial設定モードから初期データ設定までの時間

- ・VDD=6V 以上になってから、インisial設定データを送信すること。
- ・LCOM 端子、RCOM 端子が VREF レベルに安定してから、初期データを設定すること。



## インisial設定モードの設定方法

D32, D33 を 00 に設定すると、内蔵インisial設定用 SW がオンし、急速充電モードに設定される。この時、他のデータ (D0 ~ D31, D34 ~ D43) は Lch/Rch 同時に設定されるので、各ブロックの状態設定も同時に行うことができる。

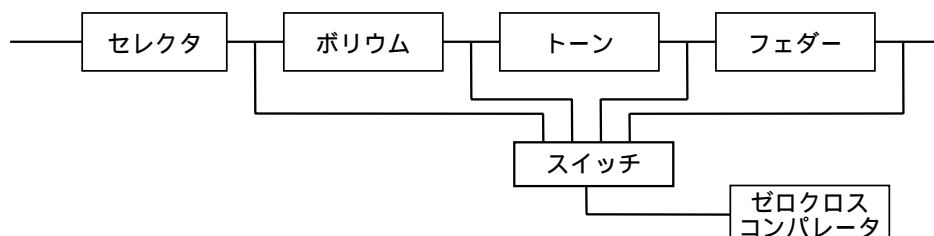
## インisial設定モード解除の方法

D32, D33 が 00 以外、すなわち通常の Lch/Rch チャンネル指定を行えば、内蔵インisial設定用 SW がオフし、急速充電モードを解除できる。

## (2) ゼロクロス切換え回路の動作説明

LC75386NE-R/NW は、ゼロクロスコンパレータの信号検出場所を切換えられる機能を有し、データを更新するブロックに最適な検出場所を選択できる。基本的には、データを更新するブロックの直後の信号をゼロクロスコンパレータに入力すれば切換えノイズを最小にできるので、その都度検出場所を切換える必要がある。

また、信号振幅がゼロクロスコンパレータの検出感度以下 (数 mVrms) になった場合 (ボリュームをしばった状態) は、ゼロクロスタイムオーバーフローによる書き込みを行うよりも、ボリュームブロックの前すなわちセレクタブロックの出力でゼロクロスを検出した方が切換えノイズを小さくできる。例えば、ボリュームブロックの入力振幅が 1Vrms の場合、ボリュームを -40dB 以下に設定すると 10mVrms 以下となるので、セレクタブロック出力で検出した方が、切換えノイズを小さくできる。



LC75386NE-R/NW ゼロクロス検出回路

## (3) ゼロクロス切換え制御方法

ゼロクロス切換えの制御方法は、ゼロクロス制御ビットをゼロクロス検出モードに設定(D36,D37=0)し、検出ブロック(D38,D39,D40,D41)を指定してからデータを送信する。これらの制御ビットは、データ転送直後、すなわちCEの立ち下がりに同期して先にラッチされるので、ポリウム等のデータを更新する際は一回のデータ転送でモードの設定およびゼロクロス切換え動作を行うことができる。以下に、ポリウムブロックのデータを更新する際の制御例を示す。

D36	D37	D38	D39	D40	D41
0	0	1	0	0	0

ゼロクロス検出  
モード設定
ポリウムブロック  
設定

## (4) ゼロクロスタイマの設定

入力信号がゼロクロスコンパレータの検出感度以下になった場合、あるいは低周波信号のみが入力されている場合には、ゼロクロスを検出できない状態が続く、その間データがラッチされなくなる。

ゼロクロスタイマは、このようにゼロクロスを検出できない状態において強制的にラッチする時間を設定するタイマで、確実にゼロクロスを検出できる下限周波数を考慮に入れて決定する。

例えば、25ms に設定する場合

$$T=0.69CR$$

C=0.033  $\mu$ F とすると

$$R=\frac{25 \times 10^{-3}}{0.69 \times 0.033 \times 10^{-6}} \quad 1.1M$$

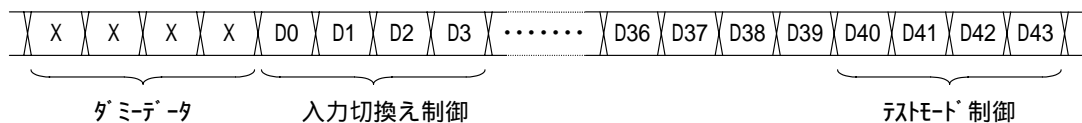
となる。

## (5) シリアルデータ転送に関する注意事項

CL, DI, CE 端子に伝送される高周波デジタル信号がアナログ信号系に飛び込まないように、これらの信号ラインはグランドパターンでガードするか、シールド線による伝送を行うこと。

LC75386NE-R/NW のデータフォーマットは、アドレス 8 ビット、データは 44 ビットである。データを 8 の倍数で送信する場合(48 ビットを送信する場合)、図 1 のようなデータの送り方をすること。

LC75386NE-R/NW の 8 の倍数によるデータの受信方法

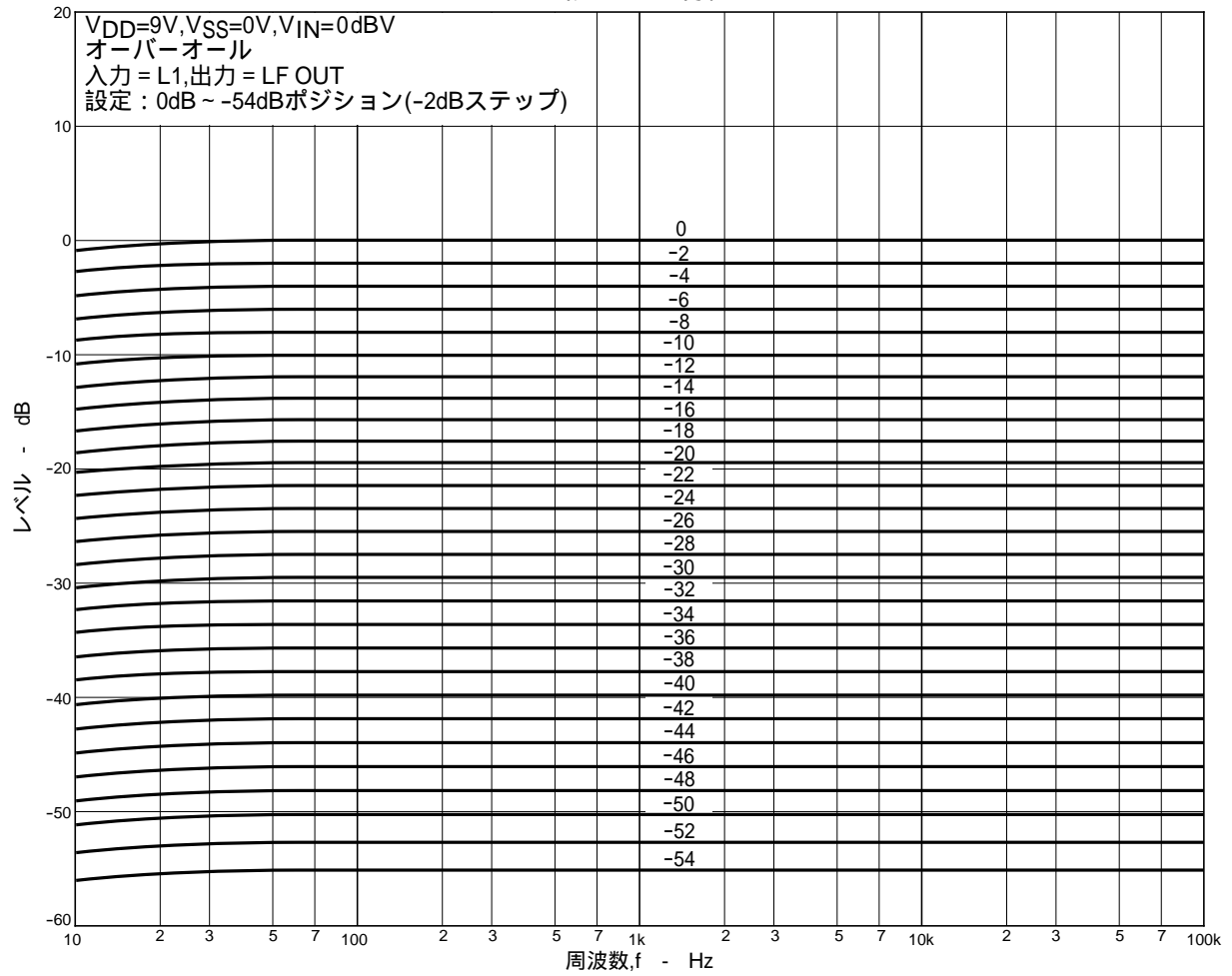


X : don't care

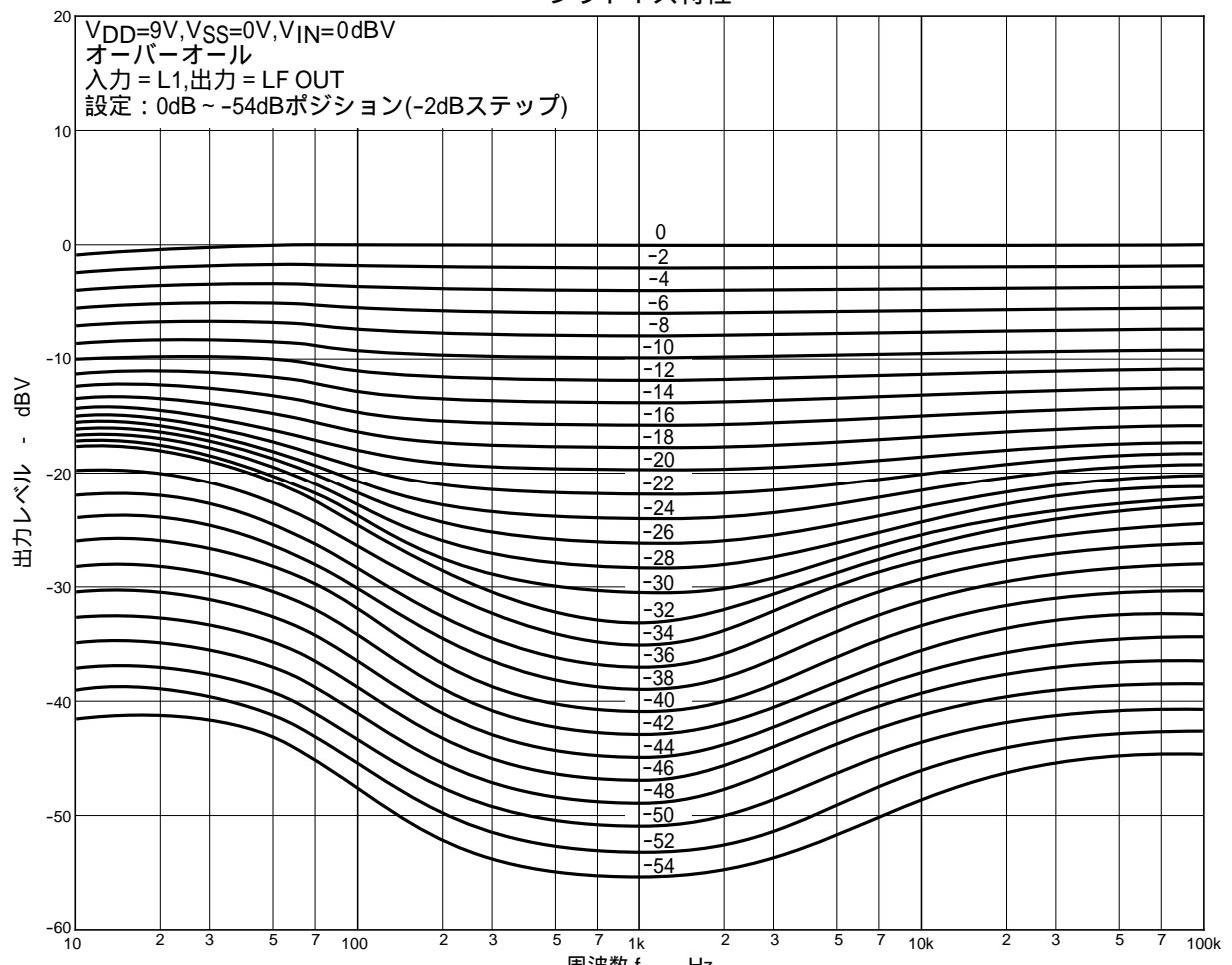
CCB 転送時本 IC は、CE の立ち上がりでアドレスの一致検出を行っているが、この時 CL は必ず「L」レベルにして立ち上げること。

# LC75386NE-R, 75386NW

## 出力レベル特性

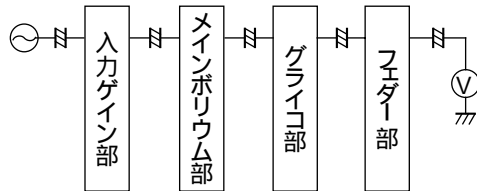
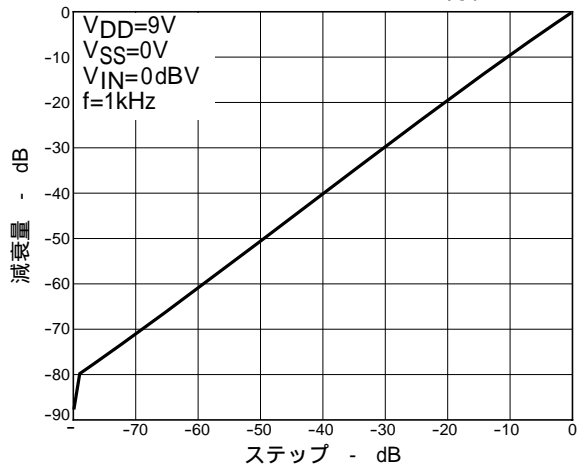


## ラウドネス特性

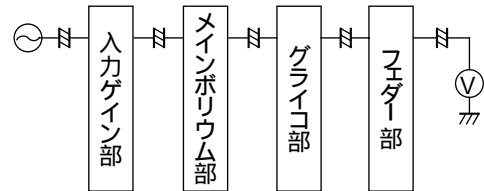
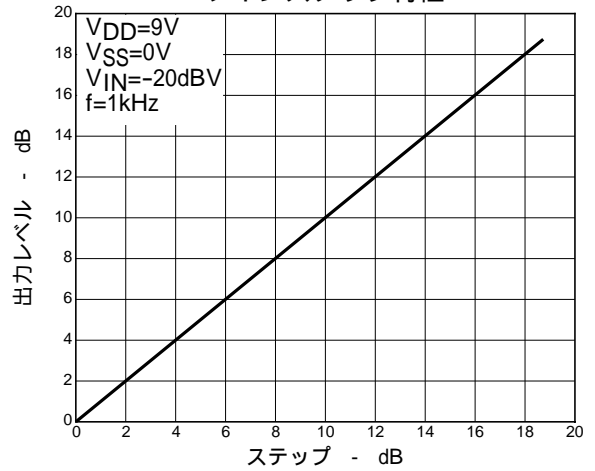


# LC75386NE-R, 75386NW

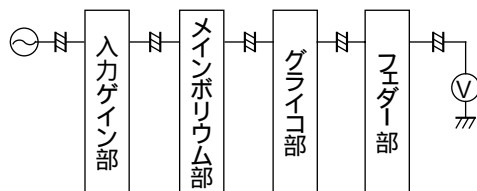
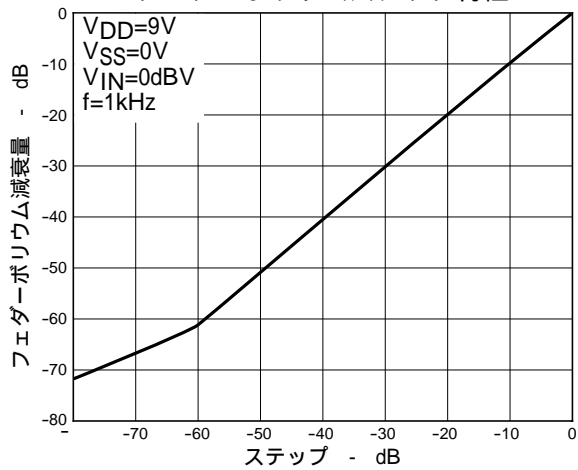
## メインボリュームステップ特性



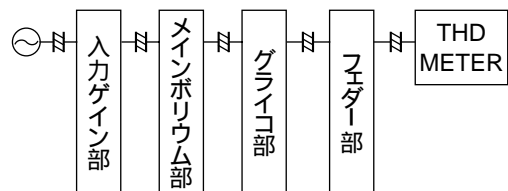
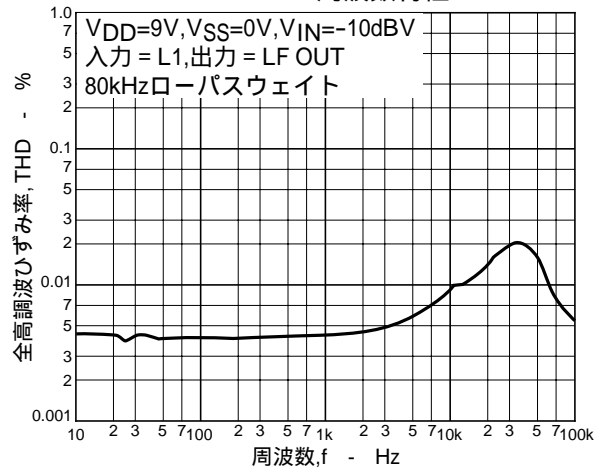
## ゲインステップ特性



## フェダーボリュームステップ特性

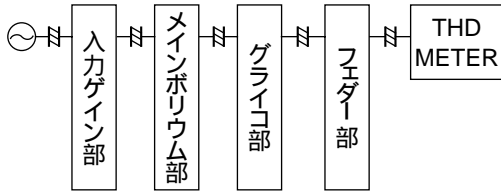
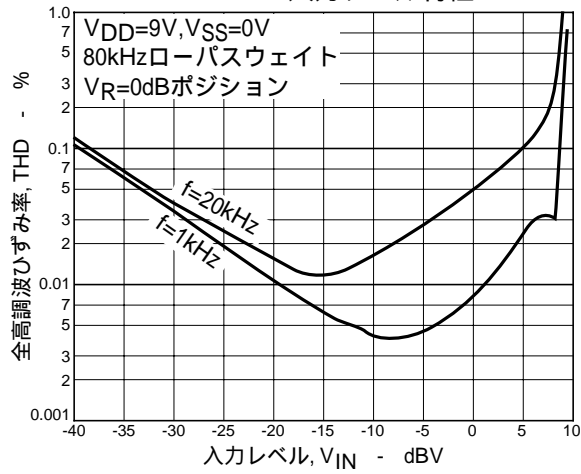


## THD - 周波数特性

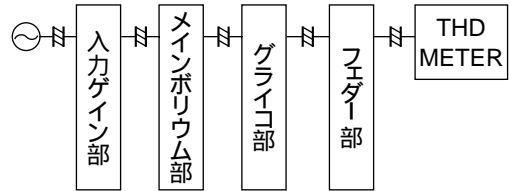
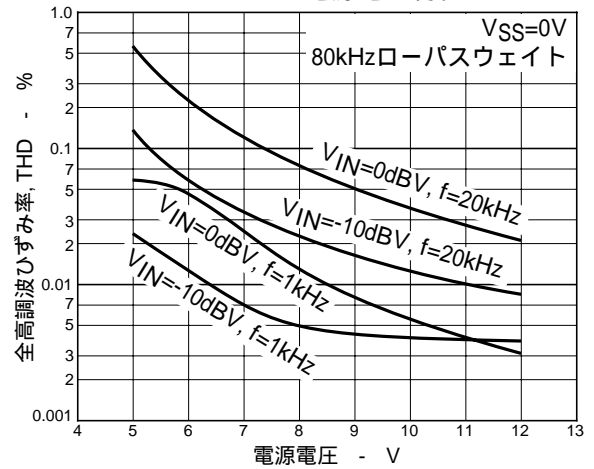


# LC75386NE-R, 75386NW

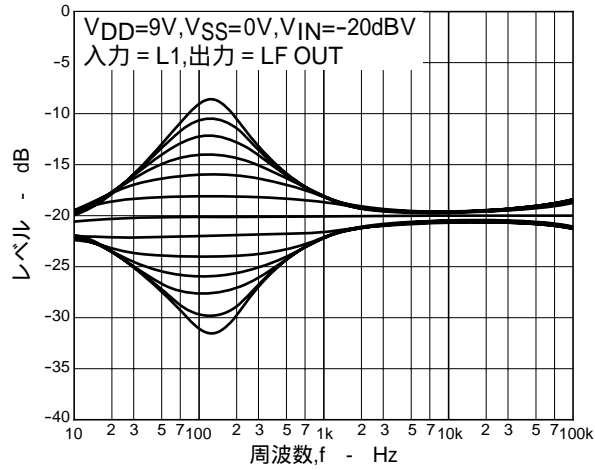
## THD - 入力レベル特性



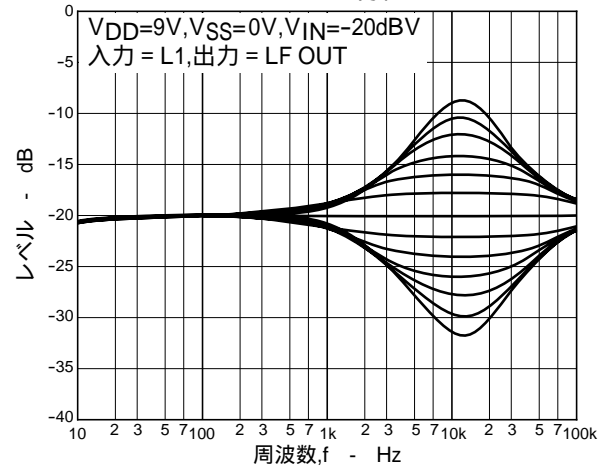
## THD - 電源電圧特性



## バス特性



## トレブル特性



- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替および外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。