

ATtiny261/461/861

特徴

高性能、低消費 AVR® 8ビットマイクロコントローラ
進化したRISCアーキテクチャ

- 強力な **123命令** (多くは1サイクルで実行)
- 32個の1バイト長汎用レジスタ
- 完全なステイック動作

データメモリと不揮発性プログラムメモリ

- 実装書き換え可能な2/4/8Kバイト(1/2/4K語)フラッシュメモリ内蔵
(10,000回の書き換え耐久性)
- 128/256/512バイトのEEPROM
(100,000回の書き換え耐久性)
- 128/256/512バイトの内蔵SRAM
- プログラム用フラッシュメモリとデータ用EEPROM保護用の設定可能なロック機能

内蔵周辺機能

- 前置分周器、1つの捕獲入力と2つの比較部付き8/16ビットタイマ/カウンタ
- 独立した前置分周器付き高速8/10ビットタイマ/カウンタ
独立した比較レジスタでの3つの高周波数PWM出力
設定可能な沈黙時間生成器
- 開始条件検出器付き多用途シリアルインターフェース(USI)
- 10ビットA/D変換器
11のシングルエンドチャンネル
16の差動入力チャンネル
設定可能な利得 (× 1, × 8, × 20, × 32付き15の差動ADCチャンネル)
- 設定可能な専用発振器付きウォッチドッグタイマ
- アナログ比較器

特殊マイクロコントローラ機能

- デバッグWDR内蔵デバッグ機能
- SPI - 経由の実装書き込み
- 外部及び内部の割り込み
- アイドル、A/Dノイズ低減、パワーダウン、スタンバイの4つの低消費動作
- 強化した電源ONセッチ回路
- 設定可能な低電圧検出器 (BOD) 回路
- 校正付き内蔵RC発振器

I/Oと外圍器

- 16ビットの設定可能なI/O
- 20ピンPDIP/SOIC、32ピンQFN/MLF

動作電圧

- 1.8~ 5.5V (ATtiny261/461/861V)
- 2.7~ 5.5V (ATtiny261/461/861)

動作速度

- 0~ 4MHz/1.8~ 5.5V, 0~ 10MHz/2.7~ 5.5V (ATtiny261/461/861V)
- 0~ 10MHz/2.7~ 5.5V, 0~ 20MHz/4.5~ 5.5V (ATtiny261/461/861)

工業用温度範囲

低消費電力

- 380µA (1MHz, 1.8V 標準動作)
- 0.1µA (1.8V パワーダウン動作)

本書は一般の方々への便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにこの内容にご注意ください。



8ビットAVR®
マイクロコントローラ

実装書き換え可能な
2/4/8Kバイト
フラッシュメモリ内蔵

ATtiny261
ATtiny261V
ATtiny461
ATtiny461V
ATtiny861
ATtiny861V

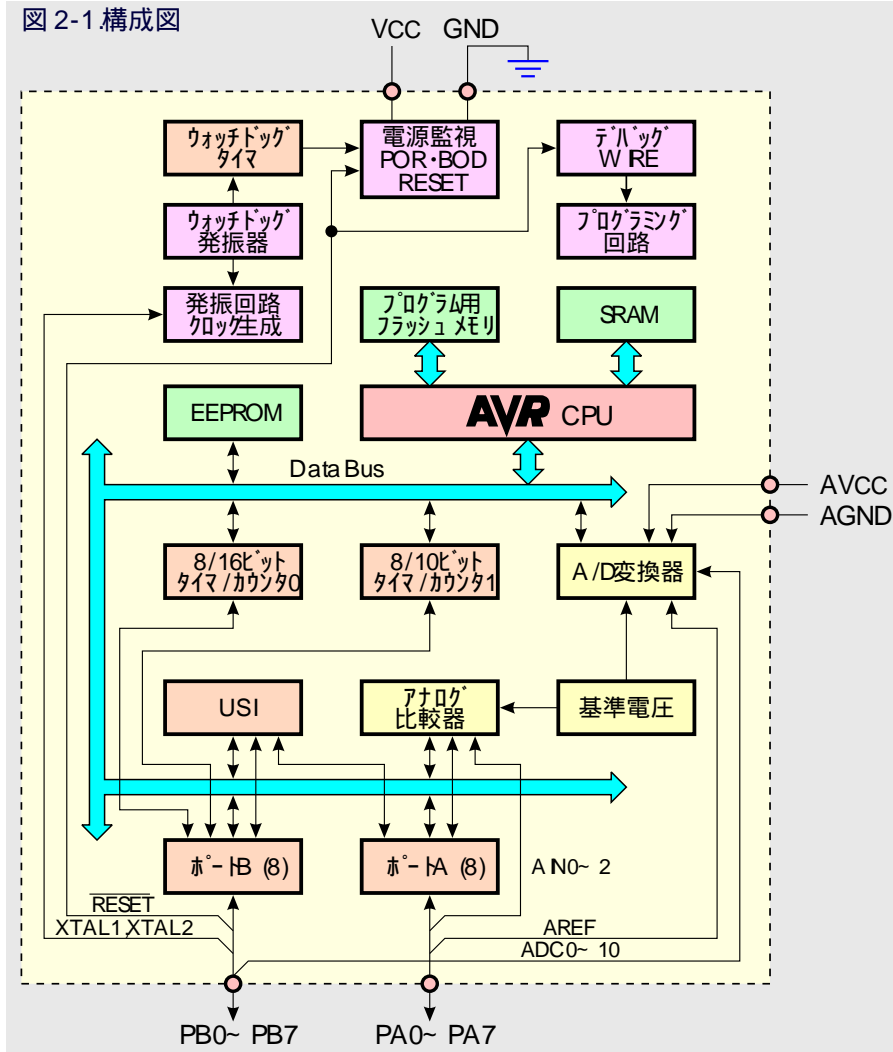
暫定



2. 概要

ATtiny261/461/861はAVR強化RISCアーキテクチャを基にした低消費CMOS 8ビットマイクロコントローラです。1サイクルでの強力な命令の実行により、ATtiny261/461/861はMHzあたり1MIPSに達するスループットを成し遂げ、処理速度対消費電力の最適化を設計者に許します。

2.1. 構成図



AVRコアは32個の汎用作業レジスタと豊富な命令群の組み合わせです。32個の全レジスタはALU (Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロックサイクルで実行されます。AVRアーキテクチャは現状のCISC型マイクロコントローラに対して、10倍以上のスループット向上効果があります。

ATtiny261/461/861は2/4/8Kバイトの実装書き込み可能なフラッシュメモリ、128/256/512バイトのEEPROM、128/256/512バイトのSRAM、16本の汎用入出力線、32個の汎用作業レジスタ、比較動作付きの1つの8/16ビットタイマ/カウンタ、1つの8/10ビット高速タイマ/カウンタ、多用途シリアルインターフェース(USI)、内部及び外部割り込み、11チャンネルの10ビットA/D変換器、内蔵発振器付きの設定変更可能なウォッチドッグタイマ、ソフトウェアで選択できる4つの低消費動作を提供します。アイドル動作はCPUを停止し、一方SRAM、タイマ/カウンタ、A/D変換器、アナログ比較器、割り込み機構に機能の継続を許します。ハードウェア動作はレジスタの内容を保護し、以降のハードウェアリセットか外部割り込みまで、チップの全機能を禁止します。A/D変換ノイズ低減動作はA/D変換中の切り替えノイズを最小とするためにA/D変換器を除く全I/O部とCPUを停止します。スタンバイ動作はハードウェア動作と同様ですが、外部発振器が許可されます。

本デバイスはATMELの高密度不揮発性メモリ技術を使用して製造されます。チップ上のISPフラッシュメモリは通常の不揮発性メモリ書き込み器によるSPシリアルインターフェースを通しての、またはAVRコア上で走行するチップ上のファームウェアによる実装書き換えをプログラムメモリに許します。

ATtiny261/461/861 AVRはCコンパイラ、マクロアセンブラ、プログラムデバッガ/シミュレータ、インサーキットエミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。



22. ピン概要

- 22.1. VCC 電源ピン。
- 22.2. GND グランドピン。
- 22.3. AVCC アナログ電源ピン。
- 22.4. AGND アナログ グランドピン。
- 22.5. PA7~ PA0 (ポートA) ポートAはビット単位で選択される内蔵プルアップ抵抗付きの8ビット双方向入出力ポートです。ポートA出力バッファは共に高い吐き出し/吸い込み能力の対称駆動特性です。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートAピンにはソース電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートAピンはHi-Zにされます。
ポートAは [37頁](#) で示されるATtiny261/461/861の様々な特殊機能も扱います。
- 22.6. PB7~ PB0 (ポートB) ポートBはビット単位で選択される内蔵プルアップ抵抗付きの8ビット双方向入出力ポートです。ポートB出力バッファは共に高い吐き出し/吸い込み能力の対称駆動特性です。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンにはソース電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートBピンはHi-Zにされます。
ポートBは [39頁](#) で示されるATtiny261/461/861の様々な特殊機能も扱います。
- 22.7. RESET リセット入力。例えクロックが走行していなくても、最小パルス幅より長いこのピンのLowレベルはリセットを生成します。最小パルス幅は [122頁の表 23-3](#) で与えられます。より短いパルスはリセットの生成が保証されません。

3. 資料

包括的なデータシート、応用記述、開発ツール群は <http://www.atmel.com/av>でのダウンロードで利用可能です。

4. コード例について

この資料はデータの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立ち、データ定義ヘッダファイルがインクルードされると仮定します。すべてのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはCコンパイラの資料で確認してください。



5. AVR CPU コア

5.1. 概要

ここでは一般的なAVRコアアーキテクチャについて説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリアクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリバスを分離するハーバードアーキテクチャを使用します。プログラムメモリ内の命令は、単一段のパイプラインで実行されます。1命令の実行中に次の命令がプログラムメモリからプリフェッチされます。この概念は全部のクロックサイクルで命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロックサイクルアクセスの32個の8ビット汎用レジスタを含みます。これは1クロックサイクルALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロックサイクル内で、その操作が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタは、効率的なアドレス計算ができるデータ空間アドレス指定用に、3つの16ビット長間接アドレスポインタ用レジスタとして使用されます。これらアドレスポインタの1つはプログラム用フラッシュメモリ内の定数テーブル参照用アドレスポインタとしても使用できます。これら16ビット長付加機能レジスタはX、Y、Zレジスタで、本項内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するためにステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件無条件分岐や呼び出し命令によって提供され、全アドレス空間を直接アドレス指定できます。AVR命令の多くは16ビット語(ワード形式)です。すべてのプログラムメモリアドレスは、(注)定数のみを除き16または32ビット長命令を含みます。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量は全SRAM容量とSRAM使用量でのみ制限されます。すべてのユーザープログラムはリッチ処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)スタックポインタ(SP)を初期化しなければなりません。SPはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVRアーキテクチャで支援される5つの異なるアドレッシングモードを通して容易にアクセスできます。

AVRアーキテクチャにおけるメモリ空間は全て直線的な普通のメモリ配置です。

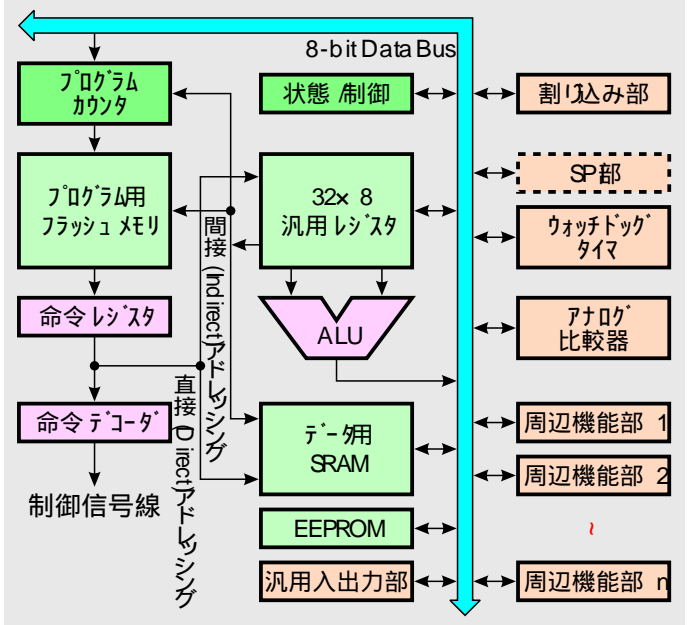
柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(1ビット)があります。すべての割り込みは割り込みベクタテーブルに個別の割り込みベクタを持ちます。割り込みには割り込みベクタテーブルの位置に従う優先順位があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタや他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルの次のデータ空間位置\$20~\$5Fとしてアクセスできます。

5.2. ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用レジスタとの直結で動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロックサイクル内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器乗算命令も提供するアーキテクチャの実装製品もあります。詳細記述については命令一覧項をご覧ください。

図 5-1. AVR アーキテクチャ



5.3. ステータスレジスタ

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使用できます。ステータスレジスタは「命令セット参考書」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の再設定（復帰）が自動的に行われません。これはソフトウェアにより扱われなければなりません。

5.3.1. ステータスレジスタ (Status Register) SREG

AVRのステータスレジスタ(SREG)は次のように定義されます。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - I: 全割り込み許可 (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるためにセット(1)されなければなりません。そのとき、個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットがクリア(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。ビットは割り込みが起こされた後にハードウェアによりクリア(0)され、後続の割り込みを許可するため、RET命令によりセット(1)されます。ビットは「命令セット参考書」で記述されるようにSEやCL命令で応用(プログラム)によりセット(1)やクリア(0)もできます。

ビット6 - T: ビット変数 (Bit Copy Storage)

ビットコピー命令、BLD (Bit Load)とBST (Bit Store)は操作したビットの転送元または転送先として、このTビットを使用します。レジスタファイルのレジスタからのビットはBST命令によりTに複写でき、TのビットはBLD命令によりレジスタファイルのレジスタ内のビットに複写できます。

ビット5 - H: ハーフキャリーフラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「命令一覧」記述をご覧ください。

ビット4 - S: 符号 (Sign Bit, S=N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数オーバーフロー(OV)フラグの排他的論理和です。詳細情報については「命令一覧」記述をご覧ください。

ビット3 - V: 2の補数オーバーフローフラグ (2's Complement Overflow Flag)

2の補数オーバーフロー(OV)フラグは2の補数算術演算を支援します。詳細情報については「命令一覧」記述をご覧ください。

ビット2 - N: 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果 (MSB=1)を示します。詳細情報については「命令一覧」記述をご覧ください。

ビット1 - Z: ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「命令一覧」記述をご覧ください。

ビット0 - C: キャリーフラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー (または borrow)を示します。詳細情報については「命令一覧」記述をご覧ください。



5.4. 汎用レジスタファイル

このレジスタファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタファイルにより支援されます。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

図5-2はCPU内の32個の汎用作業レジスタの構成を示します。

レジスタファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一サイクル命令です。

図5-2で示されるように、各レジスタは使用者データ空間の最初の32位置へ直接的に配置することで、それらはデータメモリアドレス割り当てられます。例えば物理的にSRAM位置として実装されていなくても、X,Y,Zレジスタポインタがレジスタファイル内のどのレジスタの指示にも設定できるように、このメモリ構成は非常に柔軟なレジスタのアクセスを提供します。

図5-2.AVR CPU汎用レジスタ構成図

7	0 アドレス			
		R0	\$00	
		R1	\$01	
		R2	\$02	
		⋮		
		R13	\$0D	
		R14	\$0E	
		R15	\$0F	
		R16	\$10	
		R17	\$11	
		⋮		
		R26	\$1A	Xレジスタ
		R27	\$1B	
		R28	\$1C	Yレジスタ
		R29	\$1D	
		R30	\$1E	Zレジスタ
		R31	\$1F	
				上位バイト

5.4.1. Xレジスタ, Yレジスタ, Zレジスタ

R26~ R31レジスタ外には通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレッシング用の16ビットアドレスポインタです。3つのX,Y,Z間接アドレスレジスタ外は図5-3.で記載したように定義されます。

種々のアドレッシングモードで、これらのアドレスレジスタは固定データプレースメント変位、自動インクリメント、自動デクリメントとしての機能を持ちます。詳細については「命令セット参考書」をご覧ください。

図5-3.X,Y,Zレジスタ構成図

	15	XH (上位)		XL (下位)	0
Xレジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
	15	YH (上位)		YL (下位)	0
Yレジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
	15	ZH (上位)		ZL (下位)	0
Zレジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

5.5. スタックポインタ

スタックは主に一時データの保存、局所変数の保存、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使用されます。スタックポインタレジスタは常に、このスタックの先頭(訳注:次に使用されるべき位置)を指し示します。スタックが高位メモリから低位メモリへ伸長するように実行されることに注意してください。これはスタックへのPUSH命令はスタックポインタを減少(デクリメント)するということです。

スタックポインタはサブルーチンや割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック空間はサブルーチン呼び出しの実行や割り込みの許可の何れにも先立って、プログラムにより定義されなければなりません。スタックポインタは\$0060以上を指示するために設定されなければなりません(なるべくなら定義名RAMEND)。スタックポインタはPUSH命令でデータがスタックに格納されると-1され、サブルーチン呼び出しや割り込みで戻りアドレスがスタックに格納されると-2されます。スタックポインタはPOP命令でデータがスタックから引き出されると+1され、サブルーチンからの復帰(RET)命令や割り込みからの復帰(RET)命令でアドレスがスタックから引き出されると+2されます。

AVRのスタックポインタはI/O空間内の2つの8ビットレジスタとして実装されます。実際に使用されるビット数は、(デバイス)の実装に依存します。SPLだけが必要とされるほど小さいAVRアーキテクチャの実装(デバイス)のデータ空間もあることに注意してください。この場合、SPHレジスタは存在しません。

5.5.1. スタックポインタ (Stack Pointer) SPH SPL (SP)

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	-	-	-	-	-	-	(SP9)	(SP8)	SPH
Read/W rite	R	R	R	R	R	R	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	

(訳注) 内蔵SRAMはATtiny261が128バイト(\$0060~ \$00DF)、ATtiny461が256バイト(\$0060~ \$015F)、ATtiny861が512バイト(\$0060~ \$025F)です。従って、ATtiny461ではSPHのSP9が、ATtiny261ではSP9が利用できません。RAMENDはATtiny261が\$00DF(0000 0000 1101 1111)、ATtiny461が\$015F(0000 0001 0101 1111)、ATtiny861が\$025F(0000 0010 0101 1111)になります。



5.6. 命令実行 タイミング

本項は命令実行の一般的なアクセスタイミングの概念を記述します。AVR CPUはチップ（デバイス）用に選択したクロック元から直接的に生成したCPUクロック（clk_{CPU}）により駆動されます。内部クロック分周は使用されません。

図5-4はハードウェアアーキテクチャと高速アクセスレジスタファイルの概念により可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック機能対電源部に関する好結果と対応するMHzあたり1MIPSを達成するための基本的なパイプラインの概念です。

図5-5はレジスタファイルに対する内部タイミングの概念を示します。単一クロックサイクルで2つのレジスタオペランドを使用するALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図 5-4. 命令の取得と実行の並列動作

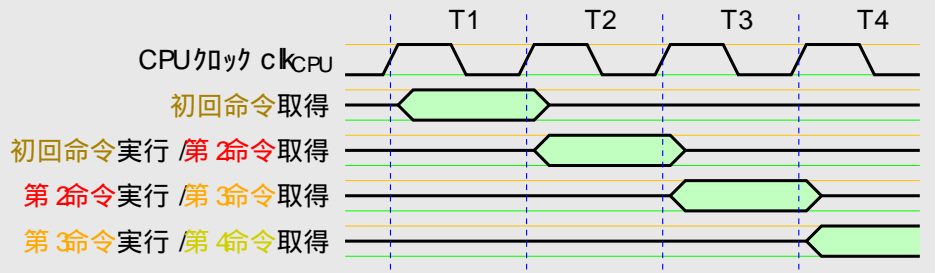
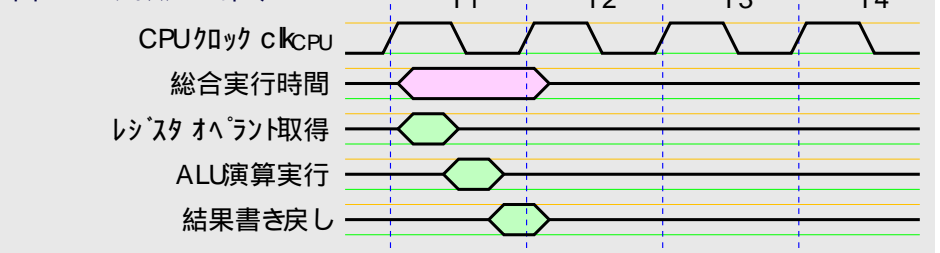


図 5-5. サイクルALU命令



5.7. リセットと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセットベクタはプログラムメモリ空間内に独立したプログラムベクタを持ちます。すべての割り込みは割り込みを許可するために、**ステータスレジスタ (SREG) の全割り込み許可 (Iビット)**と共に論理1が書かれなければならない個別の許可ビットを割り当てられます。

プログラムメモリ空間の最下位アドレスは既定によってリセット割り込みベクタとして定義されます。ベクタの完全な一覧は**29頁の「割り込み」**で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で、次が外部割り込み要求0 (INT0)です。

割り込みが起ると全割り込み許可 (Iビット)がクリア (0)され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可 (Iビット)へ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可 (Iビット)は割り込みからの復帰 (RET)命令が実行されると自動的にセット (1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグをセット (1)する事象により起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラムカウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグをクリア (0)します。割り込み要求フラグはクリアされるべきフラグのビット位置へ論理1を書くことによってもクリア (0)できます。対応する割り込み許可ビットがクリア (0)されている間に割り込み条件が起ると、割り込み要求フラグがセット (1)され、割り込みが許可されるか、またはこのフラグがソフトウェアによりクリア (0)されるまで記憶保持されます。同様に、全割り込み許可 (Iビット)がクリア (0)されている間に1つまたはより多くの割り込み条件が起ると、対応する割り込み要求フラグがセット (1)されて全割り込み許可 (Iビット)がセット (1)されるまで記憶され、その (E1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し続けます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ (SREG) は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われなないことに注意してください。これはソフトウェアにより扱われなければなりません。



割り込みを禁止するために **CL** 命令を使用すると、割り込みは直ちに禁止されます。**CL** 命令と同時に割り込みが起こっても、**CL** 命令後に割り込みは実行されません。次例は時間制限 EEPROM書き込み手順中に割り込みを無効とするために、これがどう使用できるかを示します。

アセンブリ言語プログラム例		
IN	R16, SREG	;ステータスレジスタを保存
CLI		;EEPROM書き込み手順中割り込み禁止
SBI	EECR, EEMPE	;EEPROMマスク書き込み許可
SBI	EECR, EEPE	;EEPROM書き込み開始
OUT	SREG, R16	;ステータスレジスタを復帰
C言語プログラム例		
char	cSREG;	/* ステータスレジスタ保存変数定義 */
cSREG	= SREG;	/* ステータスレジスタを保存 */
_CLI	() ;	/* EEPROM書き込み手順中割り込み禁止 */
EECR	= (1<<EEMPE);	/* EEPROMマスク書き込み許可 */
EECR	= (1<<EEPE);	/* EEPROM書き込み開始 */
SREG	= cSREG;	/* ステータスレジスタを復帰 */

割り込みを許可するために **SE** 命令を使用すると、次例で示されるようにこの保留割り込みにも先立ち、**SE** 命令の次の命令が実行されます。

アセンブリ言語プログラム例		
SEI		全割り込み許可
SLEEP		;スリープ動作移行 割り込み待ち)
C言語プログラム例		
_SEI	() ;	/* 全割り込み許可 */
_SLEEP	() ;	/* スリープ動作移行 割り込み待ち) */

注 : SLEEP命令までは割り込み禁止、保留割り込み実行前にスリープ動作へ移行します。

5.7.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小 4クロックサイクルです。4クロックサイクル後、実際の割り込み処理ルーチンに対する**プログラムベクタアドレス**が実行されます。この4クロックサイクル時間中にプログラムカウンタ(PC)がスタック上に保存(プッシュ)されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は2クロックサイクル **訳注** 原文は3(**JMP**命令=3を想定、実際は**RJMP**命令=2)要します。複数サイクル命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUがスリープ動作の時に割り込みが起こると、割り込み実行応答時間は4クロックサイクル加増されます。この増加は選択したスリープ動作からの起動時間に加えてになります。

割り込み処理ルーチンからの復帰は4クロックサイクル要します。これらの4クロックサイクル中、プログラムカウンタ(PC)2バイトがスタックから取り戻され(ポップ)、スタックポインタは増加され(+2) **ステータスレジスタ(SREG)の全割り込み許可(I)ビット**がセット(1)されます。





6. AVR メモリ

この項は ATtiny261/461/861 の各種メモリを記述します。AVR アーキテクチャにはプログラムメモリ空間とデータメモリ空間の2つの主要なメモリ空間があります。加えて ATtiny261/461/861 はデータ保存用 EEPROM メモリが特徴です。3つのメモリ空間すべては一般的な直線的アドレスです。

6.1. 実装書き換え可能なプログラム用フラッシュメモリ

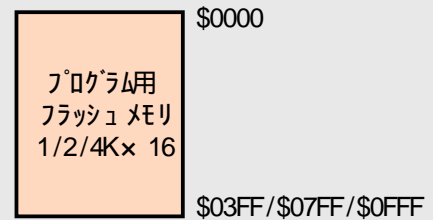
ATtiny261/461/861 はプログラム保存用に実装書き換え可能な 2/4/8K バイトのフラッシュメモリをチップ上に含みます。全ての AVR 命令が 16 または 32 ビット幅のため、このフラッシュメモリは 1/2/4K x 16 ビットとして構成されます。

フラッシュメモリは最低 10,000 回の消去/書き込みサイクルの耐久性があります。ATtiny261/461/861 のプログラムカウンタ (PC) は 10/11/12 ビット幅で、従って 1/2/4K プログラムメモリ位置のアドレス指定です。108 頁の「メモリプログラミング」は SPI を使用するフラッシュメモリのシリアルプログラミングの詳細な記述を含みます。

定数テーブルは全てのプログラムメモリアドレス空間に配置できます。(LPM 命令記述参照)

命令の取得と実行のタイミング図は 8 頁の「命令実行タイミング」で示されます。

図 6-1. プログラムメモリ配置図



6.2. データ用 SRAM メモリ

図 6-2 は ATtiny261/461/861 の SRAM メモリ構成方法を示します。

下位 224/352/608 データメモリ位置はレジスタファイル、I/O メモリ、データ用内蔵 SRAM に充てます。先頭の 32 位置はレジスタファイル、次の 64 位置は標準 I/O メモリ、そして最後の 128/256/512 位置はデータ用内蔵 SRAM に充てます。

直接、間接、デイスプレースメント変位付き間接、プリインクリメント付き間接、ポストインクリメント付き間接の 5 つの異なるアドレッシングモードでデータメモリ空間を網羅します。レジスタファイル内のレジスタ R26~R31 は間接アドレッシングポイント用レジスタが特徴です。

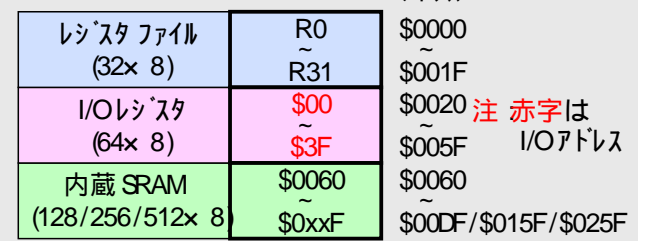
直接アドレッシングはデータ空間全体に届きます。

デイスプレースメント付き間接動作は Y または Z レジスタで与えられる基準アドレスからの 63 アドレス位置に届きます。

自動プリインクリメント付きとポストインクリメント付きのレジスタ間接アドレッシング動作を使用するとき、使用される X, Y, Z アドレスレジスタはデクリメント(-1) またはインクリメント(+1) されます。

ATtiny261/461/861 の 32 個の汎用レジスタ、64 個の I/O レジスタ、128/256/512 バイトのデータ用内蔵 SRAM は、これら全てのアドレッシングモードを通して全部アクセスできます。レジスタファイルは 7 頁の「汎用レジスタファイル」で記述されます。

図 6-2. データメモリ配置図

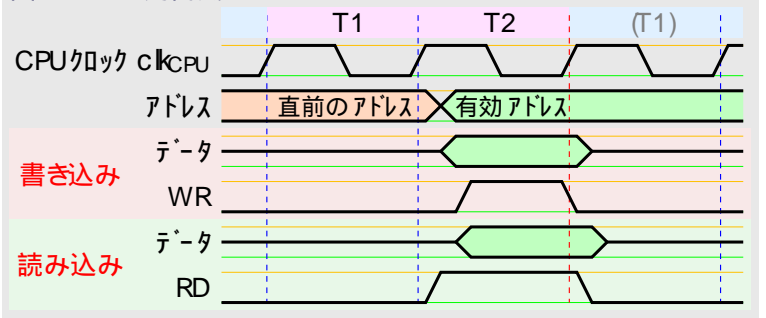


6.2.1. データメモリアクセスタイミング

この項は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データ用内蔵 SRAM アクセスは図 6-3 で記載されるように 2 clk_{CPU} サイクルで実行されます。

訳注 内蔵 SRAM のアクセスを含む代表的な命令は T1, T2 の 2 サイクルで実行され、T1 で対象アドレスを取得/算出(確定)し、T2 で実際のアクセスが行われます。次の (T1) は次の命令の T1 です。

図 6-3. データ用内蔵 SRAM アクセスサイクル



6.3. テーブル EEPROMメモリ

ATtiny261/461/861は 128/256/512バイトのテーブル EEPROMを含みます。それは単一バイトが読み書きできる分離したテーブル空間として構成されます。EEPROMは最低 100,000回の消去/書き込みサイクルの耐久性があります。CPUとEEPROM間のアクセスは以降の [EEPROMアドレスレジスタ](#)、[EEPROMデータレジスタ](#)、[EEPROM制御レジスタ](#)で詳細に記述されます。EEPROMのシリアルプログラミングの詳細な記述については [11頁](#)をご覧ください。

6.3.1. EEPROMアクセス

EEPROMアクセスレジスタは I/O空間でアクセス可能です。

EEPROMの消去/書き込み **訳注** 原文はアクセス時間は表 6-1で与えられます。書き込みは自己タイシング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。嚴重に濾波した電源では電源の投入/切断でVCCが緩やかに上昇または下降しそうです。これはテーブルバイトが何周期かの時間、使用されるクロック周波数において最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については [12頁](#)の「[EEPROMテーブル死の防止](#)」をご覧ください。

予期せぬEEPROM書き込みを防止するため特別な書き込み手順に従わなければなりません。この詳細についてはEEPROM制御レジスタの説明と以下の「[非分離バイト書き込み](#)」と「[分離バイト書き込み](#)」を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロックサイクル停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロックサイクル停止されます。

6.3.2. 非分離バイトプログラミング

非分離バイトプログラミングの使用は最も簡単な動作です。EEPROMにバイトを書くと、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPMDRビットが'00'ならば、(EEMPEが1)書かれる後の4サイクル内のEEPEの書き込みは消去/書き込み動作を起動します。消去と書き込みの両サイクルは操作で行われ、総プログラミング時間は表 6-1で与えられます。EEPEビットは消去と書き込み動作が完了されるまでセット(1)に留まります。テーブルバイトがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

6.3.3. 分離バイトプログラミング

2つの異なる操作として消去と書き込みサイクルを分離することが可能です。これは或る時間制限(代表的には電源電圧不足)に対してシステムが短いアクセス時間を必要とする場合に有用かもしれません。この方法の優位性を得るため、書かれるべき位置が書き込み操作前に消去されてしまっていることが必要とされます。しかし、消去と書き込みが分離されるため、時間が重大な操作の実行をシステムが許す時(代表的には電源投入後)に消去操作を行うことが可能です。

6.3.4. 消去

バイトを消去するにはアドレスがEEARに書かれなければなりません。EEPMDRビットが'01'なら、(EEMPEが1)書かれる後の4サイクル内のEEPEの書き込みは消去動作だけを起動します(プログラミング時間は表 6-1で与えられます)。EEPEビットは消去動作が完了されるまでセット(1)に留まります。テーブルバイトがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

6.3.5. 書き込み

特定位置を書くため、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPMDRビットが'10'なら、(EEMPEが1)書かれる後の4サイクル内のEEPEの書き込みは書き込み動作だけを起動します(プログラミング時間は表 6-1で与えられます)。EEPEビットは書き込み動作が完了されるまでセット(1)に留まります。書かれるべき位置が書き込み前に消去されていなければ、元の格納データは失ったとみなされなければなりません。テーブルバイトがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

EEPROMアクセスの時間に校正済み内蔵RC発振器が使用されます。発振器周波数が [1頁](#)の「[発振校正レジスタ\(OSCCAL\)](#)」で記述した必要条件内であることを確かめてください。





次のコード例はアセンブリ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は (例えば全割り込み禁止により割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。 **訳注** 次例を修正)

```

アセンブリ言語 プログラム例
EEPROM_WR:  SBIC    EECR,EEPE          ;EEPROMプログラミング完了ならばスキップ
             R JMP   EEPROM_WR       ;以前のEEPROMプログラミング完了まで待機
;
             LDI    R19,(0<<EEPFM1)|(0<<EEPFM0) ;プログラミング種別値取得 (本例は非分離)
             OUT    EECR,R19         ;対応プログラミング種別設定
             OUT    EEARH,R18        ;EEPROMアドレス上位ハイ設定
             OUT    EARL,R17        ;EEPROMアドレス下位ハイ設定
             OUT    EEDR,R16        ;EEPROM書き込み値を設定
             SBI    EECR,EEPMPE     ;EEPROMマスタプログラミング許可ビット設定
             SBI    EECR,EEPE       ;EEPROMプログラミング開始 (プログラミング許可ビット設定)
             RET                      ;呼び出し元へ復帰

C言語 プログラム例
void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while(EECR & (1<<EEPE));          /*以前のEEPROMプログラミング完了まで待機 */
    EECR = (0<<EEPFM1)|(0<<EEPFM0);  /*対応プログラミング種別設定 */
    EEAR = uiAddress;                /*EEPROMアドレス設定 */
    EEDR = ucData;                   /*EEPROM書き込み値を設定 */
    EECR |= (1<<EEPMPE);             /*EEPROMマスタプログラミング許可 */
    EECR |= (1<<EEPE);               /*EEPROMプログラミング開始 */
}

```

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

```

アセンブリ言語 プログラム例
EEPROM_RD:  SBIC    EECR,EEPE          ;EEPROMプログラミング完了ならばスキップ
             R JMP   EEPROM_RD       ;以前のEEPROMプログラミング完了まで待機
;
             OUT    EEARH,R18        ;EEPROMアドレス上位ハイ設定
             OUT    EARL,R17        ;EEPROMアドレス下位ハイ設定
             SBI    EECR,EEERE     ;EEPROM読み出し開始 (読み込み許可ビット設定)
             IN     R16,EEDR        ;EEPROM読み出し値を取得
             RET                      ;呼び出し元へ復帰

C言語 プログラム例
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while(EECR & (1<<EEPE));          /*以前のEEPROMプログラミング完了まで待機 */
    EEAR = uiAddress;                /*EEPROMアドレス設定 */
    EECR |= (1<<EEERE);             /*EEPROM読み出し開始 */
    return EEDR;                     /*EEPROM読み出し値を取得 復帰 */
}

```

6.3.6. EEPROMテラ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMテラ化け得ます。これらの問題はEEPROMを使用する基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMテラ化けは電圧が低すぎる時の2つの状態により起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

EEPROMテラ化けは次の推奨設計により容易に避けられます。

不十分な供給電源電圧の期間中、AVRのRESETを活性 (Low)に保ってください。これは内蔵**低電圧検出器 (BOD)**を許可することにより行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCリッチ保護回路が使用できます。書き込み動作実行中にリッチが起ると、この書き込み操作は供給電源電圧が充分ならば継続 完了されます。



6.4. I/O メモリ (レジスタ)

ATtiny261/461/861の I/O空間定義は 138頁の「I/Oレジスタ一覧」で示されます。

ATtiny261/461/861の全ての I/Oと周辺機能は I/O空間に配置されます。すべての I/O位置は I/O空間と32個の汎用作業レジスタ間のデータ転送を行うLD/LDS/LDD命令とST/STS/STD命令によりアクセスされます。アドレス範囲 \$00~ \$1F内の I/Oレジスタは SB 命令と CB 命令の使用で直接的にビットアクセス可能です。これらのレジスタでは SB ISと SB IC命令の使用により単一ビット値が検査できます。より多くの詳細については [命令一覧 項を参照](#) してください。I/O指定命令 NとOUTを使用するとき、I/Oアドレス\$00~ \$3Fが使用されなければなりません。LD命令とST命令を使用し、データ空間として I/Oレジスタをアクセスするとき、これらのアドレスに \$20が加算されなければなりません。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは 0が書かれるべきです。予約済み I/Oメモリアドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理 1を書くことによりクリア (0) されます。CB と SB 命令は他の多くの AVR の様ではなく、指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタ外に使用できることに注意してください。CB と SB 命令は (I/Oアドレス) \$00~ \$1F のレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

6.4.1. 汎用 I/Oレジスタ

ATtiny261/461/861は3つの汎用 I/Oレジスタを含みます。これらのレジスタはどの情報の格納にも使用でき、特に全体変数や状態フラグの格納に有用です。(I/O) アドレス範囲 \$00~ \$1Fの汎用 I/Oレジスタは SB I, CB I, SB IS, SB IC命令の使用で直接ビットアクセスが可能です。

6.5. メモリ関係レジスタ

6.5.1. EEPROMアドレスレジスタ (EEPROM Address Register) EEARH, EEARL (EEAR)

ビット	15	14	13	12	11	10	9	8	
\$1F (\$3F)	-	-	-	-	-	-	-	(EEAR8)	EEARH
Read/W rite	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	不定	
ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	(EEAR7)	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

ビット15~ 9 - Res :予約 (Reserved)

これらのビットは予約されており、常に 0として読まれます。

ビット8~ 0 - EEAR8~ 0 :EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEARHとEEARL)は128/256/512バイトEEPROM空間のEEPROMアドレスを指定します。EEPROMデータバイトは0~ 127/255/511間で直線的に配されます。EEARの初期値は不定です。EEPROMがアクセスされるであろう前に適切な値が書かれなければならない。ATtiny261/461の未使用ビットは常に 0が書かれなければならない。 **訳注** 共通性から本行追加)

6.5.2. EEPROMデータレジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - EEDR7~ 0 :EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレスレジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

6.5.3. EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	-	-	EEPM1	EEPM0	EERE	EEMPE	EEPE	EERE	EECR
Read/W rite	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	0	0	不定	0	

ビット7 - Res :予約 (Reserved)

このビットは将来の使用に予約されており、常に 0として読まれます。将来のAVRデバイスとの共通性のため、常に本ビットへ 0を書き入れてください。読み込み後、本ビットを遮蔽排除してください。





ビット6 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット54 - EEP M1 EEP M0 :EEPROMプログラミング種別 (EEPROM Programming Mode Bits)

EEPROMプログラミング種別ビット設定はEEPROMプログラミング許可 (EEPE) 書き込み時にどのプログラミング動作が起動されるかを定義します。1つの非分離操作 (旧値消去と新値書き込み) または2つの異なる操作として消去と書き込み操作を分離してデータをプログラムする書くことが可能です。各動作に対するプログラミング時間は表6-1で示されます。EEPEがセット(1)されている間はEEP Mへのどの書き込みも無視されます。ビット中、EEP MビットはEEPROMがプログラミング作業中を除いて'00'にセットされます。

表 6-1. EEPROMプログラミング種別

EEP M1	EEP M0	プログラミング時間	動作
0	0	3.4ms	操作での消去と書き込み (非分離操作)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	-	将来使用に予約

ビット3 - EER E :EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

EER Eの書き込みはステータスレジスタ (SREG) の全割り込み許可 (I)ビットがセット(1)されているなら、EEPROM操作可割り込みを許可します。EER Eの書き込みは、この割り込みを禁止します。EEPROM操作可割り込みは不揮発性メモリ(フラッシュメモリ)とEEPROMがプログラムの準備可ならば継続する割り込みを発生します。

ビット2 - EEM PE :EEPROMマスタプログラム許可 (EEPROM Master Program Enable)

EEM PEビットはEEPROMプログラム許可 (EEPE)ビットの書き込みが有効か無効かどうかを決めます。

EEM PEがセット(1)されると、4クロックサイクル内のEEPEセット(1)は選択したアドレスのEEPROMをプログラムします。EEM PEが0なら、EEPEセット(1)は無効です。EEM PEがソフトウェアによりセット(1)されてしまうと、4クロックサイクル後にハードウェアがこのビットを0にクリアします。

ビット1 - EEPE :EEPROMプログラム許可 (EEPROM Program Enable)

EEPROMプログラム許可信号 (EEPE)はEEPROMへのプログラミング許可信号です。EEPEが1を書かれると、EEPROMはEEP Mビット設定に従ってプログラムされます。論理1がEEPEへ書かれる前にEEPROMマスタプログラム許可 (EEM PE)ビットは1を書かれねばならず、さもなければEEPROM書き込み消去は行われません。書き込み(プログラミング)アクセス時間が経過されると、EEPROMプログラム許可 (EEPE)ビットはハードウェアによりクリア(0)されます。EEPEがセット(1)されてしまうと、次の命令が実行される前にCPUは2サイクル停止されます。

ビット0 - EERE :EEPROM読み込み許可 (EEPROM Read Enable)

EEPROM読み込み許可信号 (EERE)はEEPROMへの読み込みスタートです。EER Eに正しいアドレスが設定されると、EEPROM読み出しを起動するためにEEREビットは1を書かれなければなりません。EEPROM読み出しアクセスは(その)命令で行われ、要求したデータは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4サイクル停止されます。使用者は読み込み操作を始める前にEEPEビットをホールドすべきです。書き込み(プログラム)操作実行中の場合、EEPROMアドレスレジスタ (EER A)の変更もEEPROM読み込みもできません。

65.4.汎用 I/Oレジスタ2 (General Purpose I/O Register 2) GP DR2

ビット	7	6	5	4	3	2	1	0		
\$0C (\$2C)	MSB							LSB		GP DR2
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
初期値	0	0	0	0	0	0	0	0		

65.5.汎用 I/Oレジスタ1 (General Purpose I/O Register 1) GP DR1

ビット	7	6	5	4	3	2	1	0		
\$0B (\$2B)	MSB							LSB		GP DR1
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
初期値	0	0	0	0	0	0	0	0		

65.6.汎用 I/Oレジスタ0 (General Purpose I/O Register 0) GP DR0

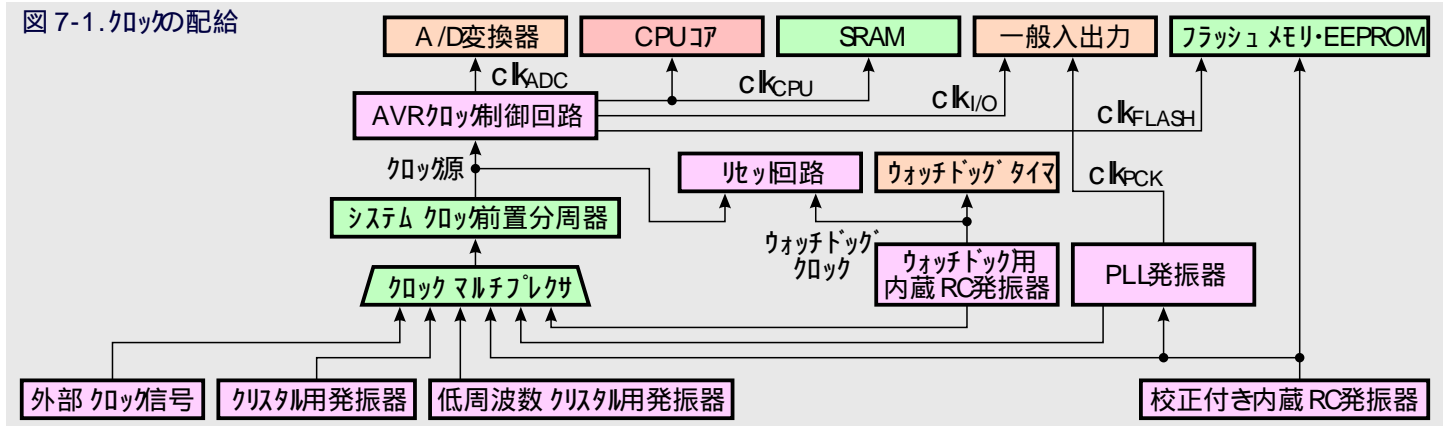
ビット	7	6	5	4	3	2	1	0		
\$0A (\$2A)	MSB							LSB		GP DR0
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
初期値	0	0	0	0	0	0	0	0		



7. システム クロックとクロック選択

7.1. クロック システムとその配給

図 7-1は AVR内の主要な クロック システムとその配給を示します。すべての クロック が与えられた時間有効である必要はありません。消費電力低減のため、2頁の「電力管理とスリープ動作」で記述される各種 スリープ動作の使用により、使用されていない部分の クロック が停止できます。クロック システムは以下で詳述されます。



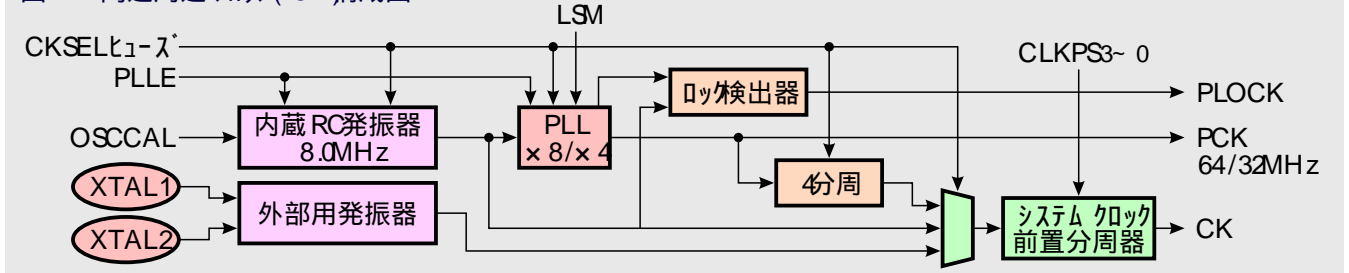
- 7.1.1. CPU クロック
clk_{CPU} CPUクロックは AVRコアの動作と関係するシステムの部分に配給されます。このような部分の例は汎用レジスタ、ファイル ステータスレジスタ、スタックポインタを保持するデータメモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。
- 7.1.2. I/O クロック
clk_{I/O} I/Oクロックはタイマ/カウンタのような I/O部の大部分で使用されます。I/Oクロックは外部割り込み部でも使用されますが、いくつかの外部割り込みは例えば I/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路により検出されることに注意してください。
- 7.1.3. フラッシュ クロック
clk_{FLASH} フラッシュ クロックはフラッシュ メモリインターフェースの動作を制御します。このフラッシュ クロックは常に CPUクロックと同時に活動します。
- 7.1.4. A/D変換 クロック
clk_{ADC} A/D変換器には専用の クロック範囲が提供されます。これはデジタル回路により生成されるノイズを低減するために CPUと I/Oクロックの停止を許します。これはより正確な A/D変換結果を与えます。
- 7.1.5. 高速周辺 クロック
clk_{PCK} ATtiny261/461/861の内部 PLLは供給元入力から低速動作 (LSM) クロックに依存して8または4倍した クロック周波数を生成します。この PLL入力 クロックの供給元は 8.0MHz 周波数を持つ内蔵 RC発振器の出力です。従って PLL出力、高速周辺 クロックは 64MHz または 32MHz です。高速周辺 クロックまたはそれから分周した クロックは、タイマ/カウンタに対する クロック元またはシステム クロックとして選択できます。図 7-2をご覧ください。

PLLは RC発振器にロックし、発振校正レジスタ (OSCCAL) 経由の RC発振器調整は同時に高速周辺 クロック調整します。けれども RC発振器が 8MHz より高い周波数にされるのが可能でも、高速周辺 クロックは (最悪の場合) 85MHz で飽和し、最高周波数での発振に留まります。この場合の PLLが RC発振器 クロックのどれにもロックされないことに注意されるべきです。

従って PLLを正しい動作範囲に保持するため、8MHz より高い周波数に OSCCAL 補正を行わないことが推奨されます。内部 PLLは PLL制御/状態レジスタ (PLLCSR) の PLL許可 (PLLE) ビットがセット(1)または CKSEL レジスタが '0001 に設定される時だけ許可されます。PLLCSR の PLLロック (PLOCK) ビットは PLLがロックされている時にセット(1)されます。

内蔵 RC発振器と PLLはパワーダウンとスタンバイのスリープ動作で OFFへ切り替えられます。

図 7-2 高速周辺 クロック (PCK) 構成図



7.2. クロック

このデバイスには右で示されるようにフラッシュヒューズビットにより選択可能な後続のクロック元があります。選択したクロック元からのクロックはAVRクロック発生器への入力で、適切な部署へ配給されます。

各クロック選択に対する様々な選択は次項で得られます。CPUがパワーダウンまたはパワーセーブから起動するとき、選択したクロックは命令実行開始前に、安定な発振器動作を保證する起動時間に使用されます。CPUがリセットから始まる時、これらは通常動作開始前に安定電圧へ達するのを電源に許す付加遅延です。ウォッチドッグ発振器は、この起動時間の実時間部のタイミングで使用されます。各計時終了に使用されるウォッチドッグ(WDT)発振器の各サイクル数は表7-2で示されます。

表 7-2.WDT発振器の代表計時終了値、サイクル数

代表的計時終了値	サイクル数
4.0ms	512
64ms	8K (8192)

7.3. 既定のクロック

このデバイスはCKSEL=0010, SUT=10, CKDIV8=プログラム(0)で出荷されます。従って既定クロック元設定は1.0MHzのシステムクロックに帰着する、最長起動時間の8MHzで走行する内蔵RC発振器、8で前置分周する初期システムクロックです。この既定設定は全ての使用者が実装またはパラレル書き込み器を使用して、それらを希望したクロック元設定にできることを保証します。

7.4. 外部クロック信号

外部クロック元からデバイスを駆動するには、CLKが図7-3で示されるように駆動されるべきです。外部クロックでデバイスを走行するためには、CKSELヒューズが'0000にプログラム設定されなければなりません。

このクロック元が選択されると、起動時間は表7-3で示されるようにSUTヒューズにより決定されます。

図 7-3. 外部クロック信号駆動接続図

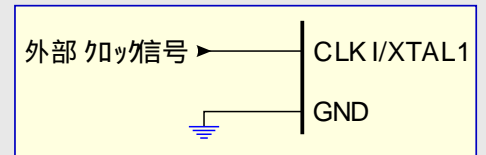


表 7-3. 外部クロック信号駆動用起動遅延時間選択表

SUT ₁₀	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
00	6x CK	14x CK	低電圧検出 (BOD) リセット許可
01	6x CK	14x CK+4ms	高速立ち上り電源
10	6x CK	14x CK+64ms	低速立ち上り電源
11	予約		

外部クロックを供給するとき、MCUの安定な動作を保證するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロックサイクルから次への2倍より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれることを保證することが必要とされます。(訳注 共通性から本項追加)

システムクロック前置分周器が安定な動作を保證しながら、内部クロック周波数の実行時変更の実現に使用できることに注意してください。詳細については1頁の「システムクロック前置分周器」を参照してください。

表 7-1. クロック種別対 PB4/PB5の機能

クロック種別	CKSEL3~0	PB4	PB5	
外部クロック信号	0000	XTAL1	I/O	
PLLクロック (PCK/4=16/8MHz)	0001	I/O	I/O	
校正付き内蔵RC発振器 (8MHz)	0010			
ウォッチドッグ発振器 (128kHz)	0011	XTAL1	XTAL2	
外部低周波数水晶発振器	01xx			
	0.4~0.9MHz			100x
	0.9~3MHz			101x
	3~8MHz	110x		
外部水晶/セラミック発振器	8~20MHz	111x		

注: 1=非プログラム, 0=プログラム

7.5. 高周波数 PLL クロック - PLLCLK

これはタイマ/カウンタ周辺機能の使用とシステムクロック用の、RC発振器にロックした公称 64MHz クロック速度を供給する内部 PLL です。CKSEL_{3~0} の '0001' プログラム設定によってシステムクロックとして選択されると、これは表 7-4 で示されるように 4 分周されます。このクロックが選択されると、起動時間は表 7-5 で示されるように SUT₁₀ により決定されます。15 頁の図 7-2 もご覧ください。

表 7-4. 高周波数 PLL クロック動作種別

CKSEL _{3~0}	公称周波数
0001	16MHz

表 7-5. 高周波数 PLL クロック用起動遅延時間選択表

SUT ₁₀	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
00	1Kx CK+4ms	14x CK+4ms	低電圧検出 (BOD) クロック許可
01	16Kx CK+4ms	14x CK+4ms	高速立ち上り電源
10	1Kx CK+64ms	14x CK+4ms	低速立ち上り電源
11	16Kx CK+64ms	14x CK+4ms	低速立ち上り電源

7.6. 校正付き内蔵 RC 発振器

既定で校正された内蔵 RC 発振器は概ね 8MHz クロックを供給します。電圧と温度に依存しますが、このクロックは使用者によって高精度な校正ができます。より多くの詳細については 12 頁の表 23-1 と 13 頁の「内部発振器周波数」をご覧ください。本デバイスでは CKD M8₁₀ がプログラム (0) で出荷されます。より多くの詳細については 19 頁の「システムクロック前置分周器」をご覧ください。

このクロックは表 7-6 で示されるように CKSEL_{3~0} のプログラミングによりシステムクロックとして選択できます。選択したなら、外部部品なしで動作します。リセット中、ハードウェアが発振校正 (OSCCAL) レジスタに予めプログラムされた校正値ハイを設定し、これによって RC 発振器を自動的に校正します。この校正の精度は表 23-1 で工場校正として示されます。

ソフトウェアから OSCCAL レジスタを変更することによって、発振校正レジスタ (OSCCAL 参照) 工場校正を使用するより高い精度を得ることができます。この校正の精度は表 23-1 で使用者校正として示されます。

この発振器がチップ (システム) クロックとして使用されるとき、ウォッチドッグ発振器は未だウォッチドッグタイマとリセット付加遅延タイマに使用されます。予め設定された校正値のより多くの情報については 11 頁の「発振校正値ハイ」項をご覧ください。

この発振器が選択されると、起動時間は表 7-7 で示されるように SUT₁₀ により決定されます。

表 7-6. 校正付き内蔵 RC 発振器動作種別

CKSEL _{3~0}	周波数範囲 (MHz)
0010	7.3~ 8.1

注: デバイスはこの選択で出荷されます。

注: 周波数範囲は暫定値です。

注: この 8MHz 周波数がデバイス仕様 (VCC に依存) を越える場合、内部周波数を 8 分周するために CKD M8₁₀ をプログラム (0) にできます。

表 7-7. 校正付き内蔵 RC 発振器用起動遅延時間選択表

SUT ₁₀	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
00	6x CK	14x CK	低電圧検出 (BOD) クロック許可
01	6x CK	14x CK+4ms	高速立ち上り電源
10 (注 1)	6x CK	14x CK+64ms	低速立ち上り電源
11			予約

注 1: デバイスはこの選択で出荷されます。

7.7. 128kHz 内部発振器

128kHz 内部発振器は 128kHz のクロックを供給する低電力発振器です。この周波数は 3V、25°C での公称値です。本クロックは CKSEL_{3~0} を '0011' にプログラミング設定することによってシステムクロックとして選択できます。

このクロックが選択されると、起動時間は表 7-8 で示されるように SUT₁₀ により決定されます。

表 7-8. 128kHz 内部発振器用起動遅延時間選択表

SUT ₁₀	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間	推奨使用法
00	6x CK	14x CK	低電圧検出 (BOD) クロック許可
01	6x CK	14x CK+4ms	高速立ち上り電源
10	6x CK	14x CK+64ms	低速立ち上り電源
11			予約



7.8. 低周波数 クリスタル用発振器

デバイスに対するクォーツとして時計用 32.768kHzクリスタルを使用するには、CKSEL3~ 0k1-1の '0100 設定によって低周波数 クリスタル発振器が選択されなければなりません。クリスタルは図 7-4 で示されるように接続されるべきです。32.768kHzクリスタル用の適当な負荷容量を探すには、クリスタルのデータシートを調べてください。

この発振器が選択されると、起動遅延時間は表 7-9 で示される SUTk1-1 により決定されます。

表 7-9. 低周波数 クリスタル発振器起動遅延時間選択表

SUT10	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
00	1Kx CK (注1)	4ms	高速立ち上り電源または低電圧検出 (BOD) リセット許可
01	1Kx CK (注1)	64ms	低速立ち上り電源
10	32Kx CK	64ms	起動時の周波数安定
11			予約

注 1: これらの選択は応用にとって起動での周波数安定性が重要でない場合だけ使用されるべきです。

7.9. クリスタル用発振器

XTAL1とXTAL2は図 7-4 で示されるように、チップ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。クリスタル発振子またはセラミック振動子のどちらでも使用できます。

C1とC2はクリスタル発振子とセラミック振動子の両方について常に等しくすべきです。このコンデンサの最適値は使用するクリスタル発振子やセラミック振動子、浮遊容量の量、その環境の電磁ノイズに依存します。クリスタル発振子使用に対するコンデンサ選択について初期の指針のいくつかは表 7-10 で与えられます。セラミック振動子については、製造業者により与えられたコンデンサ値が使用されるべきです。

発振器は示された周波数範囲で最適化された4つの異なる動作ができます。この動作は、表 7-10 で示されたCKSEL3~ 1k1-1により選択されます。

図 7-4. クリスタル発振子接続図

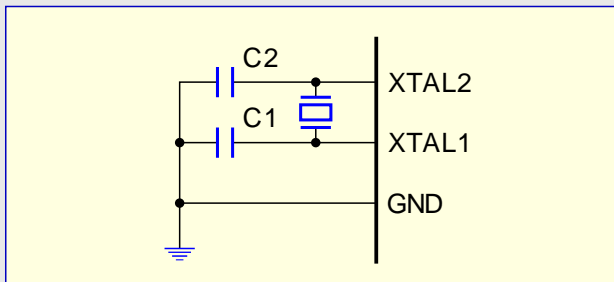


表 7-10. クリスタル発振器動作

CKSEL3~ 1	周波数範囲	推奨 C1,2 容量
100 (注1)	0.4~ 0.9MHz	-
101	0.9~ 3.0MHz	12~ 22pF
110	3.0~ 8.0MHz	12~ 22pF
111	8.0~ MHz	12~ 22pF

注 1: この選択はクリスタル発振子ではなく、セラミック振動子でのみ使用されるべきです。

CKSEL0k1-1はSUT1,0k1-1と共に、表 7-11 で示される起動遅延時間を選択します。

表 7-11. クリスタル発振子 / セラミック振動子用起動遅延時間選択表

CKSEL0	SUT10	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	00	258x CK (注1)	14x CK+4.1ms	外部セラミック振動子、高速立ち上り電源
	01	258x CK (注1)	14x CK+65ms	外部セラミック振動子、低速立ち上り電源
	10	1Kx CK (注2)	14x CK	外部セラミック振動子、低電圧検出 (BOD) リセット許可
	11	1Kx CK (注2)	14x CK+4.1ms	外部セラミック振動子、高速立ち上り電源
1	00	1Kx CK (注2)	14x CK+65ms	外部セラミック振動子、低速立ち上り電源
	01	16Kx CK	14x CK	外部クリスタル発振子、低電圧検出 (BOD) リセット許可
	10	16Kx CK	14x CK+4.1ms	外部クリスタル発振子、高速立ち上り電源
	11	16Kx CK	14x CK+65ms	外部クリスタル発振子、低速立ち上り電源

注 1: これらの選択はデバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使用されるべきです。これらの選択はクリスタル発振子用ではありません。

注 2: これらの選択はセラミック振動子での使用を意図され、起動での周波数安定性の保証します。デバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はクリスタル発振子も使用できます。



7.10. クロック出力バッファ (外部 クロック出力)

本デバイスは (XTAL2ピンとして使用しない時に) システム クロックをCLKOピンに出力できます。この出力を許可するにはCKOUTヒューズがプログラム (0) されなければなりません。この動作はチップのクロックがシステム上の他の回路を駆動するとき用です。このヒューズがプログラム (0) された時に I/Oピンの標準動作が無視され、このクロックがチップ中に出力されないことに注意してください。CLKOがクロック出力を扱うとき、校正付き内蔵RC発振器を含む何れのクロック元も選択できます。システム クロック前置分周器が使用されると、CKOUTヒューズがプログラム (0) されたときの出力は分周したシステム クロックです。

7.11. システム クロック前置分周器

ATtiny261/461/861のシステム クロックは クロック前置分周レジスタCLKPRの設定により分周できます。この特徴機能は必要とされる処理能力が低いときの消費電力削減に使用できます。これは全クロック種別で使用でき、CPUと全同期周辺機能のクロック周波数に影響を及ぼします。clk_{CPU}、clk_{FLASH}、clk_{I/O}、clk_{ADC}は表 7-12で示された値により分周されます。

7.11.1. 切り替え時間

前置分周器設定間を切り替えるとき、システム クロック前置分周器は中間経過途中の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなり、クロックシステムでグリッチが起きないことを保証します。

前置分周器として実行するリアルタイムカウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例え (カウンタ値が読めるとしても、前置分周器の状態を決めることはできず、他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。

CLKPR値が書かれる時から新規クロック周波数が活性 (有効) になる前に T1+T2~ T1+2x T2間がかかります。この間で2つの有効なクロックエッジが生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

7.12. クロック関係レジスタ

7.12.1. 発振校正レジスタ (Oscillator Calibration Register) OSCCAL

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

ビット7~ 0 - CAL7~ 0 :発振校正値 (Oscillator Calibration Value)

発振校正レジスタは発振器周波数の偏差処理を省くための内蔵発振器の調整に使用されます。チップのチップ中、12頁の表 23-1で指定されるように工場では校正された周波数を与える、予めプログラムされた値が本レジスタへ自動的に書かれます。応用ソフトウェアは発振器周波数を変更するために、このレジスタに書くことができます。この発振器は表 23-1で指定される周波数に校正できます。この範囲外への校正は推奨されません。

この発振器はフラッシュメモリとEEPROMの書き込みアクセス時間に使用され、これらの書き込み時間はそれに応じて影響されることに注意してください。フラッシュメモリまたはEEPROMが書かれる場合、8.8MHzより高く校正してはいけません。そうでなければ、フラッシュメモリまたはEEPROM書き込みは失敗するかもしれません。

CAL7ビットは発振器に関する操作範囲を決めます。このビットの (0) 設定は低周波数範囲になり (1) 設定は高周波数範囲になります。この2つの周波数範囲は重複し、別の言葉では、OSCCAL=\$7設定はOSCCAL=\$8設定より高い周波数になります。

CAL6~ 0ビットは選択した範囲内の周波数調整に使用されます。\$0設定はその範囲の最低周波数になり \$7設定はその範囲の最高周波数になります。

校正付き内蔵RC発振器を校正するとき、MCUの安定な動作を保証するために大きな段階での校正値変更を避けてください。或るクロックサイクルから次への2%より大きな周波数変化は予測されない事態を引き起こします。OSCCAL変更は各校正について\$20を越えるべきではありません。





7.12.2. クロック前置分周レジスタ (Clock Prescale Register) CLKPR

ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	CLKPCE	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPR
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

ビット7 - CLKPCE : クロック分周値変更許可 (Clock Prescaler Change Enable)

CLKPSビットの変更を許可するために、CLKPCEビットは論理1を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが0を書かれるときだけ更新されます。CLKPCEは書き込み後4クロックサイクルまたはCLKPSビット書き込み時、ハードウェアによりクリア(0)されます。この制限時間(4クロックサイクル内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットのクリア(0)を行いません。

ビット6~4 - Res : 予約 (Reserved)

これらのビットは予約されており常に0として読めます。

ビット3,2,1,0 - CLKPS3~0 : クロック分周値選択 (Clock Prescaler Select Bits 3~0)

これらのビットは選択したクロック元と内部システムクロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種クロック周波数を実行時に書けます。分周値が使用されると、分周器はMCUへの主クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は表7-12で与えられます。

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

クロック分周値変更許可 (CLKPCE) ビットに1、CLKPR内の他の全ビットに0を書きます。

次からの4サイクル以内にCLKPCEビットを0とする欲したCLKPS値を書きます。

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

CKDM8ビットがCLKPSビットの初期値を決めます。CKDM8が非プログラム(1)にされると、CLKPSビットは'0000'にリセットされます。CKDM8がプログラム(0)されると、CLKPSビットは起動時に8分周を与える'0011'にリセットされます。現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、この機能が使用されるべきです。CKDM8ビット設定に拘らず、どの値もCLKPSビットへ書けることに注意してください。応用ソフトウェアは現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、十分な分周値が選択されることを保証しなければなりません。このデバイスはCKDM8ビットがプログラム(0)で出荷されます。

表 7-12. クロック前置分周器選択

CLKPS3	0								1								
	0				1				0				1				
CLKPS2	0		1		0		1		0		1		0		1		
CLKPS1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	
分周値 (数)	1	2	4	8	16	32	64	128	256	予約							



8. 電力管理とスリープ動作

高機能と産業的に先行するコスト効率は低電力の応用に対してAVRマイクロコントローラを理想的に選択させます。

スリープ動作は応用でMCU内の未使用部を一時停止することを可能にし、これにより節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々なスリープ動作を提供します。

8.1. スリープ動作種別

15頁の図7-1はATtiny261/461/861の各種クロックシステムとその配給を示します。この図は適切なスリープ動作選択を手助けします。表8-1は各種スリープ動作、起動元を示します。

表 8-1. 各スリープ動作における動作クロック範囲と復帰起動要因

スリープ種別	動作クロック範囲					発振器 主クロック供給元 許可	復帰起動要因 (割り込み)					
	clk CPU	clk FLASH	clk I/O	clk ADC	clk PCK		NT0 レベル変化	SPM/ EEPROM 操作可	USI 開始条件	A/D変換 完了	ウォッチ ドッグ	その他 I/O
アイドル			○	○	○	○	○	○	○	○	○	○
A/D変換ノイズ低減				○		○		○	○	○		
パワーダウン									○		○	
スタンバイ(注1)									○		○	

注1: クロックとして外部水晶発振子またはセラミック振動子が選択された場合にだけ推奨されます。NT0とNT1についてはレベル割り込みだけです。

4つのスリープ動作の何れかへ移行するにはMCU制御レジスタMCUCRの「スリープ許可」ビットが論理1を書かれ、SLEEP命令が実行されなければなりません。MCUCRの「スリープ種別選択」ビットはSLEEP命令により活性(有効)にされるスリープ動作(アイドル、A/D変換ノイズ低減、パワーダウン)のどれかを選びます。一覧については表8-2をご覧ください。

MCUがスリープ動作中に許可した割り込みが起こると、MCUは起動します。その時MCUは起動時間に加えて4サイクル停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。レベルがスリープから起動するとき、レジスタファイルとSRAMの内容は変えられません。スリープ動作中にリセットが起こると、MCUは起動し、リセットベクタから実行します。

8.2. アイドル動作

スリープ種別選択ビットが'00'を書かれるとき、SLEEP命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、A/D変換器、アナログ比較器、USI、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。このスリープ動作は基本的にclkCPUとclkFLASHを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマのオーバーフローなどの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないならば、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止ビットをセット(1)することにより、アナログ比較器は電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるならば、この動作に移行すると変換が自動的に始まります。

8.3. A/D変換ノイズ低減動作

SM1.0ビットが'01'を書かれるとき、SLEEP命令はMCUをA/D変換ノイズ低減動作へ移行させ、CPUを停止しますが、A/D変換器、USI、外部割り込み、ウォッチドッグの許可されていれば継続動作を許します。このスリープ動作は基本的にclkI/O、clkCPU、clkFLASHを停止する一方、他のクロックに走行を許します。

これはA/D変換に対するノイズ環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、USI開始条件検出、NT0,1の外部レベル割り込み、レベル変化割り込みだけが、A/D変換ノイズ低減動作からMCUを起動できます。

8.4. パワーダウン動作

SM1.0ビットが'10'を書かれると、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では発振器が停止される一方、外部割り込み、US開始条件検出、ウォッチドッグ機能は許可されていれば継続して動作します。外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、US開始条件検出、NT0,1の外部レベル割り込み、レベル変化割り込みだけがMCUを起動できます。このスリープ動作は生成した全てのクロックを停止し、非同期部の動作だけを許します。

レベルで起動した割り込みがパワーダウン動作からの復帰に使用される場合、MCUを起動するためには変更したレベルが一定時間保持されなければならないことに注意してください。詳細については30頁の「外部割り込み」を参照してください。

8.5. スタンバイ動作

外部水晶発振子/セラミック振動子クロック種別が選択され、且つSM1.0ビットが'11'のとき、SLEEP命令はMCUをスタンバイ動作へ移行させます。この動作は外部水晶用発振器が走行動作を保たれる例外を除いてパワーダウン動作と同じです。レベルはスタンバイ動作から6クロックサイクルで起動します。



8.6. 電力削減

電力削減レジスタ (PRR)は消費電力を削減するために個別周辺機能へのクロックを停止する方法を提供します。周辺機能は現状で固定化され、I/Oレジスタは読み込みも書き込みもできません。クロックを停止しているときに周辺機能により使用されていた資源は占有されたままですので、その周辺機能は殆どの場合、クロックを停止する前に禁止されるべきです。周辺機能部の起動は電力削減レジスタ (PRR)のビットをクリア (0)することにより行い、その周辺機能部を停止前と同じ状態にします。

周辺機能部の停止は全体に亘る重要な消費電力削減のために、通常動作とアイドル動作で使用できます。例については [129頁の「周辺機能部供給電流」](#)をご覧ください。その他のスリーフ動作では、クロックが予め停止されます。

8.7. 消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みるときに考慮するためのそれぞれの検討点です。一般的にスリーフ動作は可能な限り多く使用されるべきで、スリーフ種別は動作するデバイス機能が可能な限り少なくなるために選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるときに、特別な考慮を必要とするでしょう。

8.7.1. A/D変換器 (ADC)

許可したなら、A/D変換器は全スリーフ動作で許可されます。電力を節約するため、スリーフ動作の何れかへ移行する前に、A/D変換器は禁止されるべきです。A/D変換器がOFF、そして再びONに切り替えられると、次の最初の変換は延長された初回変換になります。A/D変換器操作の詳細については [93頁の「A/D変換器」](#)を参照してください。

8.7.2. アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使用されないならば禁止されるべきです。A/D変換ノイズ削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他のスリーフ動作でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使用する設定の場合、全スリーフ動作でアナログ比較器は禁止されるべきです。さもなければ内部基準電圧はスリーフ動作と無関係に許可されます。アナログ比較器設定法の詳細については [90頁の「アナログ比較器」](#)を参照してください。

8.7.3. 低電圧検出器 (BOD)

低電圧検出器 (BOD)が応用で必要とされないなら、この部署はOFFにされるべきです。低電圧検出器が **BODLEVEL** レジスタにより許可されていると全スリーフ動作で許可され、故に常時電力を消費します。これはより深いスリーフ動作での総消費電流にとって重要な一因になります。低電圧検出器 (BOD) 設定法の詳細については [25頁の「低電圧検出 \(BOD\)」](#)を参照してください。

8.7.4. 内部基準電圧

内部基準電圧は低電圧検出器 (BOD)、アナログ比較器、A/D変換器により必要とされる時に許可されます。これら部署が上の項目で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使用される前に、使用者は基準電圧へ起動 (安定時間) を与えなければなりません。基準電圧がスリーフ動作でON保持される場合、この出力は直ちに使用できます。起動時間の詳細については [26頁の「内部基準電圧」](#)を参照してください。

8.7.5. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないならば、この部署はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全スリーフ動作で許可され、故に常時電力を消費します。これはより深いスリーフ動作での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については [26頁の「ウォッチドッグ タイマ」](#)を参照してください。

8.7.6. ポートピン

スリーフ動作へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないことを保証することです。I/Oクロック (clk_{I/O}) とA/D変換クロック (clk_{ADC}) の両方が停止されるスリーフ動作では、デバイスの入力バッファが禁止されます。これは必要とされないときに入力論理回路により電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については [35頁の「デジタル入力許可とスリーフ動作」](#)を参照してください。入力バッファが許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVCC/2付近の場合、入力バッファは過大な電力を使用するでしょう。

アナログ入力ピンに対するデジタル入力バッファは常に禁止されるべきです。入力ピンでのVCC/2付近のアナログ信号入力は通常動作でも重要な電流を引き起こし得ます。デジタル入力バッファはデジタル入力禁止レジスタ0 (DR0) の書き込みにより禁止できます。詳細については [10頁の「デジタル入力禁止レジスタ0 \(DR0\)」](#)と [「デジタル入力禁止レジスタ1 \(DR1\)」](#)を参照してください。

8.7.7. 内蔵デバイス機能 (dV) 訳注 共通性から追加

内蔵デバイス機能が **DWEN** レジスタにより許可され、チップがスリーフ動作へ移行すると、主クロック元は許可に留まり、従って常に電力を消費します。これはより深いスリーフ動作での総消費電流にとって重要な一因になります。



8.8.電力管理用レジスタ

8.8.1.MCU制御レジスタ (MCU Control Register)MCUCR

このMCU制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	PUD	SE	SM1	SM0	-	SC01	SC00	MCUCR
Read/Write	R	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット5 - SE :スリープ許可 (Sleep Enable)

SLEEP命令が実行される時にMCUをスリープ動作へ移行させるには、スリープ許可 (SE)ビットが論理1を書かれなければなりません。MCUの目的外スリープ動作移行を避けるため、SLEEP命令実行直前にスリープ許可 (SE)ビットをセット(1)、起動後直ちにクリア(0)することが推奨されます。

ビット4,3 - SM1,SM0 :スリープ種別選択 (Sleep Mode Select Bits 1 and 0)

これらのビットは表 8-2で示される利用可能な4つのスリープ動作の1つを選択します。

ビット2 - Res :予約 (Reserved)

このビットは予約されており常に0として読めます。

表 8-2.スリープ動作種別選択

SM1	SM0	スリープ動作種別
0	0	アイドル動作
0	1	A/D変換ノイズ低減動作
1	0	パワーダウン動作
1	1	スタンバイ動作 (注)

注: クロック元として外部水晶発振子またはセラミック振動子選択でだけ推奨されます。

8.8.2.電力削減レジスタ (Power Reduction Register) PRR

ビット	7	6	5	4	3	2	1	0	
\$36 (\$56)	-	-	-	-	PRTM1	PRTM0	PRUS1	PRADC	PRR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 4 - Res :予約 (Reserved)

これらのビットは予約されており常に0として読めます。

ビット3 - PRTM1 :タイマ/カウンタ電力削減 (Power Reduction Timer/Counter1)

このビットへの書き込みはタイマ/カウンタ部を停止します。タイマ/カウンタが許可されると停止前と同様に動作は継続します。

ビット2 - PRTM0 :タイマ/カウンタ電力削減 (Power Reduction Timer/Counter0)

このビットへの書き込みはタイマ/カウンタ部を停止します。タイマ/カウンタが許可されると停止前と同様に動作は継続します。

ビット1 - PRUS1 :多用途シリアルインターフェース電力削減 (Power Reduction US1)

このビットへの書き込みはその部分へのクロック停止により多用途シリアルインターフェース(US1)を停止します。USの再起動時、USは正しい動作を保証するために再初期化されるべきです。

ビット0 - PRADC :A/D変換器電力削減 (Power Reduction ADC)

このビットへの書き込みはA/D変換器(ADC)を停止します。A/D変換器は停止前に禁止されなければなりません。A/D変換器停止時、アナログ比較器はADC入力切替器を使用できません。

注: アナログ比較器は9頁の「アナログ比較器制御/状態レジスタ(ACSR)」のアナログ比較器禁止(ACD)ビットを使用することで禁止されません。訳注 共通性から本注追加)



9. システム制御とリセット

9.0.1. AVRのリセット

リセット中、全ての I/Oレジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。リセットベクタに配置される命令は、きっとリセット処理ルーチンへの無条件相対分岐 (RAMP 命令) でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使用されず、これらの位置に通常のプログラムコードが配置できます。図 9-1 の回路構成図はリセット論理回路を示します。122 頁の「システムとリセットの特性」はリセット回路の電気的特性を定義します。

AVR の I/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。

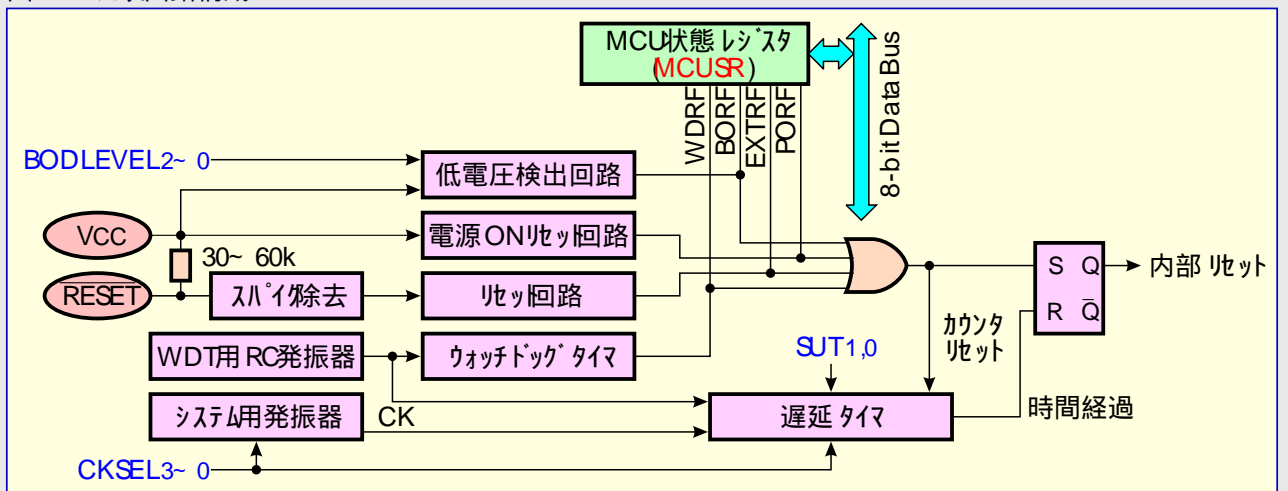
すべてのリセット元が無効にされた後、遅延カウンタ(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間は SUTヒューズと CKSELヒューズを通して使用者により定義されます。この遅延時間についての各種選択は 16 頁の「クロック」で示されます。

9.0.2. リセット要因

ATtiny261/461/861には次の4つのリセット元があります。

- 電源ONリセット …… 供給電圧が電源ONリセット閾値電圧 (VPOT) 以下でMCUがリセットされます。
- 外部リセット …… RESETピンが最小パルス幅以上 Lowレベルに保たれると、MCUがリセットされます。
- ウォッチドッグリセット …… ウォッチドッグリセット動作が許可され、ウォッチドッグタイマが終了すると、MCUがリセットされます。
- 低電圧リセット …… 低電圧検出器 (BOD) が許可され、供給電圧 (VCC) が低電圧検出電圧 (VBOT) 以下でMCUがリセットされます。

図 9-1. リセット回路構成



9.0.3. 電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路により生成されます。検出電圧は122頁の「システムとリセットの特性」で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使用できます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧(V_{POT})への到達は、VCCの立ち上がり後にデバイスがどのくらいリセットを保つかを決める遅延カウンタ(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図 9-2. 内蔵電源ONリセット (RESETはVCCに接続)

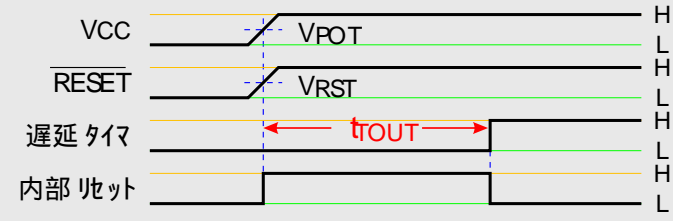
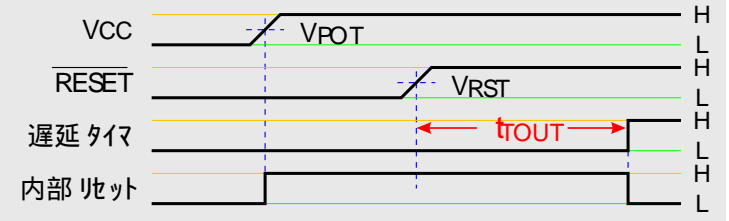


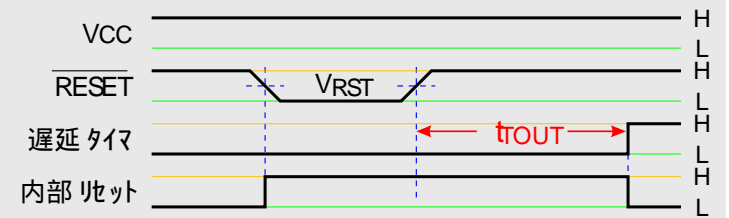
図 9-3. 外部 RESET 信号による延長電源ONリセット



9.0.4. 外部リセット

外部リセットはRESETピンのLowレベルにより生成されます。クロックが動いていなくても、最小パルス幅(122頁の「システムとリセットの特性」参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセット生成が保証されません。印加された信号の立ち上りがリセット閾値電圧(V_{RST})に達すると遅延タイマを起動し、遅延タイマは遅延時間(t_{OUT})経過後にMCUを始動します。

図 9-4. 動作中の外部リセット



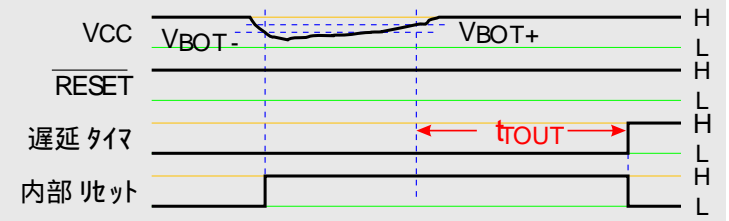
9.0.5. 低電圧(ブラウンアウト)検出リセット

ATtiny261/461/861には固定化された起動検出電圧と比較することで動作中のVCCを監視するチップ上の低電圧検出(BOD回路)があります。BODの起動電圧はBODLEVELレジスタにより選択できます。この起動電圧はスライ対策BODを保证するためにヒステリシスを持ちます。検出電圧のヒステリシスは $V_{BOT+}=V_{BOT}+V_{HYST}/2$ 、 $V_{BOT-}=V_{BOT}-V_{HYST}/2$ と解釈されるべきです。

BODが許可され、VCCが起動電圧以下に下降すると図9-5の V_{BOT-} 低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると図9-5の V_{BOT+} 遅延タイマが起動され、遅延タイマは遅延時間(t_{OUT})経過後、MCUを始動します。

BOD回路は電圧が122頁の「システムとリセットの特性」で与えられる t_{BOD} 時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

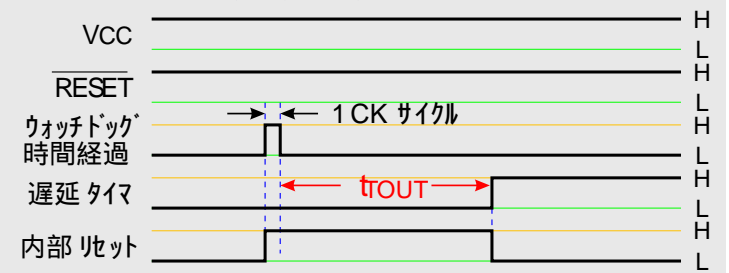
図 9-5. 動作中の低電圧リセット



9.0.6. ウォッチドッグリセット

ウォッチドッグ時間経過時、(内部的に)1CKサイクル幅の短いリセットパルスを生成します。このパルスの立ち下りエッジで、遅延タイマは遅延時間(t_{OUT})の計時を始めます。ウォッチドッグタイマ操作の詳細については26頁を参照してください。

図 9-6. 動作中のウォッチドッグリセット



9.1. 内部基準電圧

ATtiny261/461/861は内部基準電圧が特徴です。この基準電圧は低電圧検出 (BOD) に使用され、A/D変換やアナログ比較器の入力としても使用できます。

9.1.1. 基準電圧許可信号と起動時間

基準電圧には使用されるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は、12頁の「システムとチップの特性」で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

低電圧検出 リセット時 (BODLEVELヒューズのプログラム (0)により)

アナログ比較器基準電圧接続時 (アナログ比較器制御 状態レジスタ (ACSR) の基準電圧入力選択 (ACBG)=1)

A/D変換部動作許可時 (A/D変換制御 状態レジスタ (ADCSRA) のA/D動作許可 (ADEN)=1)

従って低電圧検出 (BOD) が許可されていないと ACBGの設定 (=1またはA/D変換部許可 (ADEN)=1後、使用者はアナログ比較器またはA/D変換器出力が使用される前に基準電圧へ起動時間を与えなければなりません。パワーダウン動作での消費電力を減らすため、使用者はパワーダウン動作へ移行する前に基準電圧がOFFされることを保証することで、上の3つの状態を避けられます。

9.2. ウォッチドッグ タイム

ウォッチドッグ タイムは128kHzで動く独立したチップ上の発振器からクロック駆動されます。ウォッチドッグ タイム前置分周器の制御により、ウォッチドッグ リセット間隔は28頁の表 9-3で示されるように調整できます。ウォッチドッグ リセット WDR命令はウォッチドッグ タイムをリセットします。ウォッチドッグ タイムはそれが禁止される時とチップ リセットが起こる時もリセットされます。10種の異なるクロックサイクル周期は、このリセット周期を決めるために選択できます。別のウォッチドッグ リセットなしにリセット周期が経過すると、ATtiny261/461/861はリセット、リセット後から実行します。ウォッチドッグ リセットの詳細タイミングについては28頁の表 9-3を参照してください。

ウォッチドッグ タイムはリセットの代わりに割り込みを生成する設定にもできます。これはパワーダウン動作から起動するのにウォッチドッグを使用する時に大変有用となり得ます。

予期せぬウォッチドッグ禁止や予期せぬ計時終了周期変更を防ぐため、2つの異なる安全レベルが表 9-1で示されるWDTONヒューズにより選択されます。詳細については次の「ウォッチドッグ タイム設定変更の時間制限手順」を参照してください。

図 9-7. ウォッチドッグ タイム構成図 (訳注 内容に合せ修正)

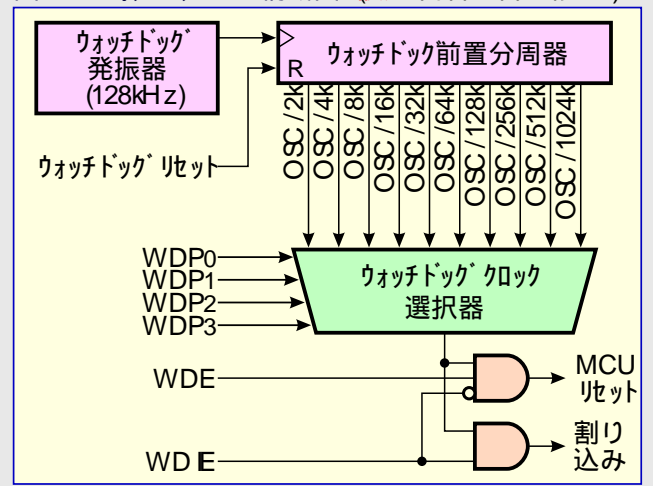


表 9-1. WDTONヒューズ設定によるウォッチドッグ機能設定

WDTON ヒューズ	安全レベル	WDT初期状態	WDT禁止方法	計時完了時間変更方法
非プログラム (1)	1	禁止	時間制限	なし (常時可)
プログラム (0)	2	許可	なし (常時許可)	時間制限

9.3. ウォッチドッグ タイム設定変更の時間制限手順

ウォッチドッグ設定変更手順は安全レベル間で僅かに異なります。各レベルに対して独立した手順が記述されます。

9.3.1. 安全レベル1 この動作種別ではウォッチドッグ タイムが初めに禁止されますが、どんな制限もなくウォッチドッグ許可 (WDEビットに1を書くことにより) 許可できます。許可したウォッチドッグ タイムを禁止する時に時間制限手順が必要とされます。許可したウォッチドッグ タイムを禁止するには、次の手順に従わなければなりません。

同じ操作 命令 でウォッチドッグ変更許可 (WDCE) とウォッチドッグ許可 (WDE) に論理 1を書きます。WDEビットの直前の値に拘らず、論理 1がWDEに書かれなければなりません。

次からの4クロックサイクル内に同じ操作 命令 で欲したWDEとウォッチドッグ タイム前置分周選択 (WDP3~ 0)ビットを書きますが、WDCEビットはクリア (0) されてです。

9.3.2. 安全レベル2 この動作種別ではウォッチドッグ タイムが常に許可され、WDEビットは常に1として読めます。時間制限手順はウォッチドッグ計時完了周期を変更する時に必要とされます。ウォッチドッグ計時完了周期を変更するには、次の手順に従わなければなりません。

同じ操作 命令 でWDCEとWDEに論理 1を書きます。WDEビットが常にセット(1) されていても、WDEは時間制限手順を開始するために1書かれなければなりません。

次からの4クロックサイクル内に同じ操作 命令 で欲したWDP2~ 0ビットを書きますが、WDCEビットはクリア (0) されてです。WDEビットに書かれた値は無関係です。



9.4. レジスタ関係レジスタ

9.4.1. MCU状態レジスタ (MCU Status Register)MCUSR

MCU状態レジスタはどのレジスタがMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	-	-	-	-	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

ビット7~ 4 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット3 - WDRF :ウォッチドッグリセットフラグ (Watchdog Reset Flag)

このビットはウォッチドッグリセットが起こるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理書き込みによってリセット(0)されます。

ビット2 - BORF :低電圧リセットフラグ (Brown-Out Reset Flag)

このビットは低電圧リセットが起こるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理書き込みによってリセット(0)されます。

ビット1 - EXTRF :外部リセットフラグ (External Reset Flag)

このビットは外部リセットが起こるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理書き込みによってリセット(0)されます。

ビット0 - PORF :電源ONリセットフラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こるとセット(1)されます。このビットはこのフラグへの論理書き込みによってのみリセット(0)されます。

リセット条件の確認にリセットフラグを使用するには、使用者はプログラム内で可能な限り早くMCUSRを読み、そしてクリア(0)すべきです。別のリセットが起こる前にこのレジスタがクリア(0)されると、そのリセットはリセットフラグを調べることでより得られます。

9.4.2. ウォッチドッグタイマ制御レジスタ (Watchdog Timer Control Register)WDTCSR

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	WDF	WDE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

ビット7 - WDF :ウォッチドッグ割り込み要求フラグ (Watchdog Interrupt Flag)

ウォッチドッグタイマが割り込みに設定され、ウォッチドッグタイマで計時完了が起こると、本ビットがセット(1)されます。対応する割り込み処理を実行すると、WDFはハードウェアによりクリア(0)されます。代わりにWDFはこのフラグへの論理書き込みによりクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(IE)ビットとウォッチドッグ割り込み許可(WDE)がセット(1)されていれば、ウォッチドッグ計時完了割り込みが実行されます。

ビット6 - WDE :ウォッチドッグ割り込み許可 (Watchdog Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IE)ビットがセット(1)されると、ウォッチドッグ割り込みが許可されます。この動作ではウォッチドッグタイマで計時完了が起きる場合、ビットに代わって対応する割り込みが実行されます。

WDEがセット(1)されると、WDFは計時完了が起きるとき、ハードウェアによって自動的にクリア(0)されます。これは割り込みを使用する間のウォッチドッグリセット保護を維持するために有用です。WDEビットがクリア(0)された後、次の計時完了はリセットを生成するでしょう。このウォッチドッグリセットを避けるには、各割り込み後にWDEがセット(1)されなければなりません。

ビット4 - WDCE :ウォッチドッグ変更許可 (Watchdog Change Enable)

ウォッチドッグ許可(WDE)ビットが論理0を書かれるとき、このビットはセット(1)されなければなりません。さもなければ、ウォッチドッグは禁止されません。一旦1を書かれると、ハードウェアが4クロックサイクル後、このビットをクリア(0)します。ウォッチドッグ禁止手順についてはWDEビットの記述を参照してください。このビットは前置分周ビットを変更する時もセット(1)されなければなりません。26頁の「ウォッチドッグタイマ設定変更の時間制限手順」をご覧ください。

表 9-2. ウォッチドッグタイマ設定

WDE	WDE	動作状態	計時完了での動作
0	0	停止	なし
0	1	走行	割り込み
1	0	走行	リセット
1	1	走行	割り込み





ビット3 - WDE :ウォッチドッグ許可 (Watchdog Enable)

ウォッチドッグ許可 (WDE) が論理 1 書かれるとウォッチドッグ タイマが許可され、WDE が論理 0 書かれるとウォッチドッグ タイマ機能が禁止されます。WDE はウォッチドッグ変更許可 (WDCE) ビットが論理レベル 1 を持つ場合だけクリア (0) できます。許可されているウォッチドッグ タイマを禁止するには、次の手順に従わなければなりません。

同じ操作 命令 内で、ウォッチドッグ変更許可 (WDCE) ビットとウォッチドッグ許可 (WDE) ビットに論理 1 を書きます。例えば禁止操作を始める前の WDE が 1 に設定されていても、論理 1 が WDE に書かれなければなりません。

次からの 4クロック サイクル内で、論理 0 を WDE に書きます。これがウォッチドッグを禁止します。

安全レベル 2 では上記の手順でもウォッチドッグ タイマを禁止することができません。2 頁の「ウォッチドッグ タイマ設定変更の時間制限手順」をご覧ください。

安全レベル 1 では WDE が MCUSR のウォッチドッグ リセットフラグ (WDRF) によって無効にされます。WDRF の説明については 2 頁の「MCU 状態レジスタ (MCUSR)」をご覧ください。これは WDRF がセット (1) されていると WDE が常にセット (1) されることを意味します。WDE をクリア (0) するには、上記手順でウォッチドッグを禁止する前に WDRF がクリア (0) されなければなりません。この特徴は失敗を引き起こす状態中の複数ビット失敗後の安全な起動を保証します。

注 :ウォッチドッグ タイマが応用で使用されないなら、デバイス初期化でウォッチドッグ禁止手順を全て行なうことが重要です。ウォッチドッグが偶然に許可されると例えばホップの逸脱や低電圧 (ブラウンアウト状態) デバイスはリセットし、その転化が次のウォッチドッグ リセットを引き起こすでしょう。この状態を避けるため、応用ソフトウェアは初期化ルーチンで WDRF フラグと WDE 制御ビットを常にクリア (0) すべきです。

ビット 52~ 0 - WDP3~ 0 :ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 3,2,1 and 0)

この WDP3~ 0 ビットはウォッチドッグ タイマが許可されるときウォッチドッグ タイマの前置分周を決めます。異なる前置分周値と対応する計時完了周期は表 9-3 で示されます。

表 9-3.ウォッチドッグ前置分周器選択

WDP3	0								1							
	0				1				0				1			
WDP2	0				1				0				1			
WDP1	0		1		0		1		0		1		0		1	
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT 発振 サイクル数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	予約					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s	予約					

次のコード例はウォッチドッグ (WDT) を OFF に切り替えるアセンブリ言語と C 言語の関数を示します。本例は (例えば全割り込み禁止により割り込みが制御され、それ故これらの関数実行中に割り込みが起きない) 前提です。

```

アセンブリ言語プログラム例
WDT_OFF:    WDR                                ;ウォッチドッグ タイマ リセット
            LDI    R16, (0<<WDRF)              ;WDRF=0値を取得
            OUT    MCUSR,R16                    ;MCUSRのWDRFをクリア (0)
            IN     R16,WDTCR                     ;現WDTCR値を取得
            ORI    R16, (1<<WDCE) | (1<<WDE)    ;WDCEとWDE論理 1値を設定
            OUT    WDTCR,R16                    ;WDCEとWDEに論理 1書き込み
            LDI    R16, (0<<WDE)                ;WDE論理 0値を取得
            OUT    WDTCR,R16                    ;ウォッチドッグ禁止
            RET                                     ;呼び出し元へ復帰

C言語プログラム例
void WDT_off(void)
{
    _WDR();                                       /*ウォッチドッグ タイマ リセット*/
    MCUSR = 0x00;                                /*MCUSRのWDRFをクリア (0)*/
    WDTCR |= (1<<WDCE) | (1<<WDE);              /*WDCEとWDEに論理 1書き込み*/
    WDTCR = 0x00;                                /*ウォッチドッグ禁止*/
}

```

注 :このコード例はデバイス定義ファイルがインクルードされることが前提です。



10. 割り込み

この項は ATtiny261/461/861 によって実行される割り込み操作の詳細を記述します。AVR 割り込み操作の一般説明については 8 頁の「割り込みの扱い」を参照してください。

10.1. ATtiny261/461/861 の割り込みベクタ

表 10-1. 割り込みベクタ

ベクタ番号	プログラムアドレス	発生元	備考
1	\$0000	リセット	電源 ON または ウォッチドッグ等のリセット
2	\$0001	INT0	外部割り込み要求 0
3	\$0002	PCINT	I/Oピンレベル変化
4	\$0003	タイマ/カウンタ1 COMPA	タイマ/カウンタ1 比較 A 一致
5	\$0004	タイマ/カウンタ1 COMPB	タイマ/カウンタ1 比較 B 一致
6	\$0005	タイマ/カウンタ1 OVF	タイマ/カウンタ1 オーバーフロー
7	\$0006	タイマ/カウンタ0 OVF	タイマ/カウンタ0 オーバーフロー
8	\$0007	USI_STRT	多用途シリアル インターフェース開始条件検出
9	\$0008	USI_OVF	多用途シリアル インターフェース カウンタ オーバーフロー
10	\$0009	EE_RDY	EEPROM 操作可
11	\$000A	アナログ比較器 ANA_COMP	アナログ比較器出力遷移
12	\$000B	A/D変換器 ADC	A/D変換完了
13	\$000C	ウォッチドッグ WDT	ウォッチドッグ計時完了
14	\$000D	INT1	外部割り込み要求 1
15	\$000E	タイマ/カウンタ0 COMPA	タイマ/カウンタ0 比較 A 一致
16	\$000F	タイマ/カウンタ0 COMPB	タイマ/カウンタ0 比較 B 一致
17	\$0010	タイマ/カウンタ0 CAPT	タイマ/カウンタ0 捕獲 (キャプチャ発生)
18	\$0011	タイマ/カウンタ0 COMPD	タイマ/カウンタ0 比較 D 一致
19	\$0012	誤り保護 FAULT_PROTECT	タイマ/カウンタ1 誤り保護

プログラムが決して割り込み元を許可しないなら、割り込みベクタは使用されず、これらの位置に通常のプログラムコードが配置できます。ATtiny261/461/861 での最も代表的かつ一般的な割り込みベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
\$0000		RJMP RESET	;各種リセット
\$0001		RJMP EXT_INT0	;外部割り込み要求 0
\$0002		RJMP PCINT	;I/Oピンレベル変化
\$0003		RJMP TIM1_COMP_A	;タイマ/カウンタ1 比較 A 一致
\$0004		RJMP TIM1_COMP_B	;タイマ/カウンタ1 比較 B 一致
\$0005		RJMP TIM1_OVF	;タイマ/カウンタ1 オーバーフロー
\$0006		RJMP TIM0_OVF	;タイマ/カウンタ0 オーバーフロー
\$0007		RJMP USI_STRT	;多用途シリアル インターフェース開始条件検出
\$0008		RJMP USI_OVF	;多用途シリアル インターフェース カウンタ オーバーフロー
\$0009		RJMP EE_RDY	;EEPROM 操作可
\$000A		RJMP ANA_COMP	;アナログ比較器出力遷移
\$000B		RJMP ADC	;A/D変換完了
\$000C		RJMP WDT	;ウォッチドッグ計時完了
\$000D		RJMP EXT_INT1	;外部割り込み要求 1
\$000E		RJMP TIM0_COMP_A	;タイマ/カウンタ0 比較 A 一致
\$000F		RJMP TIM0_COMP_B	;タイマ/カウンタ0 比較 B 一致
\$0010		RJMP TIM0_CAPT	;タイマ/カウンタ0 捕獲 (キャプチャ発生)
\$0011		RJMP TIM0_COMP_D	;タイマ/カウンタ0 比較 D 一致
\$0012		RJMP FAULT_PROTECT	;タイマ/カウンタ1 誤り保護
\$0013	RESET:	LDI R16, HIGH(RAMEND)	;RAM最終アドレス上位を取得 (ATtiny461/861のみ)
\$0014		OUT SPH, R16	;スタックポインタ上位を初期化 (ATtiny461/861のみ)
\$0015		LDI R16, LOW(RAMEND)	;RAM最終アドレス下位を取得
\$0016		OUT SPL, R16	;スタックポインタ下位を初期化
			;以下、I/O初期化など



11. 外部割り込み

外部割り込みは NT0, NT1ピンまたは PC NT0~ 15ピンの何れかにより起動されます。許可したなら、例え NT0, NT1または PC NT0~ 15ピンが出力として設定されても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。ピン変化割り込み PC は許可した PC NT0~ 15の何れかが切り替わると起動します。ピン変化割り込みマスクレジスタ (PCMSK0, PCMSK1)は、どのピンがピン変化割り込み要因となるかを制御します。PC NT0~ 15でのピン変化割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外のスリープ動作からモジュールを起動するために使用できることを意味します。

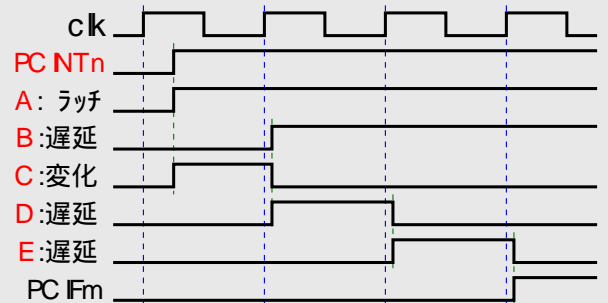
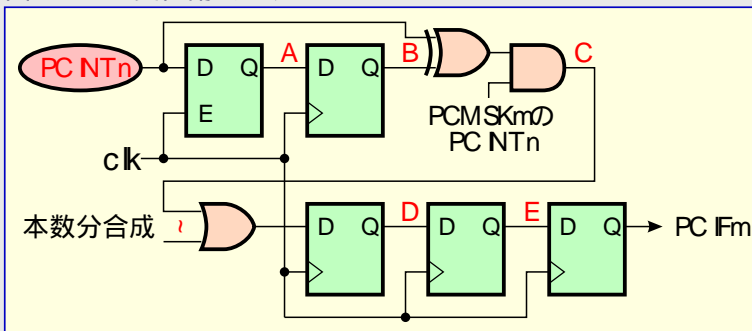
NT0とNT1の割り込みは立ち上りまたは立ち下りエッジ(含む両エッジ)またはLowレベルにより起動できます。これはMCU制御レジスタ (MCUCR)の詳述で示される設定です。NT0, NT1割り込みがレベル起動として設定かつ許可されると、そのピンがLowに保持される限り、割り込みは継続的に起動します。NT0, NT1の立ち上りまたは立ち下りエッジ割り込みの認知は15頁の「クロックシステムとその配給」で記述されるI/Oクロックの存在を必要とすることに注意してください。NT0, NT1のLowレベル割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外のスリープ動作からモジュールを起動するために使用できることを意味します。I/Oクロックはアイドル動作を除く全スリープ動作で停止されます。

レベル起動割り込みがパワーダウン動作からの起動に使用される場合、この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保たなければならないことに注意してください。このレベルが起動時間の最後に先立ち消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。起動時間は15頁の「システムクロックとクロック選択」で示されるようにSUTピルスとCKSELピルスで定義されます。

11.1. ピン変化割り込み タイミング

ピン変化割り込みの例は図 11-1で示されます。

図 11-1. ピン変化割り込み タイミング



11.2. 外部割り込み用レジスタ

11.2.1. MCU制御レジスタ (MCU Control Register) MCUCR

MCU制御レジスタは割り込み条件制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	PUD	SE	SM1	SM0	-	ISC01	ISC00	MCUCR
Read/W rite	R	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット0 - ISC01, ISC00 : 外部割り込み 0/1 条件制御 (Interrupt Sense Control 0/1 bit1 and 0)

外部割り込み 0と1はステータスレジスタ (SREG) の全割り込み許可 (Iビットと一般割り込みマスクレジスタ GMSK) の外部割り込み許可 (NT0)ビットまたは外部割り込み許可 (NT1)ビットがセット(1)される場合の NT0または NT1外部ピンにより活性有効にされます。割り込みを活性にする NT0または NT1外部ピンのエッジとレベルは表 11-1で定義されます。NT0とNT1ピンの値はエッジ検出に先立ち採取されます。エッジまたは論理変化割り込みが選択される場合、1クロック周期より長く留まるパルスは割り込みを生成します。より短いパルスは割り込み発生が保証されません。Lowレベル割り込みが選択される場合、そのLowレベルは割り込みを生成するために現在実行している命令の完了まで保たなければならないままです。

表 11-1 外部割り込み 0/1 (NT0/1) 割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	NT0/ NT1ピンのLowレベル
0	1	NT0/ NT1ピンの論理変化 (両エッジ)
1	0	NT0/ NT1ピンの立ち下りエッジ
1	1	NT0/ NT1ピンの立ち上りエッジ

訳補) ISC01, 0ビットが NT0とNT1兼用で、個別に条件を設定できないことに注意してください。



11.2.2. 一般割り込みマスクレジスタ (General Interrupt Mask Register) GMSK

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	NT1	NT0	PCIE1	PCIE0	-	-	-	-	GMSK
Read/W rite	RW	RW	RW	RW	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7 - NT1 :外部割り込み 1許可 (External Interrupt Request 1 Enable)

ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)され、NT1ビットがセット(1)されると、NT外部ピン割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御 0/1のビット1と0(ISC01, ISC00)は、この外部割り込みがNT1ピンの立ち上り、立ち下り両エッジまたはLowレベルのどれで活性(有効)にされるかを定義します。例えば、NT1ピンが出力として設定されても、このピンの動きは割り込み要求を引き起こします。外部割り込み要求 1に対応する割り込みは **NT割り込みベクタ** から実行されます。

ビット6 - NT0 :外部割り込み 0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)され、NT0ビットがセット(1)されると、NT0外部ピン割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御 0/1のビット1と0(ISC01, ISC00)は、この外部割り込みがNT0ピンの立ち上り、立ち下り両エッジまたはLowレベルのどれで活性(有効)にされるかを定義します。例えば、NT0ピンが出力として設定されても、このピンの動きは割り込み要求を引き起こします。外部割り込み要求 0に対応する割り込みは **NT割り込みベクタ** から実行されます。

ビット5 - PCIE1 :ピン変化割り込み 1許可 (Pin Change Interrupt Enable 1)

ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)され、このPCIE1ビットがセット(1)されると、ピン変化割り込みが許可されます。許可したPCNT0~7とPCNT12~15ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みは **PCNT割り込みベクタ** から実行されます。PCNT0~7とPCNT12~15ピンは **ピン変化割り込みマスク0レジスタ(PCMSK0)**と**ピン変化割り込みマスク1レジスタ(PCMSK1)**によって個別に許可されます。

ビット4 - PCIE0 :ピン変化割り込み 0許可 (Pin Change Interrupt Enable 0)

ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)され、このPCIE0ビットがセット(1)されると、ピン変化割り込みが許可されます。許可したPCNT8~11ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みは **PCNT割り込みベクタ** から実行されます。PCNT8~11ピンは **ピン変化割り込みマスク1レジスタ(PCMSK1)**によって個別に許可されます。

ビット3~0 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

11.2.3. 一般割り込み要求フラグレジスタ (General Interrupt Flag Register) GFR

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	NTF1	NTF0	PCIF	-	-	-	-	-	GFR
Read/W rite	RW	RW	RW	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7 - NTF1 :外部割り込み 要求フラグ (External Interrupt Flag 1)

NT1ピン上のエッジまたは論理変化が割り込み要求を起動すると、NTF1がセット(1)になります。ステータスレジスタ(SREG)の全割り込み許可 (I)ビットと一般割り込みマスクレジスタ(GMSK)の外部割り込み許可 (NT1)ビットがセット(1)ならば、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されるとクリア(0)されます。代わりに、このフラグは論理 1を書くことによってもクリア(0)できます。NTがレベル割り込みとして設定されると、このフラグは常にクリア(0)されます。

ビット6 - NTF0 :外部割り込み 要求フラグ (External Interrupt Flag 0)

NT0ピン上のエッジまたは論理変化が割り込み要求を起動すると、NTF0がセット(1)になります。ステータスレジスタ(SREG)の全割り込み許可 (I)ビットと一般割り込みマスクレジスタ(GMSK)の外部割り込み許可 (NT0)ビットがセット(1)ならば、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されるとクリア(0)されます。代わりに、このフラグは論理 1を書くことによってもクリア(0)できます。NTがレベル割り込みとして設定されると、このフラグは常にクリア(0)されます。

ビット5 - PCIF :ピン変化割り込み要求フラグ (Pin Change Interrupt Flag)

PCNT0~15ピンの何れかの論理変化が割り込み要求を起動すると、PCIFがセット(1)になります。ステータスレジスタ(SREG)の全割り込み許可 (I)ビットと一般割り込みマスクレジスタ(GMSK)のピン変化割り込み許可 (PCIE1)ビットまたはピン変化割り込み許可 (PCIE0)ビットがセット(1)ならば、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されるとクリア(0)されます。代わりに、このフラグは論理 1を書くことによってもクリア(0)できます。

ビット4~0 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。





11.2.4. ピン変化割り込みマスク0レジスタ (Pin Change Enable Mask 0~ 7) PCMSK0

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	PC NT7	PC NT6	PC NT5	PC NT4	PC NT3	PC NT2	PC NT1	PC NT0	PCMSK0
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - PC NT7~ 0 : ピン変化割り込み 7~ 0 許可 (Pin Change Enable Mask 7~ 0)

各 PC NT0~ 7ビットは対応する I/Oピンでピン変化割り込みが許可されるかどうかを選びます。PC NT0~ 7と一般割り込みマスク(GMSK)レジスタのPCIEがセット(1)ならば、対応する I/Oピンのピン変化割り込みが許可されます。PC NT0~ 7がクリア(0)されると、対応する I/Oピンのピン変化割り込みは禁止されます。

11.2.5. ピン変化割り込みマスク1レジスタ (Pin Change Enable Mask 8~ 15) PCMSK1

ビット	7	6	5	4	3	2	1	0	
\$22 (\$42)	PC NT15	PC NT14	PC NT13	PC NT12	PC NT11	PC NT10	PC NT9	PC NT8	PCMSK1
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - PC NT15~ 8 : ピン変化割り込み 15~ 8 許可 (Pin Change Enable Mask 15~ 8)

各 PC NT8~ 15ビットは対応する I/Oピンでピン変化割り込みが許可されるかどうかを選びます。PC NT8~ 11と一般割り込みマスク(GMSK)レジスタのPCIEがセット(1)ならば、対応する I/Oピンのピン変化割り込みが許可され、PC NT12~ 15と一般割り込みマスク(GMSK)レジスタのPCIEがセット(1)ならば、対応する I/Oピンのピン変化割り込みが許可されます。PC NT8~ 15がクリア(0)されると、対応する I/Oピンのピン変化割り込みは禁止されます。

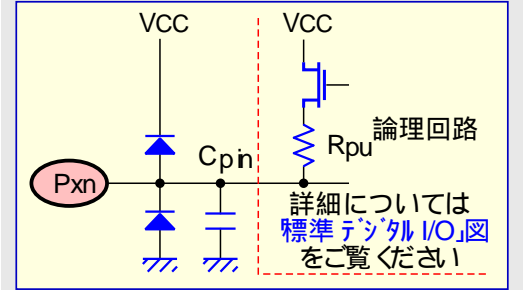


12. 入出力ポート

12.1 概要

すべてのAVRのポートは標準デジタルI/Oポートとして使用されるとき、真の読み/書き/読み書き(リード/モディファイ/ライト)を機能的に持ちます。これはSBとCB命令で他のどのビットの方向をも無意識に変更することなく、一つのポートビットの方向を変更できることを意味します。出力として設定されていれば駆動値を変更、または入力として設定されていればプルアップ抵抗を許可/禁止するときにも同じく適用されます。各出力バッファは高い吐き出し/ソース引き込み/シンク能力の両方に対称的な駆動特性を持ちます。このビットドライバはLED表示器を直接駆動するのに十分な強さです。すべてのポートビットは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。すべてのI/Oビットには図12-1で示されるようにVCCとGNDの両方に保護ダイオードがあります。各値の完全な一覧については12頁の「電気的特性」を参照してください。

図12-1 入出力ビット等価回路



本項内の全てのレジスタとビットの参照は一般形で記されます。小文字の 'x' はポート番号文字、小文字の 'n' はビット番号を表します。けれどもプログラム内でレジスタやビット定義を使用するとき、正確な形式(例えば、ここで一般に記されたPORTxnがポートBのビット3に対してはPORTB3が使用されなければなりません)。物理的なI/Oレジスタとビット位置は42頁の「I/Oポート用レジスタ」で一覧されます。

各々一つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、入力レジスタ(PNx)の各ポートに対して、3つのI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き両方です。けれどもPNxレジスタのビットへの論理書き込みは、出力レジスタの対応ビット値を(1/0反転する結果になります)。加えてMCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットはセット(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

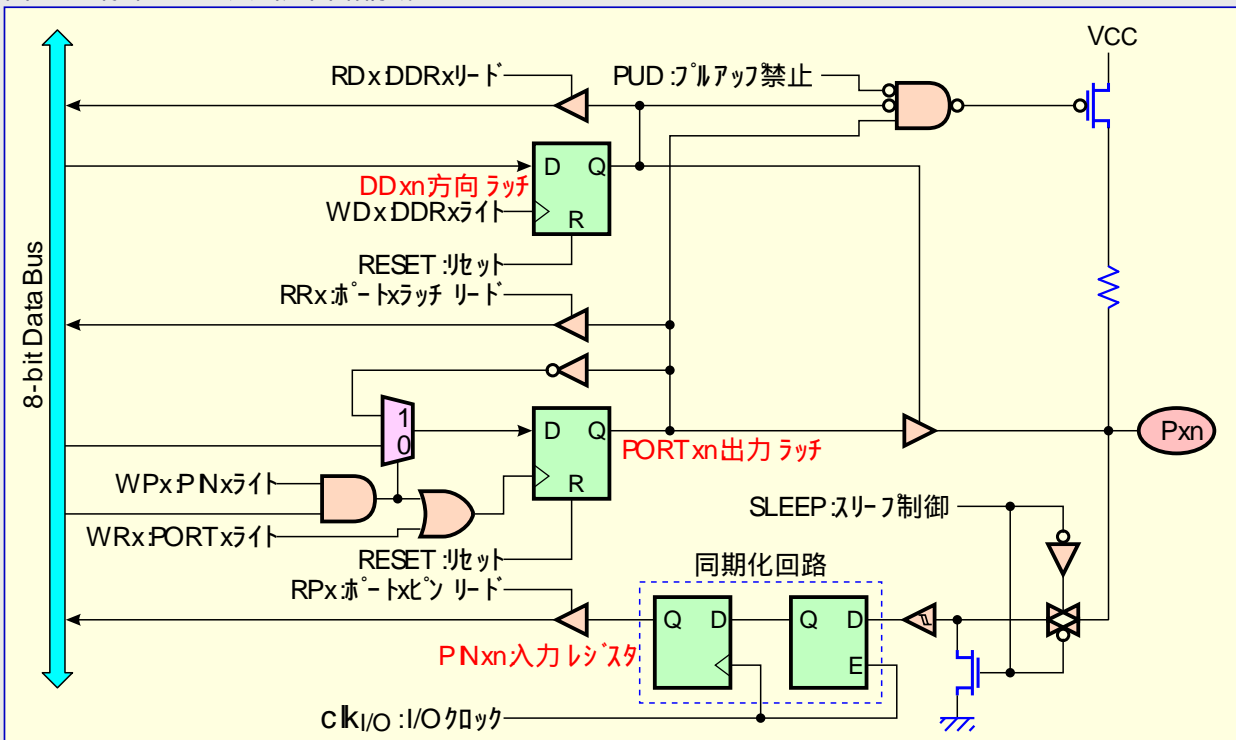
標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートビットはマイクログループの周辺機能用の兼用機能と多重化されます。ポートビットの各兼用機能のインターフェース法は36頁の「兼用ポート機能」で記述されます。兼用機能の完全な記述については個別機能部項目を参照してください。

ポートビットのいくつかの兼用機能の許可は、そのポート内の他のビットの標準デジタル入出力としての使用に影響しないことに注意してください。

12.2 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図12-2は、ここで属にPxnと呼ばれるI/Oポートビットの一つの機能説明を示します。

図12-2 標準デジタル入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDx は同一ポート内の全ビットで共通です。
clkI/O, SLEEP, PUD は全ポートで共通です。

12.2.1. ピンの設定

各ポートピンは3つのレジスタビット **DDxn** **PORTxn** **PNxn**から成ります。42頁の「I/Oポート用レジスタ」で示されるように、DDxnビットはDDRx I/Oアドレス PORTxnビットはPORTx I/Oアドレス PNxnビットはPNx I/Oアドレスでアクセスされます。

DDRxレジスタ内のDDxnビットは、そのピンの方向を選択します。DDxnが論理1を書かれるとPxnは出力ピンとして設定されます。DDxnが論理0を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定されるとき、PORTxnが論理1を書かれると、プルアップ抵抗が活性有効にされます。プルアップ抵抗をOFFに切り替えるには、PORTxnが論理0を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポートピンは例えばスイッチが動いていなくても、スイッチ条件が活性有効になるとHi-Zにされます。

そのピンが出力ピンとして設定されるとき、PORTxnが論理1を書かれると、そのポートピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定されるとき、PORTxnが論理0を書かれると、そのポートピンはLow(0)に駆動されます。

12.2.2. ピンの出力交互切り替え

PNxnへの論理1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えます。SB命令がポート内の1ビットを反転切り替えるのに使用できることに注目してください。

12.2.3. 入出力間の切り替え

Hi-Z入力 (DDxn=0, PORTxn=0)とHigh出力 (DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力 (DDxn=0, PORTxn=1)またはLow出力 (DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、ハイインピーダンス環境は強力なHigh(ソース)ドライバとプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないならば、全ポートの全プルアップを禁止するために、MCU制御レジスタMCUCRのプルアップ禁止(PUD)ビットがセット(1)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力 (DDxn=0, PORTxn=0)またはHigh出力 (DDxn=1, PORTxn=1)のどちらかを使用しなければなりません。

表 12-1はピン値に対する制御信号の一覧を示します。

表 12-1. ポートピンの設定

DDxn	PORTxn	PUD (MCUCR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	ハイインピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力するとソース電流が流れます。
0	1	1	入力	なし	ハイインピーダンス (Hi-Z)
1	0	X	出力	なし	Low (シンク出力)
1	1	X	出力	なし	High (ソース出力)

12.2.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPNxnレジスタビットを通して読めます。図 12-2で示されるようにPNxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックのエッジ付近で値を変える場合の未定義状態(メタステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。図 12-3は外部的に加えられたピン値を読むときの同期化タイミング図を示します。伝播遅延の最小と最大は各々 $t_{pd\ min}$ と $t_{pd\ max}$ で示されます。

図 12-3でシステムクロックの最初の立ち下りエッジのすぐ後から始まるクロック周期を考察してください。このラッチはクロックがLowのときに閉じ、クロックがHighのとき同期ラッチ信号の斜線部分で示されるように通過(トランスバレット)となります。この信号値はシステムクロックがLowになるときに保持(ラッチ)されます。それが続くクロックの立ち上りエッジでPNxnレジスタ外に取り込まれます。2つの矢印 $t_{pd\ min}$ と $t_{pd\ max}$ により示されるように、ピン上の単一信号遷移は、出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻すとき、図 12-4で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステムクロックの立ち上りエッジで同期ラッチを設定します。この場合、同期化回路を通過する遅延時間 (t_{pd})は1システムクロック周期です。

図 12-3 外部供給ピン値読み込み時の同期化

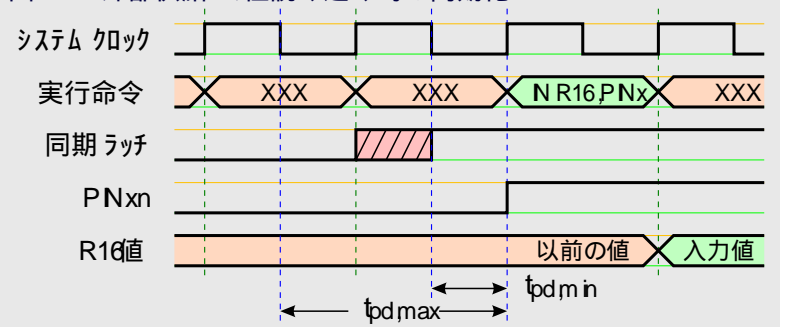
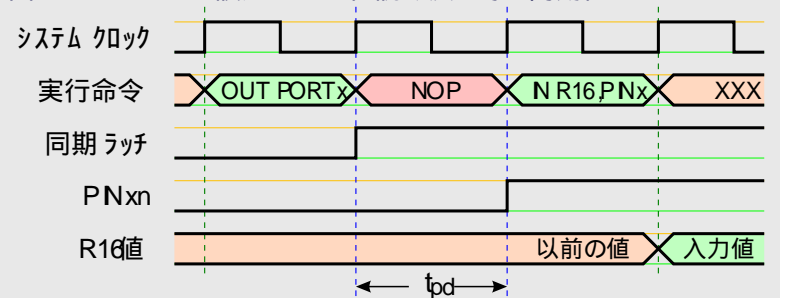


図 12-4 プログラムで設定したピン値読み戻し時の同期化



次のコード例はポートBの0と1をHigh出力、2と3をLow出力、4をプルアップ指定として4と5を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

```

アセンブリ言語プログラム例
~
LDI    R16, (1<<PB4)|(1<<PB1)|(1<<PB0)      ;プルアップとHigh値を取得
LDI    R17, (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0) ;出力ビット値を取得
OUT    PORTB,R16                            ;プルアップとHigh値を設定
OUT    DDRB,R17                             ;入出力方向を設定
NOP                                         ;同期化遅延処理
IN     R16,PINB                             ;ピン値読み戻し
~
;

C言語プログラム例
unsigned char i;
~
PORTB = (1<<PB4)|(1<<PB1)|(1<<PB0);          /* */
DDRB = (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0); /*プルアップとHigh値を設定 */
_NOP();                                     /*入出力方向を設定 */
i = PINB;                                  /*同期化遅延処理 */
~                                           /*ピン値読み戻し */
/* */

```

注 :アセンブリ言語プログラムについてはプルアップがピン0,1,4に設定されてから、ビット0との強力なHighドライバとしての再定義、ビット2と3のLowドライバとしての定義、方向ビットが正しく設定されるまでの時間を最小とするために2つの一時レジスタが使用されます。

12.2.5. デジタル入力許可とスリープ動作

図 12-2で示されるように、デジタル入力信号はシュミットトリガの入力をGNDにクランプできます。この図で **SLEEP** と印された信号は、入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、**パワーダウン動作**と**スタンバイ動作**でMCUスリープ制御器によりセット(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対しては無視されます。外部割り込み要求が許可されないならば、**SLEEP**は他のピンについてと同様に有効です。**SLEEP**は36頁の「兼用ポート機能」で記載されるように様々な他の兼用機能によっても無視されます。

外部割り込みが許可されていない「立ち上りエッジ、立ち下りエッジまたは論理変化(両エッジ)割り込み」として設定された非同期外部割り込みピンに論理1が存在すると、上で言及したスリープ動作から復帰再開するとき、これらスリープ動作でのクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定されます。

12.2.6. 未接続ピン

いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つことを保証することが推奨されます。例えば上記のような深いスリープ動作で多くのデジタル入力禁止されるとしても、デジタル入力が許可される他の全ての動作(リセット、通常動作、アイドル動作)で消費電流削減のため、フローティング入力は避けられるべきです。

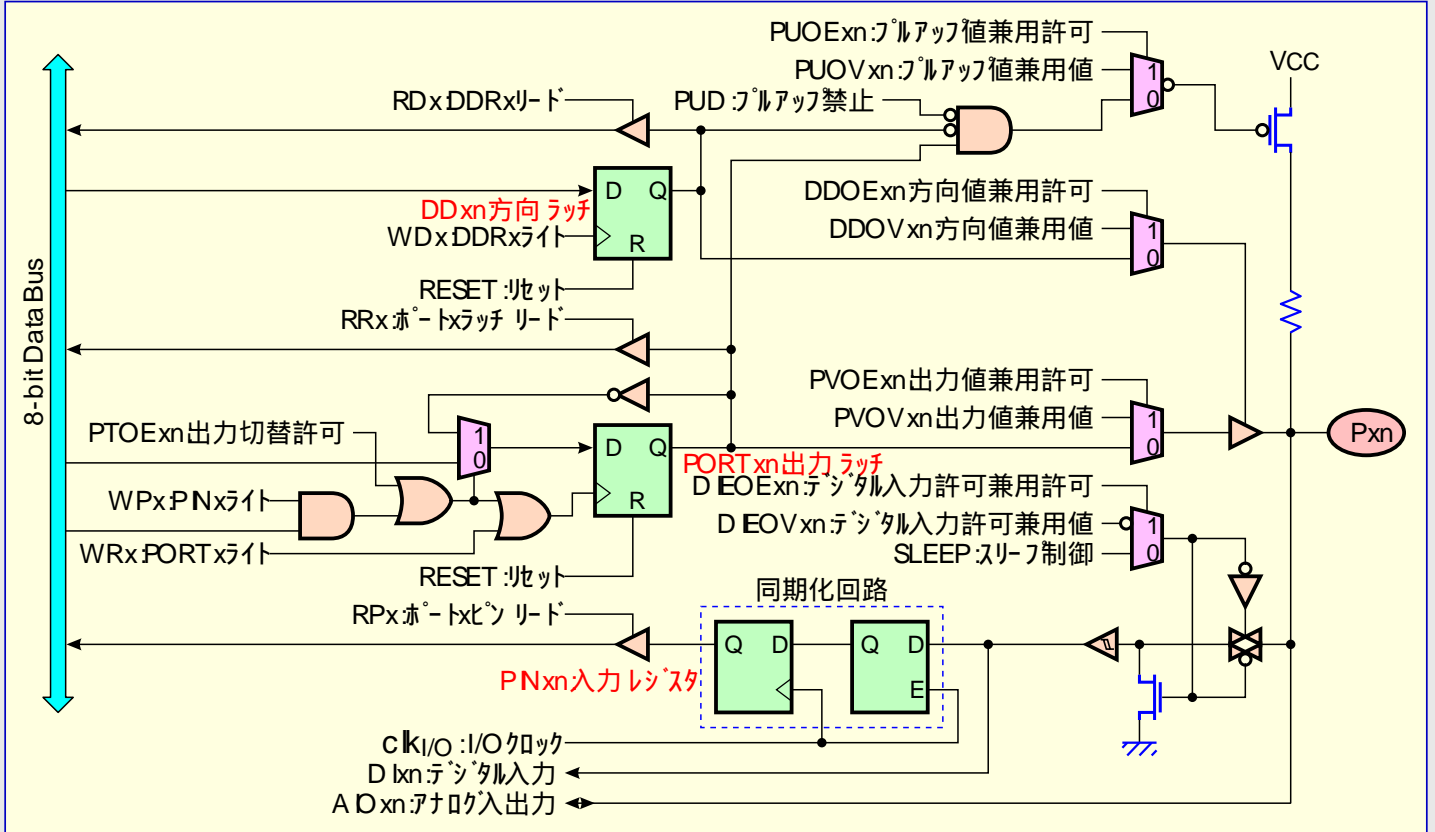
未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、チップ中のプルアップは禁止されず、チップ中の低消費電力が重要ならば、外部プルアップまたはプルダウンを使用することが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。



12.3 兼用ポート機能

多くのポートピンには標準デジタル入出力に加え兼用機能があります。図 12-5は単純化された図 12-2でのポートピン制御信号が兼用機能によりどう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVRマイクロコントローラファミルの全ポートピンに適用できる一般的な記述として取り扱います。

図 12-5 兼用ポート機能入出力回路構成



注：WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
ckI/O, SLEEP, PUDは全ポートで共通です。他の信号は各ピン固有です。

表 12-2は重複兼用信号の機能一覧を示します。図 12-5で示すピンとポートは次表で示されません。重複兼用信号は兼用機能を持つ機能部で内部的に生成されます。

表 12-2 兼用機能用兼用信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値兼用許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値兼用値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値兼用許可	1で、出力ドライバはDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値兼用値	DDOE=1時、DDxnレジスタ値に関係なく、出力ドライバのON(1)/OFF(0)を制御します。
PVOE	出力値兼用許可	1で出力ドライバがONならば、ポート値はPVOV信号で制御されます。出力ドライバがONで0の場合、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値兼用値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DEOE	デジタル入力許可兼用許可	1で、デジタル入力許可はDEOV信号で制御され、0の場合、MCUの状態(通常動作、スリープ動作)により決定されます。
OEVO	デジタル入力許可兼用値	DEOE=1時、MCUの状態(通常動作、スリープ動作)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	兼用機能用デジタル入力です。この信号は図上でシュミット出力に接続されていますが、これは同期化前となります。この信号はクロックとしての使用を除き、各兼用機能自身が同期化します。
AD	アナログ入出力	兼用機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

次節は兼用機能に関連する重複兼用信号と各ポートの兼用機能を簡単に記述します。さらに先の詳細については兼用機能の記述を参照してください。



12.3.1. ホールタの兼用機能

ホールタの兼用機能は表 12-3 で示されます。

表 12-3. ホールタの兼用機能

ポート ピン	兼用機能	ポート ピン	兼用機能
PA7	ADC6 (A/D変換チャネル6入力)	PA3	AREF (A/D変換外部基準電圧入力)
	AN0 (アナログ比較器入力0)		PCNT3 (ピク変化割り込み3入力)
PA6	PCNT7 (ピク変化割り込み7入力)	PA2	ADC2 (A/D変換チャネル2入力)
	ADC5 (A/D変換チャネル5入力)		NT1 (外部割り込み1入力)
AN1 (アナログ比較器入力1)	USCK (線動作USIのクロック出力)		
PCNT6 (ピク変化割り込み6入力)	SCL (線動作USI(TWI)のクロック出力)		
PA5	ADC4 (A/D変換チャネル4入力)	PA1	PCNT2 (ピク変化割り込み2入力)
	AN2 (アナログ比較器入力2)		ADC1 (A/D変換チャネル1入力)
PA4	PCNT5 (ピク変化割り込み5入力)	PA0	DO (線動作USIの出力)
	ADC3 (A/D変換チャネル3入力)		PCNT1 (ピク変化割り込み1入力)
	CP0 (タイマ/カウンタ0捕獲(キャプチャ)起動入力)		ADC0 (A/D変換チャネル0入力)
PCNT4 (ピク変化割り込み4入力)	DI (線動作USIの出力)		SDA (線動作USI(TWI)のデータ入力/出力)
			PCNT0 (ピク変化割り込み0入力)

兼用ピンの設定は次のとおりです。

ADC6/AN0/PCNT7 - ホールタ ピン7 : PA7

ADC6 : A/D変換器チャネル6入力。

AN0 : アナログ比較器入力0。アナログ比較器の機能を妨げるデジタルポート機能を避けるため、内部プルアップをOFFにした入力としてポートピンを設定してください。

PCNT7 : ピク変化割り込み元7入力。PA7ピンはピク変化割り込み群に対する外部割り込み元として扱えます。

ADC5/AN1/PCNT6 - ホールタ ピン6 : PA6

ADC5 : A/D変換器チャネル5入力。

AN1 : アナログ比較器入力1。アナログ比較器の機能を妨げるデジタルポート機能を避けるため、内部プルアップをOFFにした入力としてポートピンを設定してください。

PCNT6 : ピク変化割り込み元6入力。PA6ピンはピク変化割り込み群に対する外部割り込み元として扱えます。

ADC4/AN2/PCNT5 - ホールタ ピン5 : PA5

ADC4 : A/D変換器チャネル4入力。

AN2 : アナログ比較器入力2。アナログ比較器の機能を妨げるデジタルポート機能を避けるため、内部プルアップをOFFにした入力としてポートピンを設定してください。

PCNT5 : ピク変化割り込み元5入力。PA5ピンはピク変化割り込み群に対する外部割り込み元として扱えます。

ADC3/CP0/PCNT4 - ホールタ ピン4 : PA4

ADC3 : A/D変換器チャネル3入力。

CP0 : タイマ/カウンタ0の捕獲起動入力。PA4ピンはタイマ/カウンタ0用捕獲起動入力ピンとして動作できます。

PCNT4 : ピク変化割り込み元4入力。PA4ピンはピク変化割り込み群に対する外部割り込み元として扱えます。

AREF/PCNT3 - ホールタ ピン3 : PA3

AREF : A/D変換用外部基準電圧。このピンが外部基準電圧またはAREFピンでの外部コンデンサとの内部基準電圧(1.1V)として使用されると、プルアップと出力ドライバはPA3で禁止されます。

PCNT3 : ピク変化割り込み元3入力。PA3ピンはピク変化割り込み群に対する外部割り込み元として扱えます。

ADC2/NT1/USCK/SCL/PCNT2 - ホールタ ピン2 : PA2

ADC2 : A/D変換器チャネル2入力。

NT1 : 外部割り込み1入力。PA2ピンは外部割り込み元1として扱えます。

USCK : 線動作USIのクロック出力。

SCL : 線動作USI(TWI)のクロック出力。

PCNT2 : ピク変化割り込み元2入力。PA2ピンはピク変化割り込み群に対する外部割り込み元として扱えます。





ADC1/DO/PCNT1 - ホ-トA ビット1 :PA1

ADC1 :A/D変換器チャネル入力。

DO :3線動作USのデータ出力。データ出力 (DO) はPORTA値を無効にし、データ方向 (DDA1)ビットがセット(1)されると、ホ-トAが駆動されます。けれどもPORTAビットは未だプルアップを制御し、方向が入力でPORTAがセット(1)されるならプルアップを許可します。

PCNT1 :レベル変化割り込み元入力。PA1ビットはレベル変化割り込み群に対する外部割り込み元として扱えます。

ADC0/DI/SDA/PCNT0 - ホ-トA ビット0 :PA0

ADC0 :A/D変換器チャネル入力。

DI :3線動作USのデータ入力。3線動作USは標準ホ-トA機能を無効にしませんので、ピンはD機能用入力として設定しなければなりません。

SDA :3線動作USのデータ入出力 (オープンドレイン出力) シリアルデータピンは双方向でオープンドレイン出力を使用します。SDAピンは出力として、このピンを設定することにより許可されます。このピンはDDA0がセット(1)される時にPORTAまたはUSシフトレジスタ出力が0のとき、Lowに引き込まれます。プルアップは3線動作USで禁止されます。

PCNT0 :レベル変化割り込み元0入力。PA0ビットはレベル変化割り込み群に対する外部割り込み元として扱えます。

表 12-4と表 12-5はホ-トAの兼用機能を36頁の図 12-5で示される兼用信号に関連付けます。

表 12-4. ホ-トA7~ 4の兼用機能用兼用信号

信号名	PA7/ADC6/A N0/PC NT7	PA6/ADC5/A N1/PC NT6	PA5/ADC4/A N2/PC NT5	PA4/ADC3/ CP0/PC NT4
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	0	0	0	0
DEOE	(PC E0・PC NT7)+ADC6D	(PC E0・PC NT6)+ADC5D	(PC E0・PC NT5)+ADC4D	(PC E0・PC NT4)+ADC3D
DEOV	ADC6D	ADC5D	ADC4D	ADC3D
DI	PC NT7入力	PC NT6入力	PC NT5入力	CP0/PC NT4入力
AD	ADC6/A N0入力	ADC5/A N1入力	ADC4/A N2入力	ADC3入力

表 12-5. ホ-トA3~ 0の兼用機能用兼用信号

信号名	PA3/AREF/PC NT3	PA2/ADC2/ NT1/USCK /SCL/PC NT2	PA1/ADC1/DO/PC NT1	PA0/ADC0/DI /SDA/PC NT0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	2線 USI・USPOS	0	2線 USI・USPOS
DDOV	0	(SCL保持 +PORTA0) ・DDB2・USPOS	0	(SDA+PORTA0) ・DDB0・USPOS
PVOE	0	0	3線 USI・USPOS	2線 USI・DDA0・USPOS
PVOV	0	0	DO・USPOS	0
PTOE	0	USI_PTOE・USPOS	0	0
DEOE	PC E0・PC NT3	(PC E0・PC NT2)+NT1+ ADC2D+(USISE・USPOS)	(PC E0・PC NT1)+A N1D	(PC E0・PC NT0)+A N0D +(USISE・USPOS)
DEOV	0	ADC2D	ADC1D	ADC0D
DI	PC NT3入力	USCK/SCL/ NT1 /PC NT2入力	PC NT1入力	DI/SDA/PC NT0入力
AD	アナログ基準電圧入力	ADC2入力	ADC1入力	ADC0入力



12.3.2. ホールトBの兼用機能

ホールトBの兼用機能は表 12-6で示されます。

表 12-6. ホールトBの兼用機能

ホールトピン	兼用機能	ホールトピン	兼用機能
PB7	ADC10 (A/D変換チャネル10入力)	PB3	OC1B (タイマ/カウンタ比較B一致/PWM-1B出力)
	RESET (リセット入力)		PCNT11 (ピッチ変化割り込み11入力)
PB6	dV (デジタルロックWRE入力)	PB2	OC1B (タイマ/カウンタ比較B一致/PWM-1B反転出力)
	PCNT15 (ピッチ変化割り込み15入力)		SCK (SPIシリアルプログラミングクロック入力)
	ADC9 (A/D変換チャネル9入力)		USCK (線動作USIクロック入出力)
	T0 (タイマ/カウンタ0外部クロック入力)		SCL (線動作USI(TWI)クロック入出力)
PB5	NT0 (外部割り込み0入力)	PB1	PCNT10 (ピッチ変化割り込み10入力)
	PCNT14 (ピッチ変化割り込み14入力)		OC1A (タイマ/カウンタ比較A一致/PWM-1A出力)
	ADC8 (A/D変換チャネル8入力)		MISO (SPIシリアルプログラミングデータ入力)
	OC1D (タイマ/カウンタ比較D一致/PWM-1D出力)		DO (線動作USI出力)
PB4	XTAL2 (システムクロック用発振増幅器出力)	PB0	PCNT9 (ピッチ変化割り込み9入力)
	CLKO (システムクロック出力)		OC1A (タイマ/カウンタ比較A一致/PWM-1A反転出力)
	PCNT13 (ピッチ変化割り込み13入力)		DI (線動作USI入力)
	ADC7 (A/D変換チャネル7入力)		SDA (線動作USI(TWI)データ入出力)
PB4	OC1D (タイマ/カウンタ比較D一致/PWM-1D反転出力)	PB0	PCNT8 (ピッチ変化割り込み8入力)
	XTAL1 (システムクロック用発振増幅器入力)		
	CLKI (システムクロック入力)		
	PCNT12 (ピッチ変化割り込み12入力)		

兼用ピンの設定は次のとおりです。

ADC10/RESET/dV/PCNT15 - ホールトBビット7 :PB7

ADC10 : A/D変換器チャネル10入力。A/D変換器チャネル10入力アナログ電源を使用することに注意してください。

RESET : リセット入力ピン。RSTDISBLレジスタがプログラム(0)されると、このピンは標準I/Oピンとして機能し、デジタルはリセットとして電源ON/リセットと低電圧検出(BOD)リセットに頼らなければなりません。RSTDISBLレジスタが非プログラム(1)にされると、リセット回路がこのピンに接続され、このピンは標準I/Oピンとして使用できません。

dV : デジタルロックWRE許可(DWEN)レジスタがプログラム(0)され、ロックビットが非プログラム(1)にされると、RESETホールトピンはフルアップ許可のANDタイ(オープンドレイン)双方向I/Oピンとして設定され、対象デジタルとエミュレーション間の通信路になります。

PCNT15 : ピッチ変化割り込み元15入力。PB7ピンはピッチ変化割り込み群に対する外部割り込み元として扱えます。

ADC9/T0/NT0/PCNT14 - ホールトBビット6 :PB6

ADC9 : A/D変換器チャネル9入力。A/D変換器チャネル9入力アナログ電源を使用することに注意してください。

T0 : タイマ/カウンタ0の外部クロック入力。

NT0 : 外部割り込み0入力。PB6ピンは外部割り込み元0として扱えます。

PCNT14 : ピッチ変化割り込み元14入力。PB6ピンはピッチ変化割り込み群に対する外部割り込み元として扱えます。

ADC8/OC1D/XTAL2/CLKO/PCNT13 - ホールトBビット5 :PB5

ADC8 : A/D変換器チャネル8入力。A/D変換器チャネル8入力アナログ電源を使用することに注意してください。

OC1D : タイマ/カウンタ0の比較D一致出力。PB5ピンは出力として設定(DDB5=1)されると、タイマ/カウンタ0の比較D一致用外部出力として扱えます。このOC1Dピンはタイマ機能のPWM動作出力ピンでもあります。

XTAL2 : システムクロック発振器ピン2。クリスタル用発振器または低周波数クリスタル用発振器用クロックピンとして使用します。クロックピンとして使用されると、このピンはI/Oピンとして使用できません。

CLKO : システムクロック出力。分周したシステムクロックはPB5ピンに出力できます。分周したシステムクロックは、CKOUTレジスタがプログラム(0)されると、PORTB5とDDB5設定に拘らず出力されます。これはリセット中にも出力されます。

PCNT13 : ピッチ変化割り込み元13入力。PB5ピンはピッチ変化割り込み群に対する外部割り込み元として扱えます。

ADC7/OC1D/XTAL1/CLKI/PCNT12 - ホールトBビット4 :PB4

ADC7 : A/D変換器チャネル7入力。A/D変換器チャネル7入力アナログ電源を使用することに注意してください。

OC1D : タイマ/カウンタ0の比較D一致反転出力。PB4ピンは出力として設定(DDB4=1)されると、タイマ/カウンタ0の比較D一致用外部出力として扱えます。このOC1Dピンはタイマ機能のPWM動作反転出力ピンでもあります。

XTAL1/CLKI : システムクロック発振器ピン1。内部RC発振器を除く全てのチップクロック用クロックピンとして使用されます。クロックピンとして使用されると、このピンはI/Oピンとして使用できません。





PCNT12 :ピンの変化割り込み元 12入力。PB4ピンはピンの変化割り込み 群に対する外部割り込み元として扱えます。

OC1B/PCNT11 - ホールビット3 :PB3

OC1B :タイマ/カウンタ10の比較B一致出力。PB3ピンはタイマ/カウンタ10の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定 (DDB3=1)されなければなりません。このOC1Bピンはタイマ機能のPWM動作出力ピンでもあります。

PCNT11 :ピンの変化割り込み元 11入力。PB3ピンはピンの変化割り込み 群に対する外部割り込み元として扱えます。

OC1B/SCK/USCK/SCL/PCNT10 - ホールビット2 :PB2

OC1B :タイマ/カウンタ10の比較B一致反転出力。PB2ピンは出力として設定 (DDB2=1)されると、タイマ/カウンタ10の比較B一致用外部出力として扱えます。このOC1Bピンはタイマ機能のPWM動作反転出力ピンでもあります。

SCK :SPIリアルタイムプログラミング用クロック入力。

USCK :3線動作USのクロック出力。

SCL :2線動作USI(TWI)のクロック出力。

PCNT10 :ピンの変化割り込み元 10入力。PB2ピンはピンの変化割り込み 群に対する外部割り込み元として扱えます。

OC1A/MISO/DO/PCNT9 - ホールビット1 :PB1

OC1A :タイマ/カウンタ10の比較A一致出力。PB1ピンは出力として設定 (DDB1=1)されると、タイマ/カウンタ10の比較A一致用外部出力として扱えます。このOC1Aピンはタイマ機能のPWM動作出力ピンでもあります。

MISO :SPIリアルタイムプログラミング用データ出力。

DO :3線動作USのデータ出力。データ出力 (DO)はPORTB1値を無効にし、データ方向 (DDB1)ビットがセット(1)されると、ホールが駆動されます。方向が入力でPORTB1がセット(1)されるなら、PORTB1は未だフルアップを許可します。

PCNT9 :ピンの変化割り込み元 9入力。PB1ピンはピンの変化割り込み 群に対する外部割り込み元として扱えます。

OC1A/DI/SDA/PCNT8 - ホールビット0 :PB0

OC1A :タイマ/カウンタ10の比較A一致反転出力。PB0ピンは出力として設定 (DDB0=1)されると、タイマ/カウンタ10の比較A一致用外部出力として扱えます。このOC1Aピンはタイマ機能のPWM動作反転出力ピンでもあります。

DI :3線動作USのデータ入力。3線動作USは標準ホール機能を無効にしませんので、ピンはD機能入力として設定しなければなりません。

SDA :3線動作USのデータ入出力 (オープンドレイン出力)。シリアルデータピンは双方向でオープンドレイン出力を使用します。SDAピンは出力として、このピンを設定することによって許可されます。このピンはDDB0がセット(1)されるときにPORTB0またはUSシフトレジスタ出力が0のとき、Lowに引き込まれます。フルアップは3線動作USで禁止されます。

PCNT8 :ピンの変化割り込み元 8入力。PB0ピンはピンの変化割り込み 群に対する外部割り込み元として扱えます。



表 12-7と表 12-8は $\bar{P}0$ - $\bar{P}A$ の兼用機能を 36頁の図 12-5で示される兼用信号に関連付けます。

表 12-7. $\bar{P}0$ - $\bar{P}B7$ の兼用機能用兼用信号

信号名	PB7/ADC10/RESET/dV /PC NT15	PB6/ADC9/T0/NT0 /PC NT14	PB5/ADC8/OC1D /XTAL2/CLKO/PC NT13	PB4/ADC7/OC1D /XTAL1/CLKI/PC NT12
PUOE	RSTD ISBL・dV許可	0	外部用発振器 外部クロック	内部クロック
PUOV	1	0	0	0
DDOE	RSTD ISBL・dV許可	0	外部用発振器 外部クロック	内部クロック
DDOV	dV送信	0	0	0
PVOE	0	0	OC1D許可	OC1D許可
PVOV	0	0	OC D	$\overline{OC D}$
PTOE	0	0	0	0
DEOE	(PC E1・PC NT15) +RSTD ISBL+ADC10D	(PC E1・PC NT14)+ADC9D	(PC E1・PC NT13)+ADC8D +内部クロック外部クロック	(PC E1・PC NT12)+ADC7D +内部クロック
DEOV	ADC10D	ADC9D	(内部クロック外部クロック) +ADC8D	内部クロック・ADC7D
DI	PC NT15入力	T0/NT0/PC NT14入力	PC NT13入力	PC NT12入力
AD	RESET/ADC10入力	ADC9入力	発振器出力 ADC8入力	発振器入力 ADC7入力

- 注：・RSTD ISBLはRSTD ISBLヒューズがプログラム(0)時に1です。
 ・dV (デジタルバックワレ)はDWENヒューズがプログラム(0)で、且つロックビットが非プログラム(1)の時に許可されます。
 ・外部用発振器はシステムクロックとして水晶用発振器または低周波数水晶用発振器の選択時です。
 ・外部クロックはシステムクロックとして外部クロック信号の選択時です。
 ・内部クロックはシステムクロックとして内部のRC発振器選択時です。

表 12-8. $\bar{P}0$ - $\bar{P}B3$ の兼用機能用兼用信号

信号名	PB3/OC1B/PC NT11	PB2/ $\overline{OC1B}$ /SCK/USCK /SCL/PC NT10	PB1/OC1A/MISO/DO /PC NT9	PB0/ $\overline{OC1A}$ /MOSI/DI /SDA/PC NT8
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	2線 USI・USPOS	0	2線 USI・USPOS
DDOV	0	(SCL保持+PORTB2) ・DDB2・USPOS	0	(SDA+PORTB0) ・DDB0・USPOS
PVOE	OC1B許可	(2線 USI・DDB0・USPOS) +OC1B許可	3線 USI・USPOS +OC1A許可	(2線 USI・DDB0・USPOS) +OC1A許可
PVOV	OC1B	OC1B	(DO・USPOS)+OC1A	OC1A
PTOE	0	USI_PTOE・USPOS	0	0
DEOE	PC E1・PC NT11	(PC E1・PC NT10) +(USI SE・USPOS)	PC E1・PC NT9	(PC E1・PC NT8) +(USI SE・USPOS)
DEOV	0	0	0	0
DI	PC NT11入力	USCK/SCL/PC NT10入力	PC NT9入力	DI/SDA/PC NT8入力
AD	-	-	-	-





12.4. I/Oポート用レジスタ

12.4.1. MCU制御レジスタ (MCU Control Register) MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	PUD	SE	SM1	SM0	-	SC01	SC00	MCUCR
Read/W rite	R	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット72 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

ビット4 - PUD :プルアップ禁止 (Pull-up D isable)

このビットが1を書かれると、例えばDDxnとPORTxnレジスタがプルアップを許可 (DDxn=0, PORTxn=1)に設定されていても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては34頁の「ピンの設定」をご覧ください。

12.4.2. ポートA出力レジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.3. ポートA方向レジスタ (Port A Data D irection Register) DDRA

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.4. ポートA入力レジスタ (Port A Input Address) PNA

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	PNA7	PNA6	PNA5	PNA4	PNA3	PNA2	PNA1	PNA0	PNA
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

12.4.5. ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.6. ポートB方向レジスタ (Port B Data D irection Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.4.7. ポートB入力レジスタ (Port B Input Address) PNB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	PNB7	PNB6	PNB5	PNB4	PNB3	PNB2	PNB1	PNB0	PNB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	



13. タイマ/カウンタの前置分周器

タイマ/カウンタはシステムクロック(CSn2-0=00設定)により直接的にクロック駆動できます。これはシステムクロック周波数(f_{clk_IO})と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使用できます。この前置分周したクロックは $f_{clk_IO}/8$, $f_{clk_IO}/64$, $f_{clk_IO}/256$, $f_{clk_IO}/1024$ の何れかの周波数です。詳細については次頁の表13-1をご覧ください。

13.0.1. 前置分周器リセット

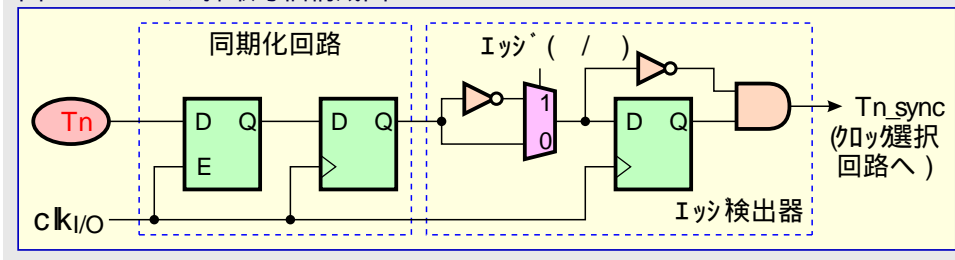
この前置分周器は自由走行です(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作します)。前置分周器はタイマ/カウンタのクロック選択により影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使用される状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によりクロック駆動される(CSn2-0=5~2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステムクロックサイクル数は、Nが前置分周値(8, 64, 256, 1024とすると、 $1 \sim N+1$ システムクロックサイクルになり得ます。プログラム実行にタイマ/カウンタを同期することに対して前置分周器リセットを使用することが可能です。

13.0.2. 外部クロック

T0ピンに印加した外部クロック元はタイマ/カウンタクロック(f_{clk_T0})として使用できます。このT0ピンはピン同期化論理回路により全システムクロックサイクルに1回採取されます。この同期化採取された信号は、その後エッジ検出器を通して通過されます。図13-1はT0同期化とエッジ検出器論理回路の機能等価構成図を示します。レジスタは内部システムクロック(f_{clk_IO})の立ち上りエッジでクロック駆動されます。ラッチは内部システムクロックのHigh区間で通過(Low区間で保持)です。

エッジ検出器は立ち上りエッジ(CSn2-0=111)または立ち下りエッジ(CSn2-0=110)の検出毎に、一つのclockパルスを生成します。詳細については次頁の表13-1をご覧ください。

図13-1. T0ピンの採取等価構成図



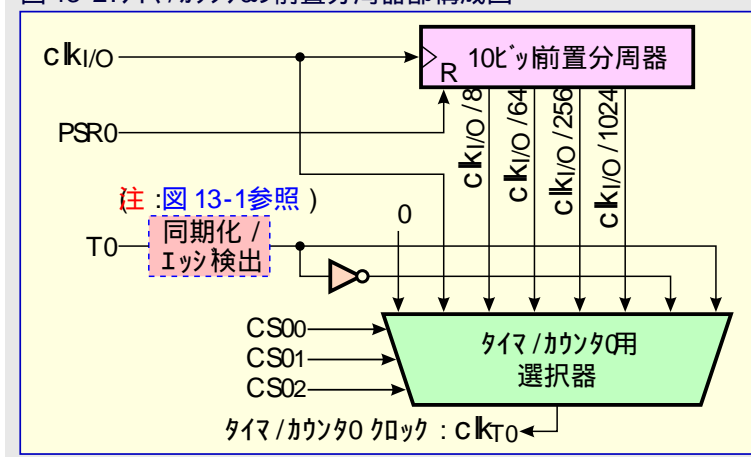
同期化とエッジ検出器論理回路はT0ピンへ印加したエッジからカウンタが更新されるまでに2.5~3.5システムクロックサイクルの遅延をもたらします。

クロック入力の許可と禁止はT0の最低1システムクロックサイクルに対して安定してしまっている時に行われなければならない、さもなければ不正なタイマ/カウンタクロックパルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システムクロックサイクルより長くなければなりません。この外部クロックは50%/50% duty比で与えられるとし、システムクロック周波数の半分未満($f_{EXTCLK} < f_{clk_IO}/2$)であることが保証されなければなりません。エッジ検出器が採取を使用するため、検出できる外部クロックの最大周波数はサンプリング周波数の半分です(ナイキストのサンプリング定理)しかしながら、発振元(クリスタル発振子、セラミック振動子、コンデンサ)により引き起こされたシステムクロック周波数やduty比の変動のため、外部クロックの最大周波数は $f_{clk_IO}/2.5$ 未満が推奨されます。

外部クロック元は前置分周できません。

図13-2. タイマ/カウンタの前置分周器部構成図





13.1. タイマ/カウンタ前置分周器関係レジスタ

13.1.1. タイマ/カウンタ制御レジスタB (Timer/Counter 0 Control Register B) TCCR0B

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	-	-	-	TSM	PSR0	CS02	CS01	CS00	TCCR0B
Read/W rite	R/W	R/W	R/W	R/W	W	W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット4 - TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSMビットに1を書くことはタイマ/カウンタ同期化動作を活性有効にします。この動作でPSR0へ書かれる値は保持され、従って前置分周器リセット信号の有効を保持します。これはタイマ/カウンタを停止し、設定中に進行する危険なしに設定できることを保証します。TSMビットが0を書かれると、PSR0ビットはハードウェアによりクリア(0)され、タイマ/カウンタが計数を始めます。

ビット3 - PSR0 : タイマ/カウンタ前置分周器リセット (Prescaler Reset Timer/Counter 0)

このビットが1のとき、タイマ/カウンタの前置分周器はリセットします。TSMビットがセット(1)されている場合を除き、通常、このビットはハードウェアにより直ちにクリア(0)されます。

ビット2,1,0 - CS02 CS01 CS00 : クロック選択0 (Clock Select0, bit 2,1 and 0)

このクロック選択ビット2,1,0はタイマ/カウンタ(TCNT0)の前置分周する供給元を定義します。

表 13-1. タイマ/カウンタ入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk _{I/O} 前置分周なし)
0	1	0	clk _{I/O} / 8 (8分周)
0	1	1	clk _{I/O} / 64 (64分周)
1	0	0	clk _{I/O} / 256 (256分周)
1	0	1	clk _{I/O} / 1024 (1024分周)
1	1	0	T0ピン [†] の立ち下りエッジ [†] (外部クロック)
1	1	1	T0ピン [†] の立ち上りエッジ [†] (外部クロック)

外部ピン(クロック動作がタイマ/カウンタに対して使用される場合、例えばT0ピン[†]が出力として設定されても、T0ピン[†]の遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。



14. タイマ/カウンタ

14.1 特徴

- 比較一致でのタイマ/カウンタクリア (自動再設定)
- 捕獲 (キャプチャ) 入力部
- 4つの独立した割り込み (TOV0, OCF0A, OCF0B, CF0)
- 2つの独立した比較部での8ビット動作
- 1つの独立した比較部での16ビット動作

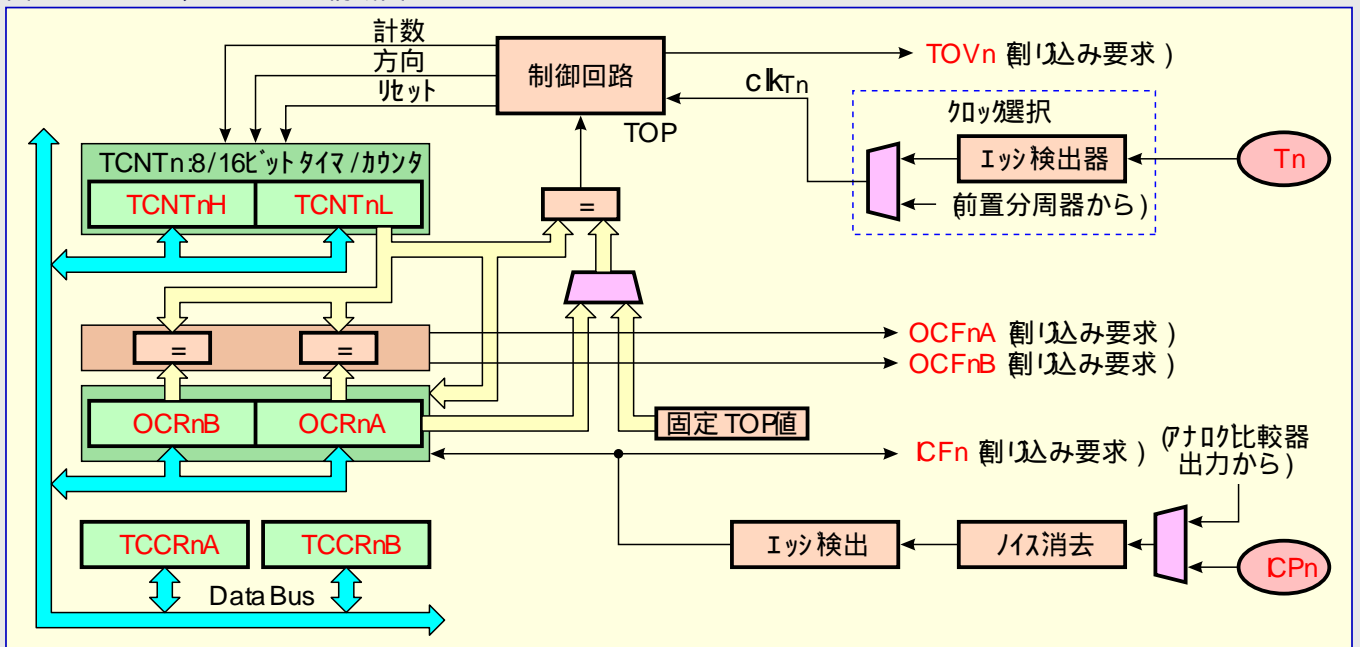
14.2 概要

タイマ/カウンタは2/1つの比較出力部と捕獲入力を持つ汎用8/16ビットタイマ/カウンタ部です。

タイマ/カウンタの一般動作は8/16ビット動作で記述されます。この8/16ビットタイマ/カウンタの簡単化した構成図は図14-1で示されます。実際のI/Oピン配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤字(訳注:原文太字)で示されます。レジスタ仕様のI/Oレジスタとビット位置は5頁の「タイマ/カウンタ用レジスタ」で示されます。

2頁の電力削減レジスタ(PRR)のPRR1M1ビットはタイマ/カウンタ部を許可するために0を書かれなければなりません(訳注:行追加)

図14-1. 8/16ビットタイマ/カウンタ構成図



14.2.1 関係レジスタ

タイマ/カウンタの下位バイト(TCNT0L)レジスタ、比較レジスタ(OCR0A, OCR0B)は8ビットレジスタです。図14-1で省略された割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR)で全て見えます。すべての割り込みはタイマ/カウンタ割り込みマスクレジスタ(TMSK)で個別に遮蔽禁止されます。TIFRとTMSKは、この図で示されません。

16ビット動作のタイマ/カウンタには更に1つの8ビットレジスタ、タイマ/カウンタ上位バイト(TCNT0H)レジスタがあります。尚、2つの比較レジスタのOCR0AとOCR0Bは1つの16ビット比較レジスタに組み合わせられるので、16ビット動作では1つの比較部だけです。OCR0Aは語の下位バイトを含み、OCR0Bは語の上位バイトを含みます。16ビットレジスタをアクセスするとき、5頁の「16ビット動作でのレジスタアクセス項」で記述される特別な手順に従わなければなりません。

14.2.2 定義

本項でのレジスタとビット参照の多くは一般形で書かれます。小文字の'nはタイマ/カウンタ番号、この場合は0で置き換えます。小文字の'Aは比較出力部のチャネル名を表し、この場合はAまたはBです。然しながらプログラムでレジスタまたはビット定義を使用するときは正確な形式が使用されなければなりません(例えばタイマ/カウンタのカウンタ値のアクセスに対してのTCNT0Lのように)

表14-1の定義は本資料を通じて広範囲にわたっても使用されます。

表14-1 用語定義

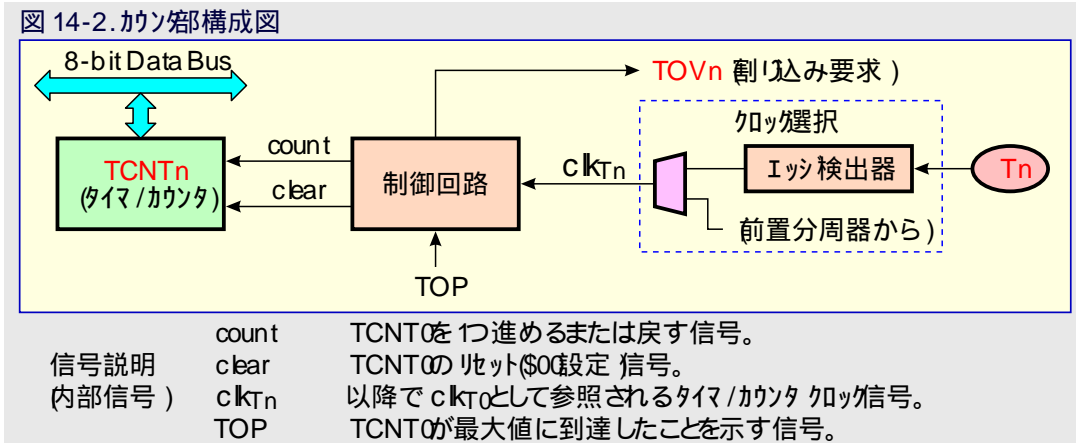
用語	意味
BOTTOM	タイマ/カウンタが\$00/\$0000に到達した時。
MAX	タイマ/カウンタが8ビット動作で\$FF(255)または16ビット動作で\$FFFF(65536)に到達した時。
TOP	タイマ/カウンタが計数内の最大値と等しくなるTOPに到達した時。TOP値は固定値(\$FF/\$FFFF)またはOCR0Aレジスタに格納した値を指定できます。

14.3. タイマ/カウンタのクロック

このタイマ/カウンタは内部、前置分周器経由またはT0ピンの外部クロックによりクロック駆動できます。クロック選択論理回路はタイマ/カウンタ制御レジスタB(TCCRB)に配置されたクロック選択(CS02~0)ビットによって制御され、タイマ/カウンタが進行に使用するクロックとエッジを制御します。クロック選択論理回路からの出力はタイマ/カウンタクロック(clk_{T0})として参照されます。クロックと前置分周器の詳細については43頁の「タイマ/カウンタの前置分周器」をご覧ください。

14.4. カウンタユニット

8ビットタイマ/カウンタの主な部分はプログラム可能な双方向カウンタです。図14-2は、このカウンタとその周辺環境の構成図を示します。



カウンタはTOP値を通過するまで各タイマ/カウンタクロック(clk_{T0})で増加(+1)され、そしてBOTTOMから再計数します。計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCRA)に配置された波形生成種別(WGM00)ビットの設定により決定されます。計数順序については47頁の「動作種別」をご覧ください。 clk_{T0} はクロック選択(CS02~0)ビットにより選択された内部または外部のクロックから生成できます。クロックが選択されない(CS02~0=000)とき、タイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタクロック(clk_{T0})が存在するしないに拘らず、CPUによりアクセスできます。CPU書き込みは全てのカウンタクリアや計数動作を無視します(上位優先順位を持ちます)。

タイマ/カウンタオーバフロー(TOV0)フラグはカウンタが最大値に到達する時に設定(=1)され、それはCPU割り込み発生に使用できます。



14.5.動作種別

動作種別はタイマ/カウンタ制御レジスタ(TCCR0A)の**タイマ/カウンタ幅(TCW0)**、**捕獲入力許可(CEN0)**、**波形生成種別(WGM00)**ビットによって定義されます。表 14-2は各種動作種別を示します。

表 14-2 動作種別

番号	CEN0	TCW0	WGM00	タイマ/カウンタ動作種別	TOP値	OCR0x更新時	TOV(設定時)
0	0	0	0	標準 8ビット動作	\$FF	即時	MAX (\$FF)
1	0	0	1	8ビット比較一致タイマ/カウンタ クリア (CTC 動作)	OCR0A	即時	MAX (\$FF)
2	0	1	x	16ビット動作	\$FFFF	即時	MAX (\$FFFF)
3	1	0	x	8ビット捕獲入力動作	\$FF	即時	MAX (\$FF)
4	1	1	x	16ビット捕獲入力動作	\$FFFF	即時	MAX (\$FFFF)

14.5.1.標準 8ビット動作

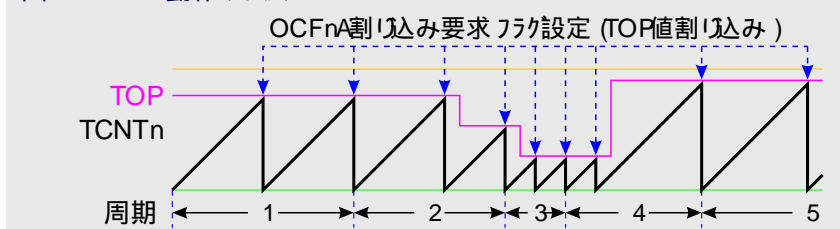
標準 8ビット動作 表 14-2参照 ではタイマ/カウンタ(TCNT0L)が8ビット最大値 MAX=\$FFを通過するまで増加し、そしてBOTTOM (\$00)から再度始めます。オーバーフロー (TOV0)フラグはTCNT0Lが0になるのと同じタイマ/カウンタ クロック サイクルで設定 (1)されます。この場合のTOV0フラグはセット(1)のみでクリア (0)されないことを除いて第9ビットのようになります。けれどもTOV0フラグを自動的にクリア (0)するタイマ/カウンタ0 オーバーフロー割込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。比較部は与えられた或る時間に割込みを生成するために使用できます。

14.5.2. 8ビット比較一致タイマ/カウンタ クリア (CTC 動作)

比較一致タイマ/カウンタ クリア (CTC 動作 表 14-2参照) ではOCR0Aレジスタがカウンタの分解能を操作するために使用されます。CTC動作ではカウンタ(TCNT0)値がOCR0Aと一致すると、カウンタが\$00にクリアされます。OCR0Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図 14-3で示されます。カウンタ(TCNT0)値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後カウンタ(TCNT0)はクリア (\$00)されます。

図 14-3. CTC動作 タイミング



OCFnAフラグを使用することにより、タイマ/カウンタ値がTOP値に達する時毎に割込みが生成できます。割込みが許可されるなら、割込み処理ルーチンはTOP値を更新するために使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作がダブルハーフ機能を持たないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値より低い(小さい)場合、タイマ/カウンタはその回の比較一致を失います。その後カウンタは比較一致が起こるのに先立って、最大値(\$FF)へそして次に\$00から始める計数をしなければならないでしょう。標準動作と同じように、タイマ/カウンタ オーバーフロー (TOV0)フラグはカウンタがMAXから\$00へ計数する同じタイマ/カウンタ クロック サイクルでセット(1)されます。

14.5.3. 16ビット動作

16ビット動作 表 14-2参照) ではカウンタ(TCNT0H/L)が16ビット最大値 MAX=\$FFFFを通過するまで増加し、そしてBOTTOM (\$0000)から再度始めます。オーバーフロー (TOV0)フラグはTCNT0H/Lが0になるのと同じタイマ/カウンタ クロック サイクルで設定 (1)されます。この場合のTOV0フラグはセット(1)のみでクリア (0)されないことを除いて第17ビットのようになります。けれどもTOV0フラグを自動的にクリア (0)するタイマ/カウンタ0 オーバーフロー割込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。比較部は与えられた或る時間に割込みを生成するために使用できます。

14.5.4. 8ビット捕獲入力動作

タイマ/カウンタは8ビット捕獲入力動作にも使用でき、ビット設定については表 14-2をご覧ください。完全な記述に関しては次頁の 捕獲入力部 項をご覧ください。

14.5.5. 16ビット捕獲入力動作

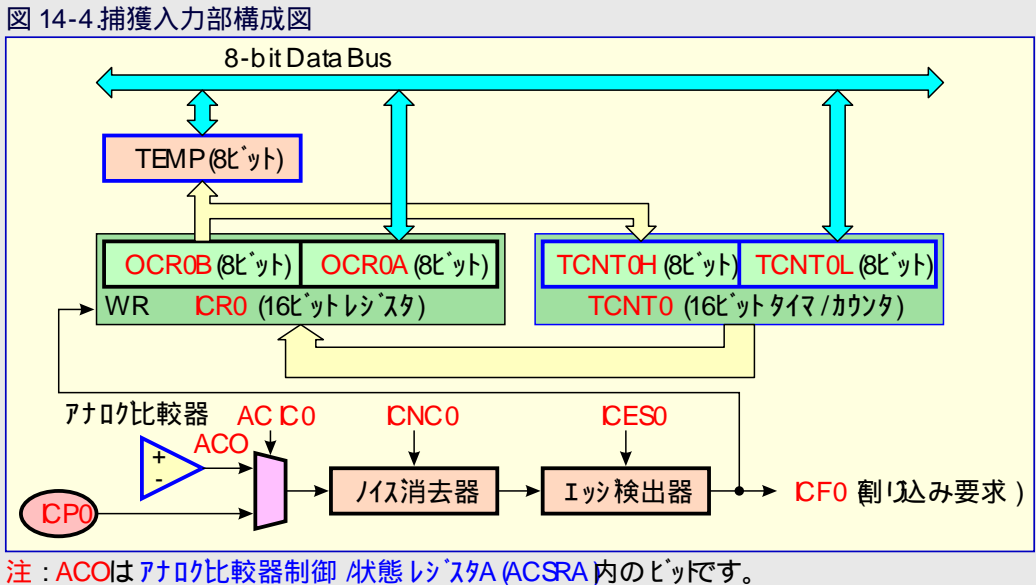
タイマ/カウンタは16ビット捕獲入力動作にも使用でき、ビット設定については表 14-2をご覧ください。完全な記述に関しては次頁の 捕獲入力部 項をご覧ください。



14.6 捕獲 (キャプチャ) 入力部

タイマ/カウンタは外部の出来事を捕獲でき、発生時間を示す時間印 (タイマ/カウンタ値) を与える捕獲入力部と合体します。出来事または複数の出来事を示す外部信号は CP0ピンまたは代わりにアナログ比較器部経由で印加できます。時間印はその後、周波数、デューティ比、印加された信号の他の特徴の計算に使用できます。代わりに時間印は出来事の記録作成にも使用できます。

捕獲入力部は図 14-4で示される構成図により図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠 (訳注 原文は灰色背景) で示されます。



比較AレジスタOCR0Aは8ビット捕獲入力レジスタ(CR0)としても使用される二重目的のレジスタです。16ビット捕獲入力動作での比較BレジスタOCR0Bは捕獲入力レジスタ(CR0)の上位ハイ位扱います。8ビット捕獲入力動作でのOCR0Bは標準比較レジスタとして使用されるために空いていますが、16ビット捕獲入力動作での比較部は空いている比較レジスタがないので、使用できません。本項では捕獲入力レジスタはCR0と呼ばれますが、これは比較レジスタへの参照です。

捕獲起動入力 (CP0)もしくは代わりにアナログ比較器出力 (ACO)で論理レベルの変化 (出来事) が起き、その変化がエッジ検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、カウンタ(TCNT0)の16ビット値が捕獲レジスタ(CR0)に書かれます。捕獲割り込み要求フラグ(CF0)はTCNT0値がCR0に複写されるのと同じシステムクロックでセット(1)されます。許可 (E1, TCE0=1)ならば捕獲割り込み要求フラグは捕獲割り込みを発生します。CF0は割り込みが実行されると自動的にクリア(0)されます。代わりにこのI/Oビット位置に論理1を書くことによりソフトウェアでクリア(0)できます。

14.6.1 捕獲起動元

捕獲入力部に対する既定の起動元は捕獲起動入力 (CP0)ピンです。タイマ/カウンタは捕獲入力部用起動元としてアナログ比較器出力を代わりに使用できます。アナログ比較器はタイマ/カウンタ制御レジスタ(TCCR0A)のアナログ比較器捕獲起動許可(ACIC0)ビットの設定 (=1)によって起動元として選択されます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求フラグ(CF0)は、その変更後にクリア(0)されなければなりません。

捕獲起動入力 (CP0)ピンとアナログ比較器出力 (ACO)の両入力は、T0ピン(43頁の図 13-1参照)についてと同じ技法を使用して採取されます。エッジ検出器も全く同じです。けれどもノイズ除去が許可されると、付加論理回路がエッジ検出器の前に挿入され、そして遅延を4システムクロックサイクル増やします。捕獲入力にはCP0ピンのホ-位制御することによりソフトウェアで起動できます。

14.6.2 ノイズ消去器

ノイズ消去器は簡単なデジタル濾波器機構を使用することによってノイズ耐性を改善します。ノイズ消去器の入力は4採取に渡って監視され、エッジ検出器により使用される方向転換となる出力を変更するためには4回すべてが同じでなければなりません。

ノイズ消去器はタイマ/カウンタ制御レジスタ(TCCR0A)の捕獲入力ノイズ消去許可(CNCO)ビットのセット(1)により許可されます。許可したときに、ノイズ消去器は入力に印加した変更からCR0の更新までに4システムクロックサイクルの追加遅延をもたらします。ノイズ消去器はシステムクロックを使用し、従って前置分周器により影響されません。



14.6.3 捕獲 (キャプチャ) 入力の使用

捕獲入力機能を使用する主な要求 (目的) は、入って来る出来事に対して十分なフロッグ能力を当てがうことです。2つの出来事間の時間が際どいとして、次の出来事が起こる前に捕獲した捕獲レジスタ (OCR0) の値をフロッグが読めなかった場合、OCRは新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

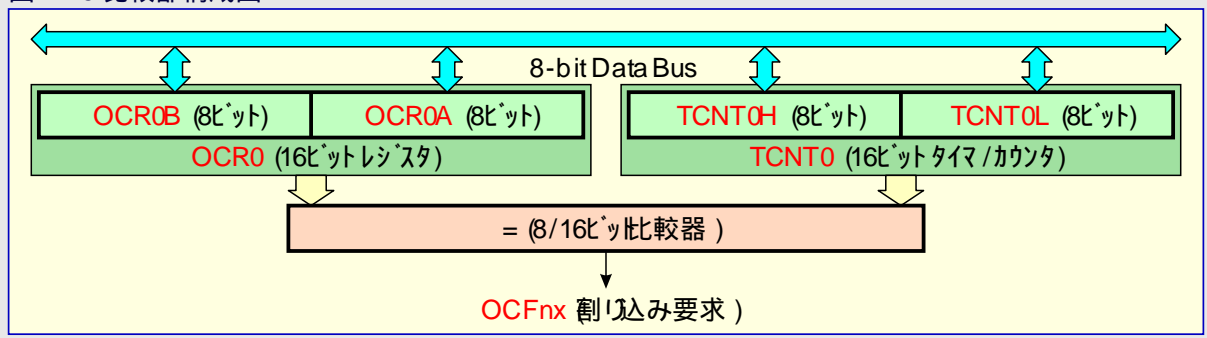
捕獲割り込みを使用するとき、OCRは割り込み処理ルーチンで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求の何れかを扱うために必要とされる最大クロックサイクル数に依存します。

外部信号のデューティ比測定は各捕獲後に起動エッジが変更されることを必要とします。検出エッジの変更はOCRが読まれてしまった後に可能な限り早く行われなければなりません。エッジの変更後、捕獲割り込み要求フラグ (OCF0) はソフトウェア (I/Oビット位置への論理書き込み) によりクリア (0) されなければなりません (戻補エッジ変更によりOCF0がセット (1) されることを想定) 周波数のみの測定については割り込み処理が使用される場合OCFのクリア (0) は必要とされません。

14.7 比較部

この比較器はTCNT0と比較レジスタOCR0AとOCR0Bを継続的に比較し、タイマ/カウンタが比較レジスタと等しい時は必ず、比較器が一致を指示します。この一致は次のタイマ/カウンタクロックサイクルで比較割り込み要求フラグ (OCF0x) をセット (1) します。8ビット動作での一致は比較一致フラグ、OCF0AまたはOCF0Bのどちらをもセット (1) 得ます。16ビット動作での一致は1つの比較部だけのため、比較一致フラグ (OCF0A) だけをセット (1) 得ます。対応する割り込みが許可 (I/OCF0x=1) なら、この比較割り込み要求フラグは比較割り込みを発生します。OCF1xは割り込みが実行されると自動的にクリア (0) されます。代わりにOCF1xはこのI/Oビット位置に論理1を書くことによってソフトウェアでクリア (0) できます。図 14-5は比較部の構成図を示します。

図 14-5 比較部構成図



14.7.1. TCNT0書き込みによる比較一致妨害

TCNT0H/Lへの全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロックサイクルで起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されているときに、割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0A/Bに許します。

14.7.2. 比較一致部の使用

どの動作種別でのTCNT0H/L書き込みでもタイマ/カウンタクロックサイクル間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかないかに拘らず、何れかの比較出力部を使用する場合にTCNT0H/Lを変更するときは危険を伴います。TCNT0H/Lに書かれた値がOCR0A/B値と同じ場合、比較一致は失われます (一致が発生しません)。



14.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック(clk_{T0})がクロック許可信号として示されます。この図は割り込みフラグがセット(1)される時の情報を含みます。図 14-6は基本的なタイマ/カウンタ動作についてのタイミング図を含みます。この図はMAX値近辺の計数の流れを示します。

図 14-6.前置分周なし(1/1)のタイマ/カウンタタイミング

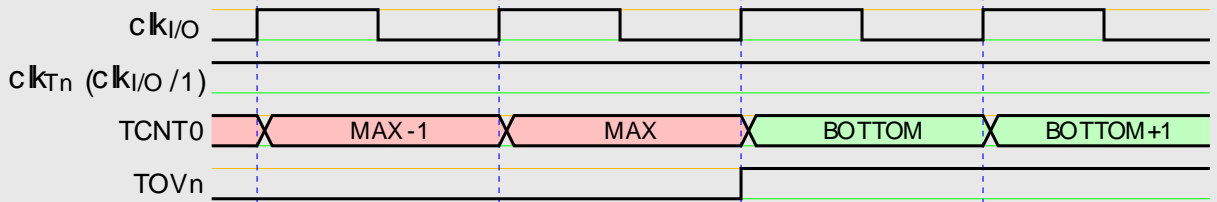


図 14-7は同じタイミング図を示しますが、前置分周器が許可されています。

図 14-7.前置分周器 ($clk_{I/O} / 8$)のタイマ/カウンタタイミング

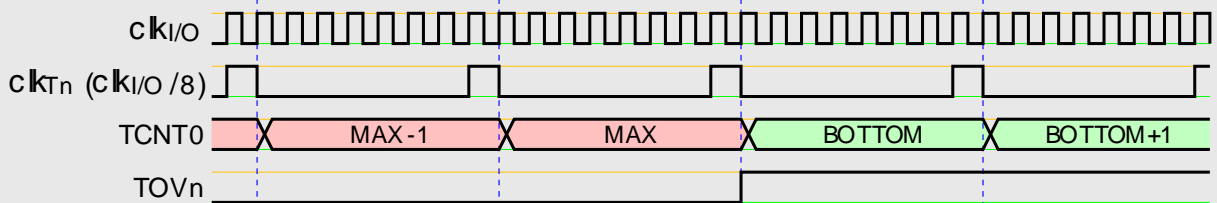


図 14-8は標準動作でのOCF0AとOCF0Bの設定(0 1)を示します。

図 14-8.前置分周器 ($clk_{I/O} / 8$)のタイマ/カウンタ OCF0A設定 タイミング

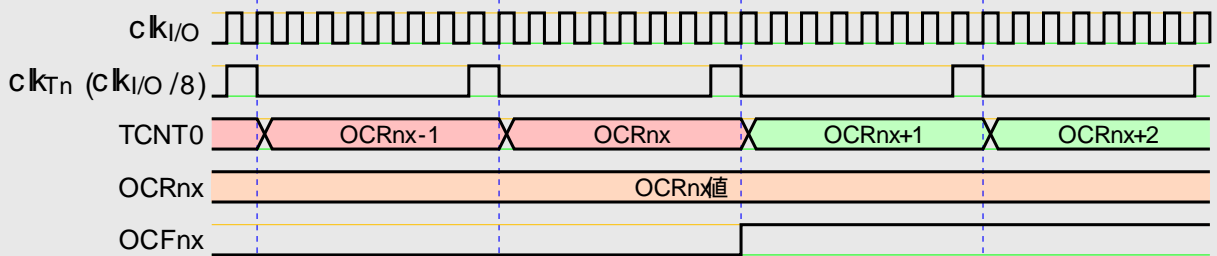
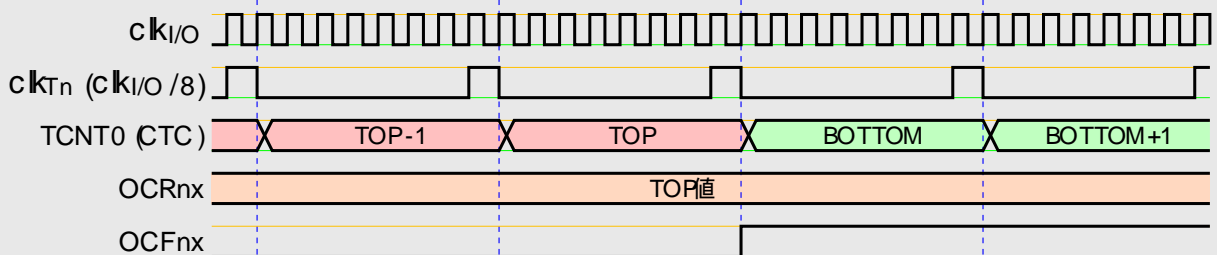


図 14-9はCTC動作でのTCNT0のクリアとOCF0Aの設定(0 1)を示します。

図 14-9.前置分周器 ($clk_{I/O} / 8$)のタイマ/カウンタ OCF0A設定 タイミング



14.9. 16ビット動作でのレジスタアクセス

16ビット動作 (TCCR0Aのタイマ/カウンタ幅 (TCW0)ビットが1に設定)でのTCNT0H/LとOCR0A/BまたはTCNT0L/HとOCR0B/Aは8ビットバス経由でAVR CPUによってアクセスできる16ビットレジスタです。この16ビットレジスタは2回の読みまたは書き操作を使用してバイトアクセスされなければなりません。16ビットタイマ/カウンタは16ビットアクセスの上位バイトの一時保存用に1つの8ビットレジスタを持ちます。全ての16ビットレジスタ間で、この同じ一時レジスタが共用されます。下位バイトアクセスが16ビット読み書き動作を起動します。16ビットレジスタの下位バイトがCPUによって書かれると、一時レジスタに保存した上位バイト書かれた下位バイトは同じクロックサイクルで16ビットレジスタに両方複写されます。16ビットレジスタの下位バイトがCPUによって読まれると、16ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロックサイクルで一時レジスタに複写されます。

一時レジスタ使用に1つの例外があります。比較動作での16ビット比較レジスタ(OCR0A, OCR0B)は、比較レジスタがCPUアクセスによってのみ変更される固定値を含むため、一時レジスタなしに読まれます。けれどもOCR0AとOCR0Bによって形成された捕獲入力動作でのICR0レジスタは一時レジスタとでアクセスされなければなりません。

16ビット書き込みを行うために、上位バイトは下位バイトに先立ち書かれなければなりません。16ビット読み込みについては下位バイトが上位バイト前に読まれなければなりません。

次のコード例は割り込みが一時レジスタを更新しないことが前提の16ビットタイマ/カウンタレジスタのアクセス法を示します。OCR0A/Bレジスタのアクセスに対して同じ原理が直接的に使用できます。

```

アセンブリ言語プログラム例
~
LDI    R17, $01
LDI    R16, $FF
OUT    TCNT0H, R17
OUT    TCNT0L, R16

IN     R16, TCNT0L
IN     R17, TCNT0H
~

;
; [16ビット($01FF書き込み) ]
; $01FFの上位バイト取得
; $01FFの下位バイト取得
; 上位バイト設定 (一時レジスタ)
; 下位バイト設定 (一時レジスタ 上位バイト)
; [16ビット読み込み]
; 下位バイト取得 (上位バイト 一時レジスタ)
; 上位バイト取得 (一時レジスタ)
;

C言語プログラム例
unsigned int i;
~

TCNT0H = 0x01;
TCNT0L = 0xFF;

i = TCNT0L;
i |= ((unsigned int)TCNT0H<<8);
~

/* */
/* [16ビット($01FF書き込み) */
/* 上位バイト設定 (一時レジスタ) */
/* 下位バイト設定 (一時レジスタ 上位バイト) */
/* [16ビット読み込み] */
/* 下位バイト取得 (上位バイト 一時レジスタ) */
/* 上位バイト取得 (一時レジスタ合成) */
/* */

```

注: 4頁の「コード例について」をご覧ください。

アセンブリ言語コード例はR17/R16レジスタに対してTCNT0H/L値を戻します。16ビットレジスタアクセスが非分断操作であることに注意することが重要です。16ビットレジスタをアクセスする命令間で割り込みが起き、割り込みコードがその16ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることによって一時レジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方が一時レジスタを更新するとき、主コードは16ビットアクセス中の割り込みを禁止しなければなりません。





次のコード例は TCNT0H/Lレジスタ内容の非分断読み込み法を示します。同じ原理を使用することにより OCR0A/Bのどんな読み込みも行えます。

```

アセンブリ言語プログラム例
RD_TCNT0:   IN      R18,SREG           現全割込み許可フラグ(1)を保存
            CLI                    全割込み禁止
            IN      R16,TCNT0L       ;TCNT0下位ハイ取得(上位バイト 一時レジスタ)
            IN      R17,TCNT0H       ;TCNT0上位ハイ取得(一時レジスタ)
            OUT     SREG,R18         全割込み許可フラグ(1)を復帰
            RET                    呼び出し元へ復帰

C言語プログラム例
unsigned int TIM16_Read_TCNT0(void)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                   /* TCNT0読み出し変数定義 */
    sreg = SREG;                      /* 現全割込み許可フラグ(1)を保存 */
    _CLI();                            /* 全割込み禁止 */
    i = TCNT0L;                       /* 下位ハイ取得(上位バイト 一時レジスタ) */
    i |= ((unsigned int)TCNT0H<<8);    /* 上位ハイ取得(一時レジスタ合成) */
    SREG = sreg;                      /* 全割込み許可フラグ(1)を復帰 */
    return i;                          /* TCNT0値で呼び出し元へ復帰 */
}

```

注: 4頁の「コード例について」をご覧ください。

アセンブリ言語コード例はR17/R16レジスタ宛にTCNT0H/L値を戻します。

次のコード例はTCNT0H/Lレジスタ内容の非分断書き込み法を示します。同じ原理を使用することにより OCR0A/Bのどんな書き込みも行えます。

```

アセンブリ言語プログラム例
WR_TCNT0:   IN      R18,SREG           現全割込み許可フラグ(1)を保存
            CLI                    全割込み禁止
            OUT     TCNT0H,R17       ;TCNT0上位ハイ設定(一時レジスタ)
            OUT     TCNT0L,R16       ;TCNT0下位ハイ設定(一時レジスタ 上位バイト)
            OUT     SREG,R18         全割込み許可フラグ(1)を復帰
            RET                    呼び出し元へ復帰

C言語プログラム例
void TIM16_Write_TCNT0(unsigned int i)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                   /* TCNT0書き込み変数定義 */
    sreg = SREG;                      /* 現全割込み許可フラグ(1)を保存 */
    _CLI();                            /* 全割込み禁止 */
    TCNT0H = (i>>8);                 /* 上位ハイ設定(一時レジスタ) */
    TCNT0L = (unsigned char)i;        /* 下位ハイ設定(一時レジスタ 上位バイト) */
    SREG = sreg;                      /* 全割込み許可フラグ(1)を復帰 */
}

```

注: 4頁の「コード例について」をご覧ください。

アセンブリ言語コード例はR17/R16レジスタ宛がTCNT0H/Lへ書かれるべき値を含む必要があります。

14.9.1.上位バイト一時レジスタの再使用

書かれる全レジスタについて上位ハイが同じ複数16ビットレジスタ書き込みならば、上位ハイは一度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。



14.10. タイマ/カウンタ用レジスタ

14.10.1. タイマ/カウンタ制御レジスタA (Timer/Counter0 Control Register A) TCCR0A

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	TCW0	CEN0	CNC0	CES0	ACIC0	-	-	WGM00	TCCR0A
Read/W rite	R/W	R/W	R/W	R/W	R/W	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - TCW0 : タイマ/カウンタ幅 (Timer/Counter0 Width)

このビットが1書かれると、47頁の「16ビット動作」で記述されるように、16ビット動作が選択されます。タイマ/カウンタの幅が16ビットに設定され、比較レジスタのOCR0AとOCR0Bが1つの16ビット比較レジスタを形成するために組み合わせられます。16ビットレジスタのTCNT0H/LとOCR0B/Aは8ビットデータバス経由でAVR CPUによってアクセスされるので、特別な手順に従わなければなりません。これらの手順は51頁の「16ビット動作でのレジスタアクセス」項で記述されます。

ビット6 - CEN0 : 捕獲入力動作許可 (Input Capture Mode Enable)

このビットが1書かれると、捕獲入力動作が許可されます。

ビット5 - CNC0 : 捕獲 (キャプチャ) 起動入力ノイズ消去許可 (Input Capture Noise Canceler)

このビットを1に設定することは捕獲起動入力ノイズ消去器を活性 (有効) にします。ノイズ消去器が有効にされると、捕獲起動入力 (CP0ピン)からの入力が増幅されます。この増幅器機能はそれが出力を更新することに対して連続4回等しく評価されたCP0ピンの採取を必要とします。ノイズ消去器が許可されると、捕獲入力はこれによって発振器 (システムクロック)に遅らされます。

ビット4 - CES0 : 捕獲 (キャプチャ) 起動入力エッジ選択 (Input Capture Edge Select)

このビットは出来事での捕獲を起動するために使用される捕獲起動入力 (CP0ピン)のどちらかのエッジを選択します。CES0ビットが0書かれると起動動作として立ち下り (負) エッジが使用され、CES0ビットが1書かれると立ち上り (正) エッジが捕獲を起動します。捕獲がCES0設定に従って起動されると、カウンタ値が捕獲レジスタ (OCR0B/A) に複写されます。この出来事は捕獲入力割り込み要求フラグ (CF0)もセット(1)し、そしてこれは、この割り込みが許可されていれば捕獲入力割り込みを起こすために使用できます。

ビット3 - ACIC0 : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

論理1書かれると、このビットはアナログ比較器によって起動されるタイマ/カウンタの捕獲 (キャプチャ) 機能を許可します。この場合、比較器出力は比較器にタイマ/カウンタ捕獲割り込みのノイズ消去機能とエッジ選択機能を利用させる捕獲入力前置論理回路へ直接的に接続されます。論理0書かれると、アナログ比較器と捕獲機能間の接続は存在しません。比較器がタイマ/カウンタ捕獲割り込みを起動するには、タイマ/カウンタ割り込みマスクレジスタ (TMSK)の捕獲割り込み許可 (TCIE0)ビットがセット(1)されなければなりません。

ビット2,1 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

ビット0 - WGM00 : 波形生成種別 (Waveform Generation Mode)

このビットは、カウンタの計数順序 (方向) 最大カウンタ (TOP) 値の供給元を制御します。47頁の表 14-2をご覧ください。タイマ/カウンタによって支援される動作種別は標準動作 (カウンタと比較一致タイマ/カウンタクリア (CTC) 動作です。47頁の「動作種別」をご覧ください。





14.10.2. タイマ/カウンタ0下位バイト (Timer/Counter0 Register Low Byte) TCNT0L

ビット	7	6	5	4	3	2	1	0	
\$32 (\$52)	MSB							LSB	TCNT0L
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタレジスタ下位バイト(TCNT0L)は読み書き両方についてタイマ/カウンタの8ビットカウンタに直接アクセスします。TCNT0Lレジスタへの書き込みは次のタイマ/カウンタクロックでの比較一致を妨害除去します。カウンタが走行中にカウンタ(TCNT0L)を変更することは、OCR0xとTCNT0L間の比較一致消失の危険を誘発します。16ビット動作でのTCNT0Lレジスタは16ビットタイマ/カウンタ0レジスタの下位部を含みます。

14.10.3. タイマ/カウンタ0上位バイト (Timer/Counter0 Register High Byte) TCNT0H

ビット	7(15)	6(14)	5(13)	4(12)	3(11)	2(10)	1(9)	0(8)	
\$14 (\$34)	MSB							LSB	TCNT0H
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

16ビット動作が選択(TCCR0AのTCW0=1)されると、タイマ/カウンタ0上位レジスタ(TCNT0H)はタイマ/カウンタ0下位レジスタ(TCNT0L)と組み合わせられ、読み書き両方についてタイマ/カウンタの16ビットカウンタに直接アクセスします。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に読み書きされるのを保証するため、このアクセスは8ビット上位バイトレジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。5頁の「16ビット動作でのレジスタアクセス」をご覧ください。

14.10.4. タイマ/カウンタ0比較Aレジスタ (Timer/Counter0 Output Compare A Register) OCR0A

ビット	7	6	5	4	3	2	1	0	
\$13 (\$33)	MSB							LSB	OCR0A
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較Aレジスタは継続的にカウンタ(TCNT0L)値と比較される8ビットの値を含みます。一致は比較一致割り込みを生成するために使用できます。

16ビット動作でのOCR0Aレジスタは16ビット比較レジスタの下位バイトを含みます。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイトレジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。5頁の「16ビット動作でのレジスタアクセス」をご覧ください。

14.10.5. タイマ/カウンタ0比較Bレジスタ (Timer/Counter0 Output Compare B Register) OCR0B

ビット	7(15)	6(14)	5(13)	4(12)	3(11)	2(10)	1(9)	0(8)	
\$12 (\$32)	MSB							LSB	OCR0B
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較Bレジスタは継続的にカウンタ(8ビット動作でのTCNT0Lまたは16ビット動作でのTCNT0H)値と比較される8ビットの値を含みます。一致は比較一致割り込みを生成するために使用できます。

16ビット動作でのOCR0Bレジスタは16ビット比較レジスタの上位バイトを含みます。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイトレジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。5頁の「16ビット動作でのレジスタアクセス」をご覧ください。



14.10.6. タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter Interrupt Mask Register) TMSK

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	OCIE1D	OCIE1A	OCIE1B	OCIE0A	OCIE0B	TOE1	TOE0	TCE0	TMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット4 - OCIE0A : タイマ/カウンタ0比較A割り込み許可 (Timer/Counter0 Output Compare Match A Interrupt Enable)
 OCIE0Aビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IFLビット)がセット(1)されると、タイマ/カウンタ比較A一致割り込みが許可されます。タイマ/カウンタ0で比較A一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で比較A割り込み要求フラグ(OCF0A)がセット(1)されると、対応する割り込みが実行されます。

ビット3 - OCIE0B : タイマ/カウンタ0比較B割り込み許可 (Timer/Counter0 Output Compare Match B Interrupt Enable)
 OCIE0Bビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IFLビット)がセット(1)されると、タイマ/カウンタ比較B一致割り込みが許可されます。タイマ/カウンタ0で比較B一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で比較B割り込み要求フラグ(OCF0B)がセット(1)されると、対応する割り込みが実行されます。

ビット1 - TOE0 : タイマ/カウンタ0オーバーフロー割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)
 TOE0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IFLビット)がセット(1)されると、タイマ/カウンタ0オーバーフロー割り込みが許可されます。タイマ/カウンタ0でオーバーフローが起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ0オーバーフロー割り込み要求(TOV0)フラグがセット(1)されると、対応する割り込みが実行されます。

ビット0 - TCE0 : タイマ/カウンタ0捕獲割り込み許可 (Timer/Counter0 Input Capture Interrupt Enable)
 このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IFLビット)がセット(1)されると、タイマ/カウンタ0捕獲割り込みが許可されます。タイマ/カウンタ0割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ0捕獲割り込み要求(CF0)フラグがセット(1)されると、対応する割り込み(2頁の「割り込み」参照)が実行されます。

14.10.7. タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	OCF1D	OCF1A	OCF1B	OCF0A	OCF0B	TOV1	TOV0	CF0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット4 - OCF0A : タイマ/カウンタ0比較A割り込み要求フラグ (Timer/Counter0, Output Compare A Match Flag)
 OCF0Aビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0A)間で起こる時にセット(1)されます。対応する割り込み処理へクワを実行すると、OCF0Aはハードウェアによりクリア(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF0Aはクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(IFLビット)、タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ比較A一致割り込み許可(OCIE0A)ビット、OCF0Aがセット(1)されると、タイマ/カウンタ比較A一致割り込みが実行されます。

OCF0Aは16ビット動作でタイマ/カウンタとOCR0B/A内のデフォルトに比較一致が起こる時にもセット(1)されます。OCF0Aは捕獲入力レジスタとしてOCF0Aが使用される時の捕獲入力ではセット(1)されません。

ビット3 - OCF0B : タイマ/カウンタ0比較B割り込み要求フラグ (Timer/Counter0, Output Compare B Match Flag)
 OCF0Bビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0B)間で起こる時にセット(1)されます。対応する割り込み処理へクワを実行すると、OCF0Bはハードウェアによりクリア(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF0Bはクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(IFLビット)、タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ比較B一致割り込み許可(OCIE0B)ビット、OCF0Bがセット(1)されると、タイマ/カウンタ比較B一致割り込みが実行されます。

OCF0Bは16ビット動作で16ビットの比較レジスタまたは捕獲入力レジスタの上位11ビットとして使用される時はセット(1)されません。

ビット1 - TOV0 : タイマ/カウンタ0オーバーフロー割り込み要求フラグ (Timer/Counter0 Overflow Flag)
 TOV0ビットはタイマ/カウンタ(TCNT0)でオーバーフローが起こる時にセット(1)されます。対応する割り込み処理へクワを実行すると、TOV0はハードウェアによりクリア(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV0はクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(IFLビット)、タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ0オーバーフロー割り込み許可(TOE0)ビット、OVF0がセット(1)されると、タイマ/カウンタ0オーバーフロー割り込みが実行されます。

ビット0 - CF0 : タイマ/カウンタ0捕獲 (キャプチャ)割り込み要求フラグ (Timer/Counter0, Input Capture Flag)
 CF0ビットまたは代替のACOに捕獲の事象が起こると、このフラグがセット(1)されます。捕獲割り込みへクワが実行されると、CF0は自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもCF0はクリア(0)できます。



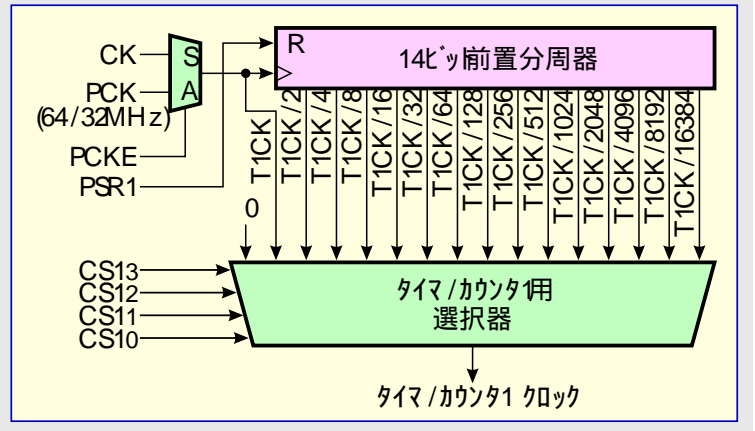
15. タイマ/カウンタの前置分周器

図 15-1は同期 クロック動作と非同期 クロック動作の2つのクロック動作を支援するタイマ/カウンタの前置分周器部を示します。同期 クロック動作は基準時間 クロックとしてシステム クロック(CK)を使用し、非同期 クロック動作は基準時間 クロックとして高速周辺 クロック(PCCK)を使用します。PLL制御 /状態 レジスタ(PLLCSR)のPCK許可 (PCKE)ビットはセット(1)の時に非同期動作を許可します。

同期 クロック動作でのクロック選択はCK~ CK/16384と停止、非同期 クロック動作でのクロック選択はPCK~ PCK/16384と停止です。このクロック任意選択は、5頁のタイマ/カウンタ制御レジスタB(TCCR1B)と表 15-1で記述されます。TCCR1Bのタイマ/カウンタ前置分周器 選択(PSR1)ビットのセット(1)は、この前置分周器をセレクトします。

高速周辺 クロックの周波数は64MHzまたは低速動作 (PLLCSR)の低速動作 (LSM)ビット=1)での32MHzです。低速動作は2.7V以下の供給電圧が使用される時の使用が推奨されます。

図 15-1. タイマ/カウンタ1前置分周器部構成



15.0.1 前置分周器 セレクト

タイマ/カウンタ制御レジスタB(TCCR1B)のタイマ/カウンタ前置分周器 選択(PSR1)ビットのセット(1)は前置分周器をセレクトします。これはプログラム実行に対してタイマ/カウンタを同期化するのに前置分周器 セレクトを使用することが可能です。

15.0.2 非同期動作に対するタイマ/カウンタの初期化

タイマ/カウンタを非同期動作へ変更するには、以下の手順に従ってください。

1. PLLを許可してください。
2. PLLの安定のために100μs 待機してください。
3. PLOCKビットがセット(1)されるまでホールドしてください。
4. 非同期動作を許可するPLL制御 /状態 レジスタ(PLLCSR)のPCK許可 (PCKE)ビットをセット(1)してください。

15.1. タイマ/カウンタ前置分周器関係レジスタ

15.1.1. PLL制御 /状態 レジスタ (PLL Control and Status Register) PLLCSR

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	LSM	-	-	-	-	PCKE	PLLE	PLOCK	PLLCSR
Read/W rite	R/W	R	R	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	0	1/0	0	

ビット7 - LSM :低速動作 (Low Speed Mode)

LSMビットが1を書かれると、低速動作が選択され、そして高速周辺 クロックは64MHzから32MHzに下げられます。既定としてLSMビットは0にセットされ、低速動作が禁止され、高速周辺 クロックは64MHzです。タイマ/カウンタが低電圧状態で充分速く走行できないので、供給電圧が2.7V以下の場合、低速動作が設定されなければなりません。LSMビットが変更される時、必ずタイマ/カウンタは停止されていることが強く推奨されます。

ビット6~ 3 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット2 - PCKE :PCK許可 (PCK Enable)

PCKEビットはタイマ/カウンタのクロックを変更します。セット(1)されると、非同期 クロック動作が許可され、タイマ/カウンタのクロックとして高速64MHzまたは低速動作で32MHzのPCKクロックが使用されます。このビットがクリア(0)されると、同期 クロック動作が許可され、タイマ/カウンタのクロックとしてシステム クロック(CK)が使用されます。このビットはPLLEビットがセット(1)される場合だけセット(1)できます。PLLがロックされる、換言するとPLOCKビットが1の時にだけ、このビットをセット(1)するのが無難です。PCKEビットは先にPLLが許可されている場合にだけ設定できることに注意してください。PLLはCKSELヒューズが'0001'にプログラム(PLLクロック動作が選択)またはPLLEビットが1に設定されている時に許可されます。

ビット1 - PLLE :PLL許可 (PLL Enable)

PLLEがセット(1)されると、PLLが起動され、必要とされるなら、PLL基準 クロックとして内蔵RC発振器が起動されます。システム クロックとしてPLLが選択されると、このビットに対する値は常に1です。

ビット0 - PLOCK :PLLロック検出 (PLL Lock Detector)

PLOCKビットがセット(1)されると、PLLは基準 クロックにロックされます。PLL周波数が上下超過する初期PLLロック間、PLOCKビットは無視されるべきです。安定状態は100μs以内に得られます。PLLロック後、タイマ/カウンタに対してPCKを許可する前にPLOCKビットの調査が推奨さ



15.1.2. タイマ/カウンタ制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	PWM1X	PSR1	DTPS11	DTPS10	CS13	CS12	CS11	CS10	TCCR1B
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット6 - PSR1 : タイマ/カウンタ前置分周器 リセット (Prescaler Reset Timer/Counter1)

このビットがセット(1)されると、タイマ/カウンタ前置分周器がリセットします (TCNT1は影響されません)。このビットはこの操作が実行された後、ハードウェアによって自動的にクリア(0)されます。このビットへの書き込みは無効です。このビットは常に0として読まれます。

ビット3,2,1,0 - CS13,CS12,CS11,CS10 : クロック選択 1 (Clock Select1, bits 3,2,1 and 0)

このクロック選択ビット3,2,1,0はタイマ/カウンタの前置分周元を定義します。

表 15-1. タイマ/カウンタ1前置分周 クロック選択

CS13	CS12	CS11	CS10	意味		CS13	CS12	CS11	CS10	意味	
				非同期動作	同期動作					非同期動作	同期動作
0	0	0	0	停止 (タイマ/カウンタ動作停止)		1	0	0	0	PCK/128	CK/128
0	0	0	1	PCK	CK (CPUクロック)	1	0	0	1	PCK/256	CK/256
0	0	1	0	PCK/2	CK/2	1	0	1	0	PCK/512	CK/512
0	0	1	1	PCK/4	CK/4	1	0	1	1	PCK/1024	CK/1024
0	1	0	0	PCK/8	CK/8	1	1	0	0	PCK/2048	CK/2048
0	1	0	1	PCK/16	CK/16	1	1	0	1	PCK/4096	CK/4096
0	1	1	0	PCK/32	CK/32	1	1	1	0	PCK/8192	CK/8192
0	1	1	1	PCK/64	CK/64	1	1	1	1	PCK/16384	CK/16384

停止状態はタイマ/カウンタの許可/禁止機能を提供します。



16. タイマ/カウンタ1

16.1. 特徴

- 10ビット精度
- 3つの独立した比較出力部
- 比較一致でのタイマ/カウンタクリア 自動再設定)
- クリツなして正しい位相と周波数のパルス幅変調器 (PWM)
- 可変 PWM 周期
- 各 PWM チャンネル用の独立した沈黙時間生成器
- 5つの独立した割り込み (TOV1, OCF1A, OCF1B, OCF1D, PPF1)
- 高速非同期と同期のクック動作
- 独立した前置分周器部

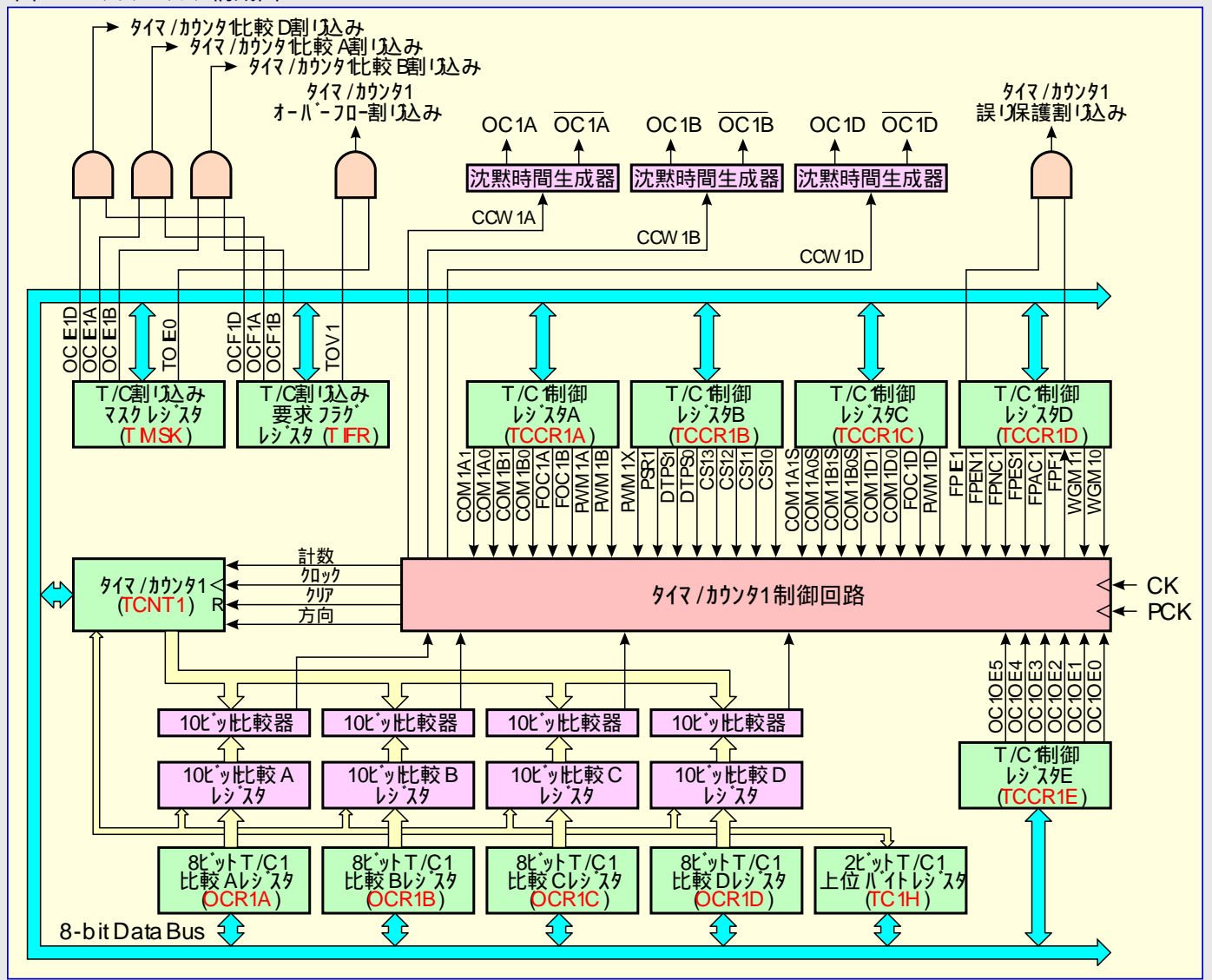
16.2. 概要

タイマ/カウンタ1は3つの独立した比較出力部とPWM支援付きの汎用高速タイマ/カウンタです。

タイマ/カウンタ1は低前置分周 使用 機会での高分解能及び高精度の使用が特徴です。64MHzまたは低速動作で32MHzまでのクック速度を使用する正確で高速な3つのPWMも支援できます。PWM動作でのタイマ/カウンタ1比較レジスタは重複しない反転と非反転出力の3つの自立型PWMとして扱います。同様に高前置分周 使用 機会は低速な目的やまれに動く正確なタイミングの目的についてこの部署を有用にします。タイマ/カウンタ1の簡単化した構成図は図16-1で示されます。I/Oピン実際の配置については2頁の「ピン配置」を参照してください。デバイス仕様のI/Oレジスタとビット位置は7頁の「タイマ/カウンタ用レジスタ」で一覧されます。

2頁での「電力削減レジスタ (PRR)」のPRTM1ビットはタイマ/カウンタ1部を許可するためにON書かれなければなりません (訳注 共通性から本行追加)

図16-1. タイマ/カウンタ1構成図



16.2.1 速度

タイマ/カウンタの最高速は64MHzです。けれども2.7V以下の供給電圧が使用される場合、タイマ/カウンタが低電圧状態で充分速く動作しないため、**低速動作 (LSM)**を使用することが強く推奨されます。低速動作での高速周辺クロックは32MHzに低下されます。低速動作についてのより多くの詳細に関しては56頁の「PLL制御 状態レジスタ(PLLCSR)」をご覧ください。

16.2.2 精度

タイマ/カウンタは8ビットタイマ/カウンタとして代替使用できる10ビットタイマ/カウンタです。タイマ/カウンタレジスタは基本的に8ビットレジスタですが、10ビット精度が使用される場合に8ビットデータバス経由でAVR CPUによって10ビットタイマ/カウンタの上位2ビットをアクセスするための共通一時バッファとして使用できる、2ビット上位バイト(TC1H)レジスタが上位にあります。然るに、この10ビットレジスタの上位2ビットが0で書かれるなら、タイマ/カウンタは8ビットタイマ/カウンタとして働きます。何れかの8ビットレジスタの下位バイト読み込み時、上位2ビットがTC1Hレジスタへ書かれ、何れかの8ビットレジスタの下位バイト書き込み時、上位2ビットがTC1Hレジスタから書かれます。8ビットバス経由で10ビットタイマ/カウンタ値をアクセスするとき、特別な手順に従わなければなりません。これらの手順は7頁の「10ビットレジスタアクセス項」で記述されます。

16.2.3 関係レジスタ

タイマ/カウンタ(TCNT1)比較レジスタ(OCR1A, OCR1B, OCR1C, OCR1D)はTCNT1内容と比較されるべきデータ元として使用される8ビットレジスタです。OCR1A, OCR1B, OCR1DはOC1A, OC1B, OC1Dの動作を決め、それらは比較一致割り込みも生成できます。OCR1Cはタイマ/カウンタのTOP値、換言すると比較一致でのクリア値を保持します。タイマ/カウンタ上位バイト(TC1H)レジスタは10ビット精度が使用される場合に、タイマ/カウンタレジスタの上位ビットへのアクセスに共通一時バッファとして使用される2ビットレジスタです。

割り込み要求(TOV1, OCF1A, OCF1B, OCF1D)と誤り保護のFPF1信号はタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)とタイマ/カウンタ制御レジスタ(TCCR1D)で見えます。この割り込みはタイマ/カウンタ割り込みマスクレジスタ(TMSK)とTCCR1Dの誤り保護割り込み許可(FPF1)ビットで個別に遮蔽許可/禁止されます。

制御信号はタイマ/カウンタ制御レジスタ(TCCR1A, TCCR1B, TCCR1C, TCCR1D, TCCR1E)で見つかります。

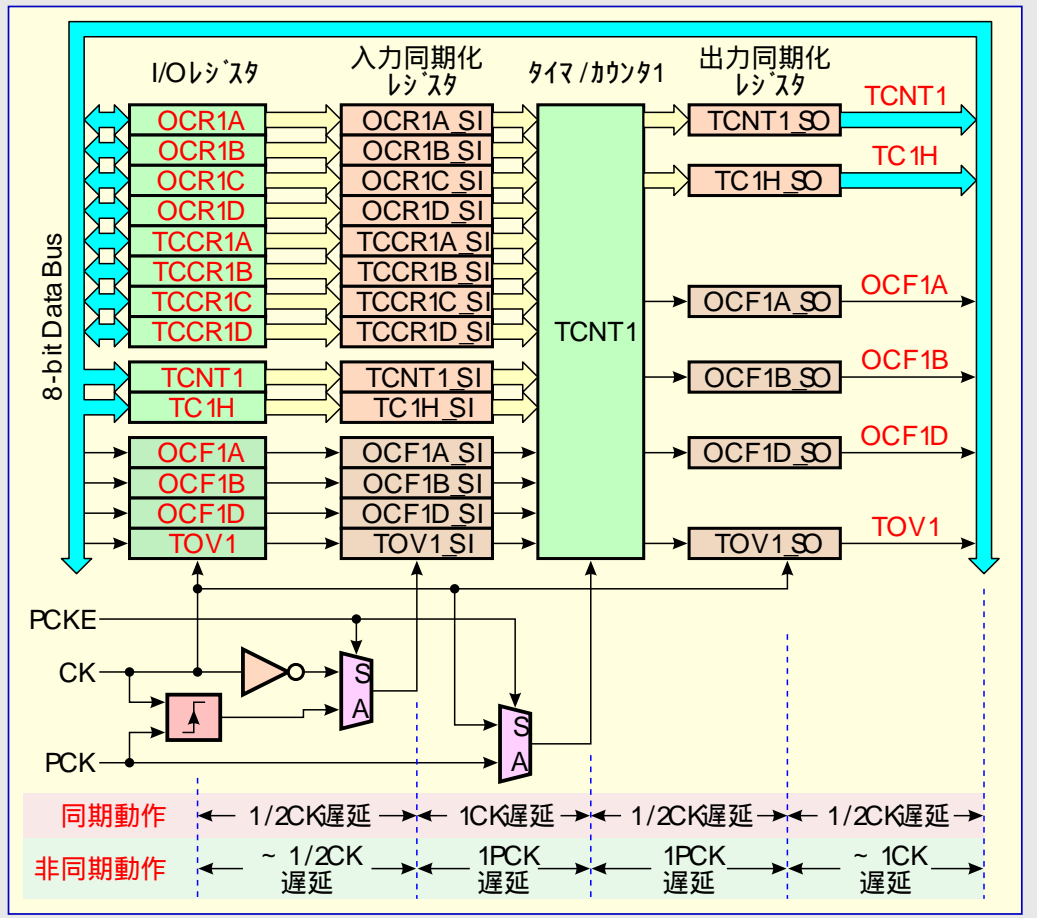
16.2.4 同期化

同期クロック動作でのタイマ/カウンタと前置分周器は、前置分周器が非同期動作で高速64MHzまたは低速動作で32MHzのPCKクロック動作をする一方、どのクロック元からもCPUの走行動作を許します。これはCPUクロック範囲と高速周辺クロック範囲間の境界同期化があるために可能です。図16-2はタイマ/カウンタ同期化レジスタ構成図を示し、レジスタ間の遅延を記載します。すべてのクロック開閉の詳細は、この図で示されません。

タイマ/カウンタレジスタ値はカウンタ動作に影響を及ぼす前に、入力同期化遅延を引き起こす内部同期化レジスタを通ります。TCCR1A, TCCR1B, TCCR1C, TCCR1D, OCR1A, OCR1B, OCR1C, OCR1Dのレジスタは、レジスタ書き込み後に正しく読み戻せます。読み戻し値はタイマ/カウンタ(TCNT1)タイマ/カウンタ上位バイト(TC1H)レジスタとフラグ(TOV1, OCF1A, OCF1B, OCF1D)に関して、入力と出力の同期化のために遅延されます。

非同期タイマ/カウンタの同期化機構はシステムクロックがHighのときに最低2つのPCKエッジを必要とするため、システムクロック周波数はPCK周波数の1/2より低くなければなりません。システムクロック周波数が高すぎる場合、データまたは制御値を失う危険があります。

図 16-2. タイマ/カウンタ同期化レジスタ構成図



16.25. 定義

本項でのレジスタとビット参照の多くは一般形で書かれます。小文字の 'n' はタイマ/カウンタ番号、この場合は 1 で置き換えます。小文字の 'x' は比較出力部のチャネル名を表し、この場合は A, B, C または D です。然しながらプログラムでレジスタまたはビット定義に使用するときには正確な形式が使用されなければなりません (例えばタイマ/カウンタのカウンタ値のアクセスに対しての TCNT1 のように)。表 16-1 の定義は本資料を通じて広範囲にわたっても使用されます。

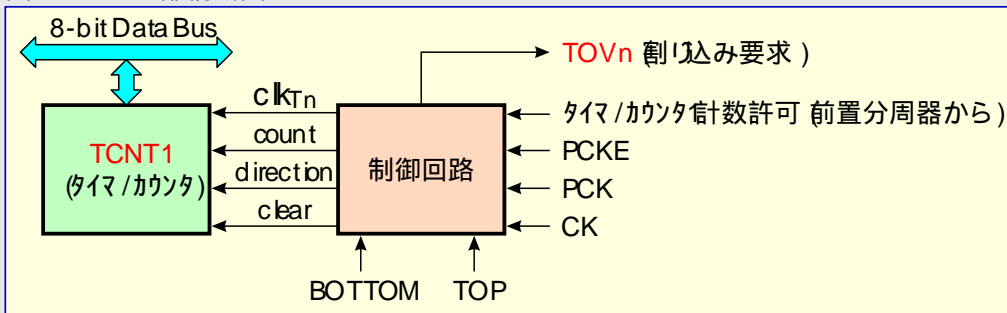
表 16-1. 用語定義

用語	意味
BOTTOM	タイマ/カウンタが \$000 に到達した時。
MAX	タイマ/カウンタが \$3FF (1023) に到達した時。
TOP	タイマ/カウンタが計数中に最高値と等しくなる時の OCR1C に格納された TOP 値。TOP は 1 ビット後の既定として値 \$FF を持ちます。

16.3. カウンタユニット

タイマ/カウンタの主な部分はプログラム可能な双方向カウンタ部です。図 16-3 は、このカウンタとその周辺環境の構成図を示します。

図 16-3. カウンタ構成図



count	TCNT を 1 つ進めるまたは戻す信号。
direction	進行方向 (上昇または下降) 選択信号。
clear	TCNT の 0 に設定信号。
clkT _n	以降で clkT ₁ として参照されるタイマ/カウンタ クロック信号。
TOP	TCNT が最大値に到達したことを示す信号。
BOTTOM	TCNT が最小値 (\$000) に到達したことを示す信号。

使用した動作種別に依存して、カウンタは各タイマ/カウンタ クロック (clkT₁) でクリア (\$000) 増加 (+1) または減少 (-1) されます。タイマ/カウンタ クロック (clkT₁) は クロック選択 (CS13~0) ビットと PCK 許可 (PCKE) ビットを使用して、同期 クロックまたは非同期 PLL クロックから生成されます。クロック元が選択されない (CS13~0=0000) とき、タイマ/カウンタは停止されます。けれども TCNT 値はタイマ/カウンタ クロック (clkT₁) が存在するしないに拘らず、CPU によってアクセスできます。CPU 書き込みは全てのカウンタ クリアや計数動作を無視します (上位優先順位を持ちます)。

計数順序 (方法) はタイマ/カウンタ制御レジスタ (TCCR1A, TCCR1C, TCCR1D) に配置された波形生成種別 (WGM11~0) ビットとパルス幅変調許可 (PWM1x) ビットの設定によって決定されます。進化した計数順序と波形生成については 64 頁の「動作種別」をご覧ください。

タイマ/カウンタ オーバーフロー (TOV1) フラグは WGM11, 0 と PWM1x ビットによって選択された動作種別に従って設定 (=1) されます。このオーバーフロー フラグは CPU 割り込み発生に使用できます。

16.3.1. 非同期動作に対するタイマ/カウンタの初期化

タイマ/カウンタを非同期動作へ変更するには、以下の手順に従ってください。

1. PLL を許可してください。
2. PLL の安定のために 100μs 待機してください。
3. PLOCK ビットがセット(1)されるまでホッピングしてください。
4. 非同期動作を許可する PLL 制御状態レジスタ (PLLCSR) の PCK 許可 (PCKE) ビットをセット(1)してください。



16.4. 比較出力部

この比較器は **TCNT1** と比較レジスタ **OCR1A**、**OCR1B**、**OCR1C** と **OCR1D** を継続的に比較します。TCNT1 が比較レジスタと等しければ比較器は一致を指示します。一致は次のタイマ/カウンタクロックサイクルで、比較割り込み要求フラグ **OCF1A**、**OCF1B** または **OCF1D** をセット(1) します。対応する割り込みが許可 ($I=1$, $OCIE1x=1$ されているなら、その比較割り込み要求フラグは比較割り込みを発生します。比較割り込み要求フラグは割り込みが実行されると自動的にクリア(0) されます。代わりにこのフラグはこの I/O ビット位置に論理 1 を書くことによってソフトウェアでクリア(0) できます。波形生成器は **波形生成種別 (WGM11,0)** ビットと **PWM 許可 (PWM1x)** ビットによって設定された動作種別に従った出力を生成するために、この一致信号を使用します。TOP と BOTTOM 信号は動作種別 (6 頁の **動作種別** 参照) のいくつかで両端値の特別な場合を扱うため、波形生成器によって使用されます。

図 16-4 は比較出力部の構成図を示します。

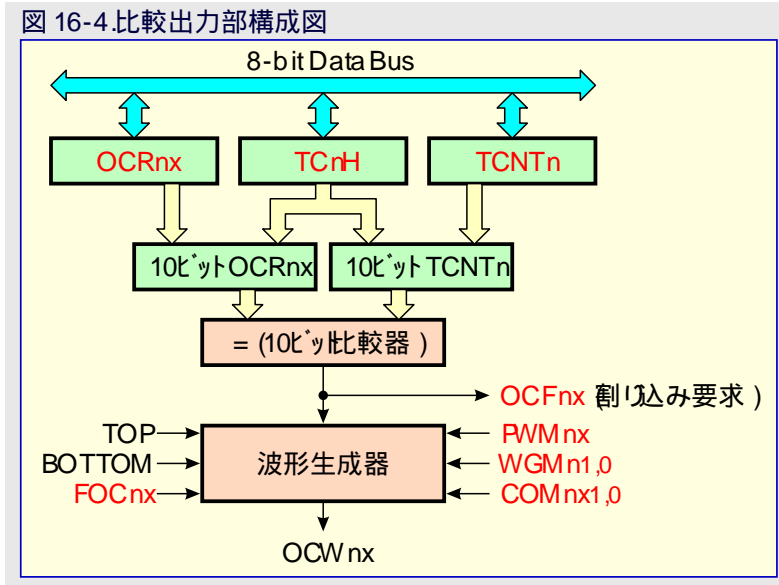
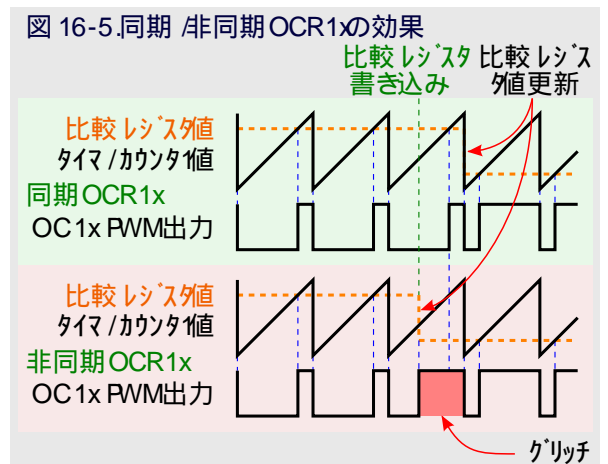


図 16-5. 同期 / 非同期 OCR1x の効果



OCR1x は **パルス幅変調 (PWM)** の何れかを使用するときダブルハフ化されます。標準動作についてはダブルハフ動作が禁止されます。ダブルハフ動作は計数の流れの TOP または BOTTOM のどちらかに対して OCR1x の更新を同期化します。この同期化は奇数長や非対称 PWM パルスの発生を防ぎ、それによってグリッチなしの出力を作成します。例については図 16-5 をご覧ください。書き込みと更新動作の間の時間中、OCR1A、OCR1B、OCR1C、OCR1D からの読み込みは一時位置の内容を読みます。これは最も最近書かれた値が常に OCR1A、OCR1B、OCR1C、OCR1D の読み出しであることを意味します。

16.4.1. 強制比較出力

非 PWM 波形生成動作での比較器の一致出力は、**強制変更 (FOC1x)** ビットに 1 を書くことにより強制変更 できます。比較一致の強制は **比較割り込み要求フラグ OCF1x** のセット(1) やタイマ/カウンタの再設定 / クリアを行いませんが、波形出力 (OCW1x) は実際の比較一致が起きた場合と同様に更新されます (**COM1x1,0** ビット設定が波形出力 (OCW1x) のセット(1)、クリア(0)、1/0 交互のどれかを定義)

16.4.2. TCNT 書き込みによる比較一致妨害

TCNT1 への全ての CPU 書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロックサイクルで起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT1 と同じ値に初期化されることを OCR1x に許します。

16.4.3. 比較一致部の使用

どの動作種別での TCNT 書き込みでもタイマ/カウンタクロックサイクル間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかないかに拘らず、比較出力部を使用する場合に TCNT1 を変更するとき、危険を伴います。TCNT1 に書かれた値が OCR1x 値と同じ場合、比較一致は失われ (一致が発生せず) 不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOM に等しい TCNT 値を書き込むことはできません。

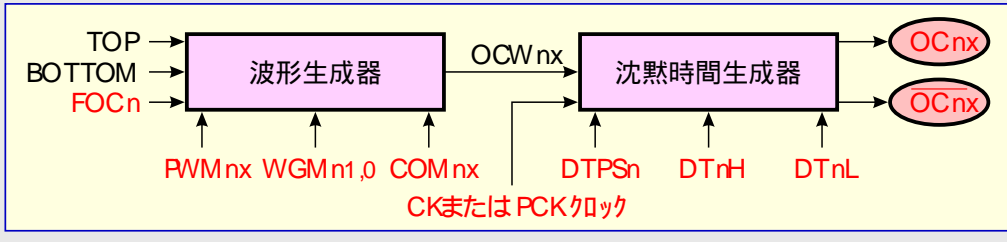
波形出力 (OCW1x) の初期設定はポートピンに対するポート方向レジスタ値に出力に設定する前に行われるべきです。OCW1x 値を設定する一番簡単な方法は標準動作で **強制変更 (FOC1x)** ストープビットを使用することです。波形生成動作種別間を変更する時でも、OC1x 内部レジスタはその値を保ちます。

比較出力選択 COM1x1,0 ビットが比較値 (OCR1x) と共にダブルハフされないことに気付いてください。COM1x1,0 ビットの変更は直ちに有効となります。

16.5 沈黙時間生成器 (Dead Time Generator)

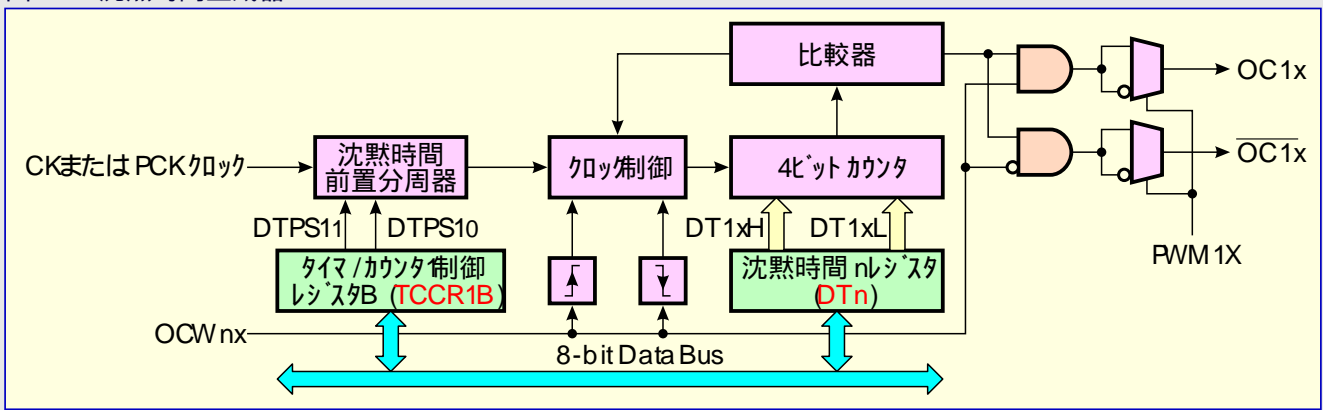
沈黙時間生成器は外部電力制御スイッチの安全な駆動を可能とするためにタイマ/カウンタのPWM出力対に対して提供されます。この沈黙時間生成器はPWM動作が許可され、比較出力選択 (COM1x1,0)ビットが'01'に設定される時のタイマ/カウンタ相互補完出力対 (OC1xとOC1x)に対して沈黙時間 (非重複時間)の挿入に使用できる独立部です。作業の分担は次の通りです。波形生成器が波形出力 (OCW1x)を生成し、沈黙時間生成器がこの波形出力から非重複PWM出力を生成します。各PWM出力に対してついで、3つの沈黙時間生成器が提供されます。非重複時間は調整可能で、PWM出力とその補完出力は独立して調整でき、両PWM出力に対して無関係です。

図 16-6. タイマ/カウンタと沈黙時間生成器



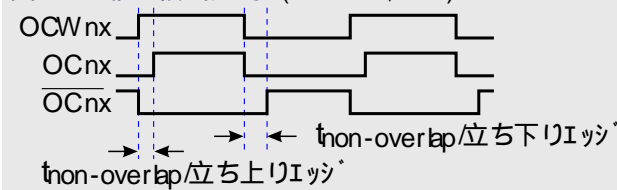
沈黙時間生成器は図 16-7で示されるように沈黙時間を計数する4ビット下降カウンタを基にします。これはタイマ/カウンタ1クロックCKまたはPCKを1,2,4,8分周できる沈黙時間生成器前の専用前置分周器です。これは生成可能な広範囲の沈黙時間を提供します。この前置分周器はDTPS11,DTPS10の2つの制御ビットによって制御されます。本部署には沈黙時間計時区間を開始するために使用される立ち上りと立ち下りエッジ検出器もあります。このエッジに対応してOC1xまたはOC1xの立ち上りエッジの遷移は、この(4ビット)カウンタへの計数されるまで遅らされます。比較器はカウンタと0との比較に使用され、0に達した時に沈黙時間挿入を止めます。このカウンタは沈黙時間挿入を開始する時に、波形出力 (OCW1x)のエッジに応じてDT1H/0レジスタからDT1xHまたはDT1xLの4ビット値が読み込まれます。比較出力は沈黙時間が0に調節される時に波形出力から最小で1タイマ/カウンタクロックサイクル遅延されます。PWM反転動作 (PWM1X)ビットがセット(1)なら、OC1xとOC1xは反転されます。これは両出力を沈黙時間中、Highにもさせます。

図 16-7 沈黙時間生成器



この計数時間長はDTPS11,0ビットを使用することによる沈黙時間前置分周器設定の選択とそして沈黙時間 (DT1)I/Oレジスタの沈黙時間値選択により使用者調整が可能です。DT1レジスタはPWM出力とその補完出力を前置分周された沈黙時間生成器クロックサイクル数に換算して独立して制御する、DT1xHとDT1xLの2つの4ビット領域から成ります。従ってOC1xとOC1xの立ち上りエッジは4ビットのDT1H値によって調節される $t_{non-overlap}$ 立ち上りエッジと、4ビットのDT1L値によって調節される $t_{non-overlap}$ 立ち下りエッジとして異なる沈黙時間区間を持ちます。

図 16-8. 非重複出力対 (COM1x1,0=01)



16.6.比較一致出力部

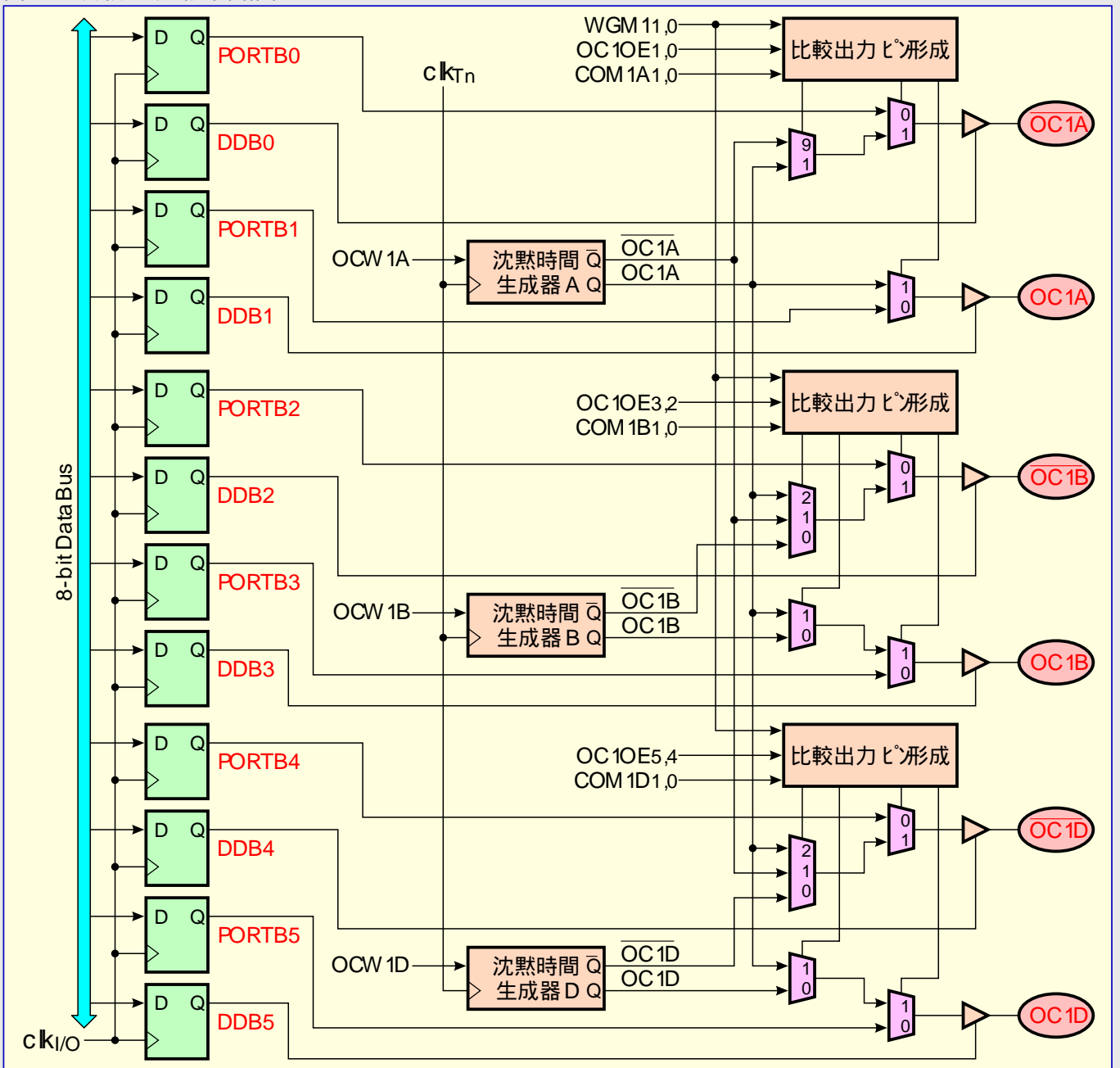
比較出力選択 (COM1x1,0)ビットは2つの機能を持ちます。波形生成器は次の比較一致での非反転または反転の波形出力 (OCW1x)を定義するためにCOM1x1,0ビットを使用します。またCOM1x1,0ビットはOC1xとOC1xのピン出力元を制御します。図16-9はCOM1x1,0ビット設定によって影響を及ぼされる論理回路の簡単化した回路図を示します。図のI/OレジスタI/OビットI/Oピンは赤文字 訳注 原文太字で示されます。COM1x1,0ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。

標準動作 (非PWM)での沈黙時間生成器は禁止され、比較出力 (OC1x)が波形出力 (OCW1x)から1タイマ/カウンタクロックサイクル遅延される同期化器のように働きます。ところがCOM1x1,0ビットが'01に設定される時の高速PWM動作と位相/周波数基準PWM動作では、非反転と反転の両比較出力が生成され、使用者が設定可能な沈黙時間がそれらの相互補完出力対 (OC1xとOC1x)に対して挿入されます。その他のCOM1x1,0ビット設定が使用されると、PWM動作での機能は標準動作と同じです。OC1xの状態を参照するとき、その参照はOC1xピンでなく沈黙時間生成器からの比較出力 (OC1x)に対してです。システムリセットが起こると、OC1xは'0にリセットされます。

COM1x1,0ビットのどちらかがセット(1)されると、標準I/Oポート機能は沈黙時間生成器からの比較出力 (OC1x/OC1x)によって無効にされます。けれどもOC1xピンの方向 (入出力)はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。OC1xとOC1xピンに対するポート方向レジスタのビット(DDR_OC1xとDDR_OC1x)はOC1xとOC1x値がピンで見えるのに先立ち、出力として設定されなければなりません。このポートの兼用機能は比較出力動作種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前のOC1x状態の初期化を許します。いくつかのCOM1x1,0ビット設定が或る種の動作種別に対して予約されることに注意してください。比較出力ピン形成については64頁の表16-2、65頁の表16-3、66頁の表16-4、と68頁の表16-5を参照してください。

図16-9.比較一致出力回路図



16.6.1 比較一致出力選択と波形生成

波形生成器は標準とPWM動作でCOM1x1,0ビットを違うふうに使用します。すべての動作種別に対してCOM1x1,0=00設定は次の比較一致で実行すべきOCW1x出力の動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については73頁の表16-6を参照してください。高速PWM動作については73頁の表16-7、位相基準PWMについては73頁の表16-8を参照してください。COM1x1,0ビットの状態変更は、このビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC1x)のビットを使用することによって直ちに効果を得ることが強制できます。

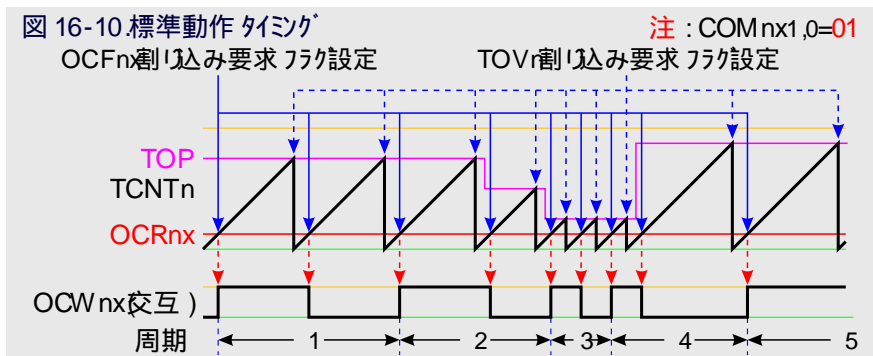
16.7 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ビットの動作は波形生成種別(WGM11,0とPWM1xビット)と比較出力選択(COM1x1~0)ビットの組み合わせによって定義されます。比較出力選択ビットは計数順序動作に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM1x1,0ビットは生成されるPWM出力が反転されるべきか、されないべきか、または相互補完かのどれかを制御します。非PWM動作に対するCOM1x1,0ビットは比較一致で出力がクリア(0)セット(1)1/(交互のどれにされるべきかを制御します。

16.7.1 標準動作

最も単純な動作種別が標準動作(PWM1x=0)で、カウンタはBOTTOMからOCR1Cとして定義したTOPへ計数し、そしてBOTTOMから再び始めます。OCR1Cはカウンタに対するTOP値、従って分解能も定義し、比較一致出力周波数の制御を許します。交互切り替え比較出力動作での波形出力(OCW1x)はTCNT1とOCR1x間の比較一致でクリア(0)され、BOTTOMでセット(1)されます。非反転比較出力動作での波形出力は比較一致でセット(1)され、BOTTOMでクリア(0)されます。

標準動作に対するタイミング図は図16-10で示されます。このタイミング図で折れ線として示されるカウンタ値(TCNT1)はカウンタ値はTOP値に達するまで増加(+1)されます。そしてカウンタは次のクロックサイクルでクリアされます。この図は交互切り替え比較出力動作での波形出力(OCW1x)を含みます。細い赤線はOCR1x値を示し、TCNT値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(訳注:図補正に伴い本行若干変更)



タイマ/カウンタ オーバーフロー (TOV1) フラグは TCNT が \$000 になるのと同じタイマ/カウンタ クロック サイクルでセット(1)されます。この場合の TOV1 フラグはセット(1)のみでクリア(0)されないことを除いて第11ビットのようになります。けれどもTOV1フラグを自動的にクリア(0)するタイマ/カウンタ オーバーフロー割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

比較出力部は与えられた或る時間に割り込みを生成するために使用できます。標準動作で波形を生成するために比較出力を使用するのは、それが大変多くのCPU時間を占有するため推奨されません。波形生成に関して、OCW1x出力は比較出力選択(COM1x1,0)ビットを交互動作(=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OC1x値はそのビットに対する逆方向が出力に設定されない限りポートピンで見えないでしょう。生成された波形はOCR1Cが0(\$000)に設定されるとき、 $f_{OC1x} = f_{cKT1} / 2^x (1 + OCR1C)$ の最大周波数を得ます。生成波形周波数は次式により定義されます。

$$f_{OC1x} = \frac{f_{cKT1}}{2^x (1 + OCR1C)}$$

分解能はOCR1C内の表現するのに何ビット必要とされるかを示します。これは次式によって計算されます。

$$\text{分解能 PWM} = \lg 2(OCR1C + 1)$$

標準動作での比較出力ビット形成は表16-2で記述されます。

表 16-2 標準動作比較出力ビット形成

COM1x1	COM1x0	OC1xビット	$\overline{OC1x}$ ビット
0	0	標準ホールド動作 (OC1x切断)	標準ホールド動作 ($\overline{OC1x}$ 切断)
0	1	OC1x	標準ホールド動作 ($\overline{OC1x}$ 切断)
1	0	OC1x	標準ホールド動作 ($\overline{OC1x}$ 切断)
1	1	OC1x	標準ホールド動作 ($\overline{OC1x}$ 切断)

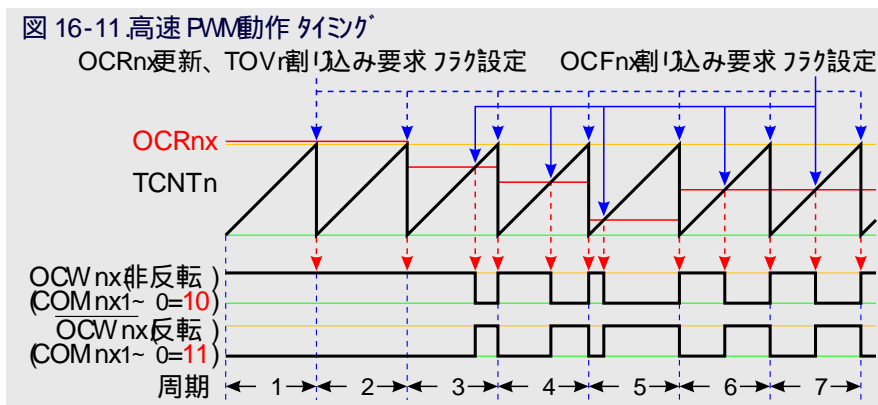


16.7.2. 高速 PWM 動作

高速パルス幅変調または高速 PWM 動作 ($WGM11.0=00$ と $PWM1x=1$) は高周波数 PWM 波形生成選択を提供します。高速 PWM はそれが単一傾斜 鋸波 動作であることで他の PWM 動作と異なります。カウンタは BOTTOM から OCR1C として定義された TOP まで計数し、その後 BOTTOM から再び始めます。非反転比較出力動作 ($COM1x1.0=10$) の波形出力 ($OCW1x$) は TCNT1 と OCR1x 間の比較一致でクリア (0) され、BOTTOM でセット (1) されます。反転出力動作 ($COM1x1.0=11$) の出力は比較一致でセット (1) され、BOTTOM でクリア (0) されます。相互補完比較出力動作 ($COM1x1.0=01$) の波形出力は比較一致でクリア (0) され、BOTTOM でセット (1) されます。

この単一傾斜動作のため、高速 PWM 動作の動作周波数は両傾斜 三角波 動作を使用する位相 周波数基準 PWM 動作より 2 倍高くできます。この高い周波数は電力調節、整流、D/A 変換に対して高速 PWM 動作を都合よく適合させます。高い周波数は物理的に小さな外部部品 (コイルや コンデンサ) を許し、従ってシステム総費用を削減します。

高速 PWM 動作に関するタイミング図は図 16-11 で示されます。カウンタはカウンタ値が TOP 値と一致するまで増加されます。そして、カウンタは (一致の 次の) タイマ/カウンタ クロック サイクルでクリア (000) されます。TCNT 値はタイミング図で単一傾斜動作 鋸波 を表す折れ線 グラフとして示されます。この図は非反転と反転の波形出力を含みます。細い赤線は OCR1x 値を示し、TCNT 値との交点 (接点) が TCNT1 と OCR1x 間の比較一致を示します (訳注 図補正に伴い本行若干変更)



タイマ/カウンタ オーバーフロー (TOV1) フラグはカウンタが TOP に到達する時毎にセット (1) されます。割り込みが許可されるならば、その割り込み処理ルーチンは比較値を更新するために使用できます。

高速 PWM 動作での比較部は OC0x レジスタでの PWM 波形の生成を許します。COM1x1.0 レジスタの '10' 設定は非反転 PWM 出力を作成し、COM1x1.0 の '11' 設定は反転 PWM 出力を生成します。COM1x1.0 レジスタの '01' 設定は相互補完比較出力動作を許可し、非反転 (OC1x) と反転 (OC1x) の両出力を生成します。実際の値はポートピンに対するデフォルト方向が出力として設定される場合だけ見えます。PWM 波形は TCNT1 と OCR1x 間の比較一致で、OCW1x をセット (1) またはクリア (0) することによって生成されます。

PWM 出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clkT1}}{N}$$

変数 N は単一傾斜動作での段数を表します。N の値は TOP 値と同じです。

OCR1C の両端値は高速 PWM 動作で PWM 波形出力を生成する時の特別な場合にあたります。OCR1C が BOTTOM (000) に等しく設定されると、出力は MAX+1 タイマ/カウンタ クロック サイクル毎の狭いスパイク (パルス) になるでしょう。OCR1C が MAX に等しく設定されると、COM1x1.0 レジスタによって設定される出力極性に依存して、定常的な Low または High 出力に終わるでしょう。

高速 PWM 動作での (デューティ比 50%) 周波数の波形出力は比較一致毎に論理反転する波形出力 OCW1x 設定 (COM1x1.0=01) によって達成できます。生成された波形は OCR1C が 3 (003) に設定される時に $f_{OC1x} = f_{clkT1}/4$ の最大周波数でしょう。

COM1x1.0 レジスタのどちらかがセット (1) され、OC1x と OC1x のピンに対するデフォルト方向レジスタビットが出力として設定されている場合、標準 I/O ポート機能は沈黙時間生成器からの比較出力値 (OC1x/OC1x) によって無効にされます。COM1x1.0 レジスタがクリア (00) なら、ポート出力レジスタからの実際の値がポートピンで見えるでしょう。比較出力ビット形成は表 16-3 で記述されます。

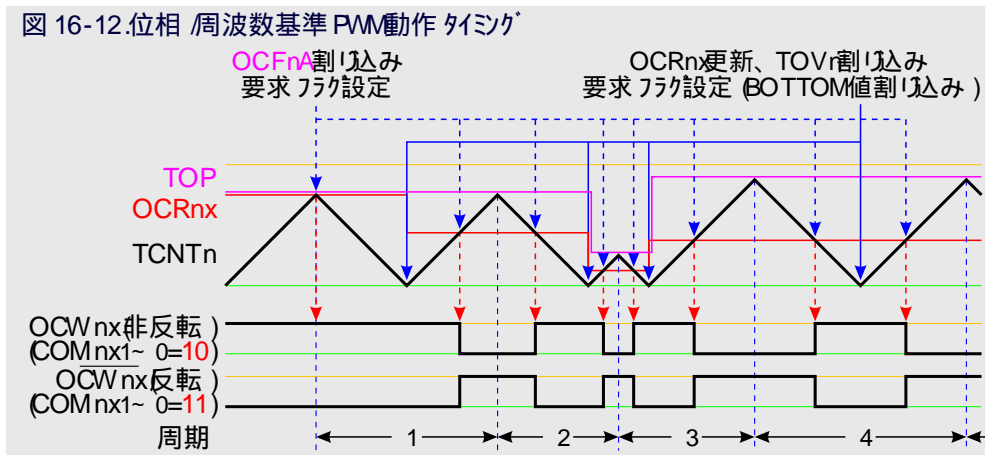
表 16-3. 高速 PWM 動作比較出力ビット形成

COM1x1	COM1x0	OC1x レジスタ	OC1x レジスタ
0	0	標準ポート動作 (OC1x 切断)	標準ポート動作 (OC1x 切断)
0	1	OC1x	OC1x
1	0	OC1x	標準ポート動作 (OC1x 切断)
1	1	OC1x	標準ポート動作 (OC1x 切断)

16.7.3.位相 /周波数基準 PWM動作

位相 /周波数基準 PWM動作 ($WGM11,0=01$ と $PWM1x=1$)は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相 /周波数基準 PWM動作は両傾斜 三角波 動作が基準です。カウンタは **BOTTOM** (000)から **OCR1C**として定義した **TOP**へ、そしてその後 **TOP**から**BOTTOM**へを繰り返し繰り返し計数します。非反転比較出力動作 ($COM1x1,0=10$)での波形出力 ($OCW1x$)は上昇計数中の **TCNT1**と**OCR1x**間の比較一致で **クリア (0)**され、下降計数中の比較一致で **セット(1)**されます。反転出力動作 ($COM1x1,0=11$)での動作は逆にされます。相互補完比較出力動作 ($COM1x1,0=01$)での波形出力は比較一致で **クリア (0)**され、**BOTTOM**で **セット(1)**されます。両傾斜 三角波 動作は単一傾斜 鋸波 動作より低い最大動作周波数になります。けれども両傾斜 三角波 PWM動作の対称特性のため、これらの動作種別はモーター制御の応用に好まれます。TCNT 値は **1**タイマ/カウンタ クロック サイクル間 **TOP**と等しくなります。

TCNT 値がタイミング図で両傾斜動作 三角波 を表す折れ線グラフとして示される。位相 /周波数基準 PWM動作のタイミング図は図 16-12.で示されます。カウンタはカウンタ値が **TOP**と一致するまで増加されます。カウンタが **TOP**に到達した時に計数方向を変更します。この図は非反転と反転での波形出力 ($OCW1x$)を含みます。細い赤線は **OCR1x**値を示し、TCNT 値との交点 接点 が **TCNT1**と**OCR1x**間の比較一致を示します **訳注** 図補正に伴い本行若干変更)



タイマ/カウンタ オーバーフロー (TOV1)フラグはカウンタが **BOTTOM**に達する時毎に **セット(1)**されます。割り込み要求フラグはカウンタが **BOTTOM**に達する時毎に割り込みを発生するのに使用できます。

位相 /周波数基準 PWM動作での比較部は $OC1x$ ピンでのPWM波形の生成を許します。COM1x1,0ピンの **'10**設定は非反転PWMを作成し、COM1x1,0の **'11**設定は反転PWM出力を生成します。COM1x1,0ピンの **'01**設定は相互補完比較出力動作を許可し、非反転 ($OC1x$)と反転 ($\overline{OC1x}$)の両出力を生成します。実際の値はポートピンに対するデフォルト方向が出力として設定される場合だけ見えてでしょう。PWM波形はカウンタが増加する時のTCNT1とOCR1x間の比較一致で波形出力 ($OCW1x$)を **セット(1)**または **クリア (0)**と、カウンタが減少する時のTCNT1とOCR1x間の比較一致で波形出力を **クリア (0)**または **セット(1)**することによって生成されます。位相 /周波数基準 PWMを使用する時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnxPFCPWM} = \frac{f_{clkT1}}{N}$$

変数 **N**は両傾斜動作での段数を表します。**N**の値は **TOP**値と同じです。

OCR1Cに対する両端値は位相 /周波数基準 PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作では**OCR1x**が **BOTTOM**に等しく設定されると出力は定常的な **Low**、**TOP**に等しく設定されると定常的な **High**になるでしょう。反転PWMに対する出力は逆の論理値になります。

COM1x1,0ピンのどちらかが **セット(1)**され、 $OC1x$ と $\overline{OC1x}$ のピンに対するデフォルト方向レジスタビットが出力として設定されている場合、標準 I/Oポート機能は**沈黙時間生成器**からの比較出力値 ($OC1x/\overline{OC1x}$)によって無効にされます。COM1x1,0ピンが **クリア (00)**なら、ポート出力レジスタからの実際の値がポートピンで見えてでしょう。比較出力ピン形成は表 16-4で記述されます。

表 16-4.位相 /周波数基準 PWM動作比較出力ピン形成

COM1x1	COM1x0	$OC1x$ ピン	$\overline{OC1x}$ ピン
0	0	標準ポート動作 ($OC1x$ 切断)	標準ポート動作 ($\overline{OC1x}$ 切断)
0	1	$OC1x$	$OC1x$
1	0	$OC1x$	標準ポート動作 ($OC1x$ 切断)
1	1	$OC1x$	標準ポート動作 ($OC1x$ 切断)



16.7.4. PWM動作

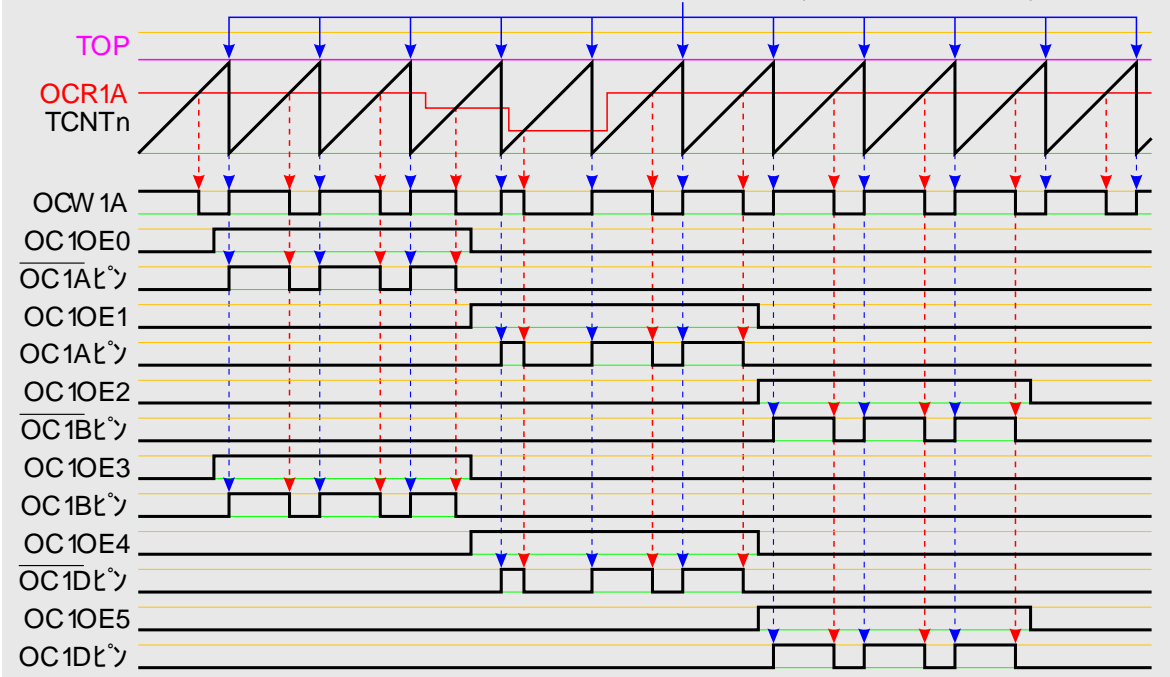
PWM動作 (WGM11.0=1xとPWM1A=1)は例えばブラシレスDCモータ用のPWM波形生成選択を提供します。PWM動作でのOCR1Aは全波形を生成するのに使用される、波形生成器からの同じ波形出力 (OCW1A)として6つ全ての比較出力波形を制御します。PWM6動作は比較出力ピンを許可/禁止するための瞬時応答で使用できる、比較出力での無効化許可 (OC10Em m=0~5)ビットも提供します。比較出力での無効化許可ビットがクリア (0)なら、ポート出力レジスタからの実際の値がポートピンで見えるでしょう。

PWM動作は単一傾斜動作と両傾斜動作の2つのカウンタ操作種別を提供します。単一傾斜動作が選択 (WGM10=0)されるなら、カウンタは高速PWM動作のようにBOTTOMからOCR1Cとして定義されたTOPまで計数し、その後BOTTOMから再び始めます。PWM波形はTCNT1とOCR1A間の比較一致で波形出力 (OCW1A)をクリア (0)またはセット (1)と、カウンタが\$000 TOPからBOTTOMへ変更されるタイマ/カウンタクロックサイクルで波形出力をセット (1)またはクリア (0)することによって生成されます。タイマ/カウンタオーバーフロー (TOV1)フラグはカウンタがTOPに到達する時毎にセット (1)され、割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するために使用できます。

ところが両傾斜動作が選択 (WGM10=1)される場合、カウンタは位相/周波数基準PWM動作のようにBOTTOM (\$000)からOCR1Cとして定義したTOPへ、そしてその後TOPからBOTTOMへを繰り返して計数します。PWM波形は上昇計数中のTCNT1とOCR1A間の比較一致で波形出力 (OCW1A)をクリア (0)またはセット (1)と、下降計数中の比較一致で波形出力をセット (1)またはクリア (0)することによって生成されます。タイマ/カウンタオーバーフロー (TOV1)フラグはカウンタがBOTTOMに到達する時毎にセット (1)され、割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するために使用できます。

COM1x1.0ビットが '10' に設定される時の単一傾斜動作 (WGM10=0)でのPWM動作に関するタイミング図は図16-13で示されます。カウンタはカウンタ値がTOP値と一致するまで増加 (+1)されます。そしてカウンタは次のタイマ/カウンタクロックサイクルでクリア (\$000)されます。TCNT値はタイミング図で単一傾斜動作 鋸歯 を表す折れ線グラフとして示されます。この図はOC1AとOC1Aの比較出力ピンと、対応する比較出力有効許可 (OC10E1, OC10E0)ビットを含みます。

図 16-13. PWM単一傾斜動作 タイミング (注: COM1x1.0=10非反転動作) OCRn更新、TOVn割り込み要求フラグ設定 (BOTTOM値割り込み)



COM1x1.0ビットのどちらかがセット (1)されている場合、標準 I/Oポート機能は沈黙時間生成器からの比較出力値 (OC1x/OC1x)によって無効にされます。比較出力ピンは比較出力での無効化許可 (OC10E5~OC10E0)ビットによっても無効にできます。無効化許可ビットがクリア (0)なら、ポート出力レジスタからの実際の値がポートピンで見え、無効化許可ビットがセット (1)なら、比較出力ピンはポートピンへの接続が許されます。比較出力ピン形成は表16-5で記述されます。





表 16-5. PWM動作比較出力ピン形成

COM1A1	COM1A0	OC1Aピン (PB1)	$\overline{\text{OC1A}}$ ピン (PB0)
0	0	標準ホールド動作 (OC1A切断)	標準ホールド動作 (OC1A切断)
0	1	OC1A・OC10E1	$\overline{\text{OC1A}}$ ・OC10E0
1	0	OC1A・OC10E1	OC1A・OC10E0
1	1	OC1A・OC10E1	OC1A・OC10E0
COM1B1	COM1B0	OC1Bピン (PB3)	$\overline{\text{OC1B}}$ ピン (PB2)
0	0	標準ホールド動作 (OC1A切断)	標準ホールド動作 (OC1A切断)
0	1	OC1A・OC10E3	$\overline{\text{OC1A}}$ ・OC10E2
1	0	OC1A・OC10E3	OC1A・OC10E2
1	1	OC1A・OC10E3	OC1A・OC10E2
COM1D1	COM1D0	OC1Dピン (PB5)	$\overline{\text{OC1D}}$ ピン (PB4)
0	0	標準ホールド動作 (OC1A切断)	標準ホールド動作 (OC1A切断)
0	1	OC1A・OC10E5	$\overline{\text{OC1A}}$ ・OC10E4
1	0	OC1A・OC10E5	OC1A・OC10E4
1	1	OC1A・OC10E5	OC1A・OC10E4

訳補) PWM動作は基本的に高速PWM動作と位相/周波数基準PWM動作に対して波形出力にOCW 1Aを共通で使用し、各比較出力ピンを比較出力での無効化許可ビットによって個別に許可/禁止できるようにしたものと考えられます。



16.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック(clk_{Tn})がクロック許可信号として示されます。この図は割り込みフラグがセット(1)される時の情報を含みます。

図 16-14は基本的なタイマ/カウンタ動作についてのタイミング図を含みます。この図は位相/周波数基準PWM動作以外の全ての動作種別でのTOP値近辺の計数の流れを示します。図 16-15は位相/周波数基準PWM動作と両傾斜PWM動作以外の全ての動作種別での同じタイミング図を示しますが、前置分周器が許可されています。図 16-16は全動作種別でのOCF1A、OCF1B、OCF1Dの設定を示します。図 16-17は位相/周波数基準PWM動作と両傾斜PWM動作でのTOV1の設定を示します。

図 16-14. 前置分周なし(1/1)のタイマ/カウンタタイミング

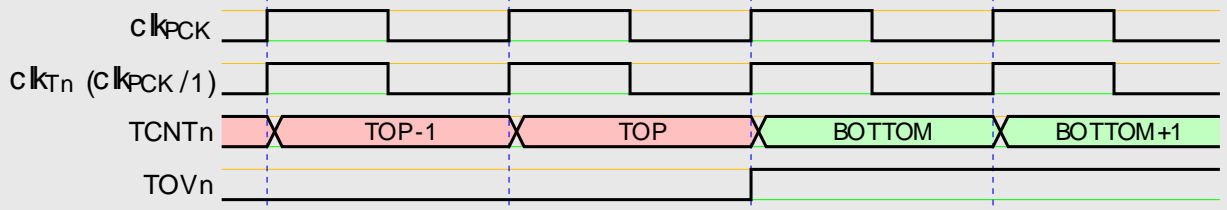


図 16-15. 前置分周器 ($clk_{PCK}/8$)のタイマ/カウンタタイミング (位相/周波数基準PWM動作と両傾斜PWM動作以外)

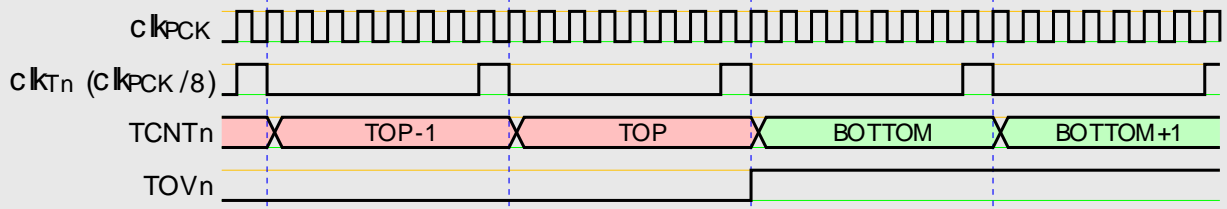


図 16-16. 前置分周器 ($clk_{PCK}/8$)のタイマ/カウンタ OCF1設定タイミング

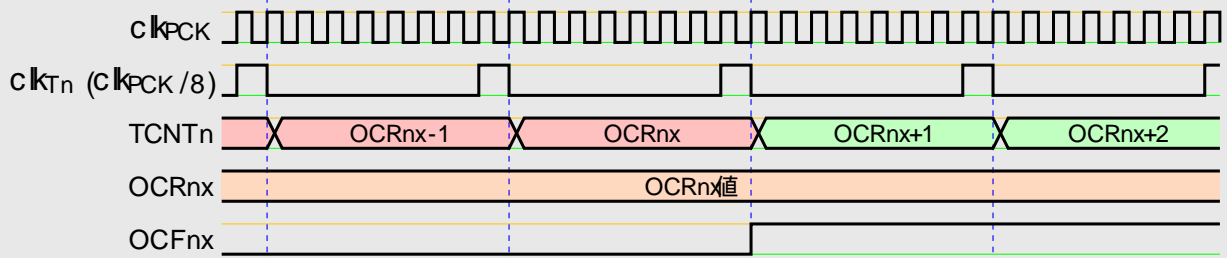
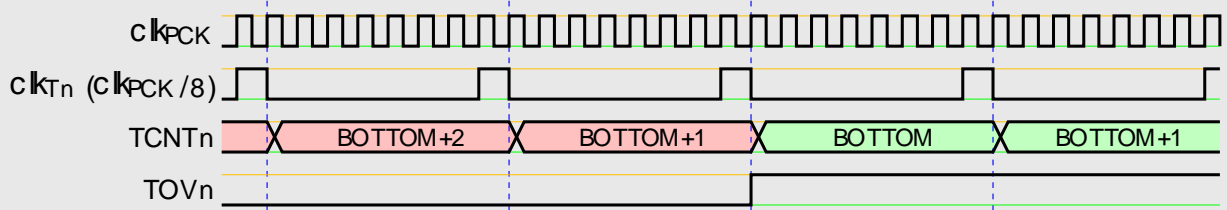


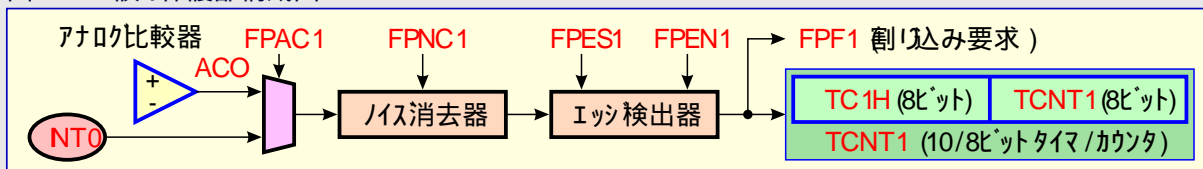
図 16-17. 前置分周器 ($clk_{PCK}/8$)のタイマ/カウンタタイミング (位相/周波数基準PWM動作と両傾斜PWM動作)



16.9. 誤り保護部

タイマ/カウンタは外部事象が起動される場合にPWM出力ピンを禁止にできる誤り保護部を併設します。出来事を指示する外部信号は外部割り込み NT0経由、または代わりにアナログ比較器部経由で印加できます。誤り保護部は図 16-18で示される構成図によって表されます。誤り保護部の直接の部分でない構成図の要素は青枠 **訳注** 原文は灰色背景)で示されます。

図 16-18 誤り保護部構成図



誤り保護動作は**誤り保護許可 (FPEN1)**ビットと外部割り込み (NT0)ピン、または代わりにアナログ比較器出力で論理レベル事象の変化によって許可され、この変化がエッジ検出器の設定に通知し、誤り保護が起動されます。誤り保護が起動されると**比較出力選択 (COM1x1.0)**ビットがクリア (0)され、比較出力はPWM出力ピンから切断され、PORTBレジスタビットがPWM出力ピンに接続されます。誤り保護許可 (FPEN1)はCOM1x1.0ビットがクリア (0)されるのと同じシステムクロックで自動的にクリア (0)されます。**誤り保護割り込み許可 (FPE1)**がセット(1)ならば、誤り保護割り込みが生成され、FPE1ビットがクリア (0)されます。代わりにFPEN1はタイマ/カウンタが誤り保護動作へ移行してしまった時を了解するのにソフトウェアによってホッピングできます。

16.9.1. 誤り保護起動元

誤り保護部に対する主な起動元は外部割り込み (NT0)ピンです。代わりにアナログ比較器出力が誤り保護部に対する起動元として使用できます。アナログ比較器は**タイマ/カウンタ制御レジスタD (TCCR1D)の誤り保護アナログ比較器 (FPAC1)**ビットのセット(1)によって選択されます。起動元変更が誤り保護動作を起動し得ることに注意してください。従って起動元変更、エッジ検出器設定、または誤り保護許可後に**誤り保護割り込み要求フラグ (FPF1)**をクリア (0)することが推奨されます。

外部割り込み (NT0)ピンとアナログ比較器出力 (ACO)入力はT0ピン(43頁の図 13-1参照)についてと同じ技法を使用して採取されます。エッジ検出器も全く同じです。けれどもノイズ除去が許可されると、付加論理回路がエッジ検出器の前に挿入され、そして遅延をシステムクロックサイクル増やします。誤り保護動作はNT0ピンのホッピングを制御することによってソフトウェアでも起動できます。

16.9.2. ノイズ消去器

ノイズ消去器は簡単なデジタル濾波器機構を使用することによってノイズ耐性を改善します。ノイズ消去器の入力は4採取に渡って監視され、エッジ検出器によって使用される方向転換となる出力を変更するためには、回すべてが同じでなければなりません。

ノイズ消去器は**タイマ/カウンタ制御レジスタD (TCCR1D)の誤り保護ノイズ消去許可 (FPNC1)**ビットのセット(1)によって許可されます。許可したとき、ノイズ消去器は入力に印加した変更からシステムクロックサイクルの追加遅延をもたらします。ノイズ消去器はシステムクロックを使用し、従って前置分周器によって影響を及ぼされません。



16.10. 10ビットレジスタのアクセス

10ビット値がTCNT1とOCR1A/B/C/Dレジスタに書かれる場合、その10ビットレジスタは2回の読みまたは書き操作を使用して8ビットハーフワードでAVR CPUによってアクセスできます。10ビットレジスタは10ビットアクセスの上位2ビットの一時保存用に共通2ビットのタイマ/カウンタ上位バイト(TC1H)レジスタを持ちます。全ての10ビットレジスタ間で、この同じTC1Hレジスタが共用されます。下位バイトアクセスが10ビット読み書き動作を起動します。10ビットレジスタの下位バイトがCPUによって書かれると、TC1Hレジスタに格納した上位バイトと書かれた下位バイトは同じクロックサイクルで10ビットレジスタに両方複写されます。10ビットレジスタの下位バイトがCPUによって読まれると、10ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロックサイクルでTC1Hレジスタに複写されます。

10ビット書き込みを行うために、上位バイトは下位バイトが書かれるのに先立ってTC1Hレジスタに書かれなければなりません。10ビット読み込みについては下位バイトが上位バイトに先立って読まれなければなりません。

次のコード例は割り込みがTC1Hレジスタを更新しないことが前提の10ビットタイマ/カウンタレジスタのアクセス法を示します。OCR1A/B/C/Dレジスタのアクセスに対して同じ原理が直接的に使用できます。

```

アセンブリ言語プログラム例
~
LDI    R17,$01
LDI    R16,$FF
OUT    TC1H,R17
OUT    TCNT1,R16

IN     R16,TCNT1
IN     R17,TC1H
~
;
; [10ビット$1FF書き込み]
; $1FFの上位バイト値取得
; $1FFの下位バイト値取得
; 上位バイト設定 (TC1Hレジスタ)
; 下位バイト設定 (TC1H 上位バイト)
; [10ビット読み込み]
; 下位バイト取得 (上位バイト 一時レジスタ)
; 上位バイト取得 (TC1Hレジスタ)
;

C言語プログラム例
unsigned int i;
~
TC1H = 0x01;
TCNT1 = 0xFF;

i = TCNT1;
i |= ((unsigned int)TC1H<<8);
~
/* */
/* [10ビット$1FF書き込み] */
/* 上位バイト設定 (TC1Hレジスタ) */
/* 下位バイト設定 (TC1Hレジスタ 上位バイト) */
/* [10ビット読み込み] */
/* 下位バイト取得 (上位バイト TC1Hレジスタ) */
/* 上位バイト取得 (TC1Hレジスタ合成) */
/* */

```

注: 4頁の「コード例について」をご覧ください。

アセンブリ言語コード例はR17/R16レジスタに対してTCNT1値を戻します。

10ビットレジスタアクセスが非分断操作であるのに注意することが重要です。10ビットレジスタをアクセスする命令間で割り込みが起き、割り込みコードがその10ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることによってTC1Hレジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方がTC1Hレジスタを更新するとき、主コードは10ビットアクセス中の割り込みを禁止しなければなりません。





次のコード例は TCNT1レジスタ内容の非分断読み込み法を示します。同じ原理を使用することにより OCR1A/B/C/Dのどんな読み込みも行えます。

アセンブリ言語プログラム例

```
RD_TCNT1:  IN    R18,SREG          現全割込み許可フラグ(I)を保存
           CLI                    全割込み禁止
           IN    R16,TCNT1        ;TCNT1下位ハイ取得 (上位バイト TC1Hレジスタ)
           IN    R17,TC1H         ;TCNT1上位ハイ取得 (TC1Hレジスタ)
           OUT   SREG,R18         全割込み許可フラグ(I)を復帰
           RET                    呼び出し元へ復帰
```

C言語プログラム例

```
unsigned int TIM16_Read_TCNT1(void)
{
    unsigned char sreg;          /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;             /* TCNT1読み出し変数定義 */
    sreg = SREG;                /* 現全割込み許可フラグ(I)を保存 */
    _CLI();                      /* 全割込み禁止 */
    i = TCNT1;                  /* 下位ハイ取得 (上位バイト TC1Hレジスタ) */
    i |= ((unsigned int)TC1H<<8); /* 上位ハイ取得 (TC1Hレジスタ合成) */
    SREG = sreg;                /* 全割込み許可フラグ(I)を復帰 */
    return i;                   /* TCNT1値で呼び出し元へ復帰 */
}
```

注：4頁の「コード例について」をご覧ください。

アセンブリ言語コード例はR17/R16レジスタ宛に TCNT1 値を戻します。

次のコード例は TCNT1レジスタ内容の非分断書き込み法を示します。同じ原理を使用することにより OCR1A/B/C/Dのどんな書き込みも行えます。

アセンブリ言語プログラム例

```
WR_TCNT1:  IN    R18,SREG          現全割込み許可フラグ(I)を保存
           CLI                    全割込み禁止
           OUT   TC1H,R17         ;TCNT1上位ハイ設定 (TC1Hレジスタ)
           OUT   TCNT1,R16        ;TCNT1下位ハイ設定 (TC1Hレジスタ 上位バイト)
           OUT   SREG,R18         全割込み許可フラグ(I)を復帰
           RET                    呼び出し元へ復帰
```

C言語プログラム例

```
void TIM16_Write_TCNT1(unsigned int i)
{
    unsigned char sreg;          /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;             /* TCNT1書き込み変数定義 */
    sreg = SREG;                /* 現全割込み許可フラグ(I)を保存 */
    _CLI();                      /* 全割込み禁止 */
    TC1H = (i>>8);              /* 上位ハイ設定 (TC1Hレジスタ) */
    TCNT1 = (unsigned char)i;    /* 下位ハイ設定 (TC1Hレジスタ 上位バイト) */
    SREG = sreg;                /* 全割込み許可フラグ(I)を復帰 */
}
```

注：4頁の「コード例について」をご覧ください。

アセンブリ言語コード例はR17/R16レジスタ宛が TCNT1へ書かれるべき値を含むことが必要です。

16.10.1 上位バイト一時レジスタの再使用

書かれる全レジスタについて上位ハイが同じ複数 10ビットレジスタ書き込みならば、上位ハイは一度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。



16.11. タイマ/カウンタ用レジスタ

16.11.1. タイマ/カウンタ制御レジスタA (Timer/Counter Control Register A) TCCR1A

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	PWM1A	PWM1B	TCCR1A
Read/W rite	R/W	R/W	R/W	R/W	W	W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット76 - COM1A1COM1A0 :比較A出力選択 (Compare A Output Mode bits 1 and 0)

これらのビットは波形出力 (OCW1A)の動きとOC1A比較出力ピンの接続を制御します。COM1A1,0ビットの1つまたは両方が1を書かれると、OC1A出力はそのI/Oピンの標準ホ-機能を無効にし、そのI/Oピンに接続されます。相互補間OC1A出力はCOM1A1,0ビットが'01'に設定される時のPWM動作でだけ接続されます。けれども出力ドライバを許可するため、OC1AとOC1Aピンに対応するホ- 方向レジスタDDRのビットがセット(1)されなければならないことに注意してください。

COM1A1,0ビットの機能はPWM1AとWGM11,0ビット設定に依存します。

表 16-6はPWM1Aビットが標準動作 (つまり非PWM)に設定される時のCOM1A1,0ビットの機能を示します。

表 16-6.標準 非PWM動作比較A出力選択

COM1A1,0	OCW1Aの動き	OC1Aピン	OC1Aピン
00	標準ホ-動作	切断	切断
01	比較一致でトル交互切り替え出力	接続	切断
10	比較一致でクリア(0)	接続	切断
11	比較一致でセット(1)	接続	切断

表 16-7はPWM1AとWGM11,0ビットが高速PWM動作に設定される時のCOM1A1,0ビットの機能を示します。

表 16-7.高速PWM動作比較A出力選択

COM1A1,0	OCW1Aの動き	OC1Aピン	OC1Aピン
00	標準ホ-動作	切断	切断
01	比較一致でクリア(0) TCNT1=\$000でセット(1)	接続	接続
10	比較一致でクリア(0) TCNT1=\$000でセット(1)	接続	切断
11	比較一致でセット(1) TCNT1=\$000でクリア(0)	接続	切断

表 16-8はPWM1AとWGM11,0ビットが位相/周波数基準PWM動作に設定される時のCOM1A1,0ビットの機能を示します。

表 16-8.位相/周波数基準PWM動作比較A出力選択

COM1A1,0	OCW1Aの動き	OC1Aピン	OC1Aピン
00	標準ホ-動作	切断	切断
01	上昇計数時の比較一致でクリア(0) 下降計数時の比較一致でセット(1)	接続	接続
10	上昇計数時の比較一致でクリア(0) 下降計数時の比較一致でセット(1)	接続	切断
11	上昇計数時の比較一致でセット(1) 下降計数時の比較一致でクリア(0)	接続	切断

表 16-9はPWM1AとWGM11,0ビットが単一傾斜PWM動作に設定される時のCOM1A1,0ビットの機能を示します。PWM動作では全ての波形生成に波形出力 (OCW1A)が使用され、以下で記述されるようにOC1AとOC1Aが全てのOC1xとOC1xピンに接続されます。

表 16-9.単一傾斜PWM動作比較A出力選択

COM1A1,0	OCW1Aの動き	OC1xピン	OC1xピン
00	標準ホ-動作	切断	切断
01	比較一致でクリア(0) TCNT1=\$000でセット(1)	OC1A	OC1A
10	比較一致でクリア(0) TCNT1=\$000でセット(1)	OC1A	OC1A
11	比較一致でセット(1) TCNT1=\$000でクリア(0)	OC1A	OC1A

表 16-10はPWM1AとWGM11,0ビットが両傾斜PWM動作に設定される時のCOM1A1,0ビットの機能を示します。

表 16-10.両傾斜PWM動作比較A出力選択

COM1A1,0	OCW1Aの動き	OC1xピン	OC1xピン
00	標準ホ-動作	切断	切断
01	上昇計数時の比較一致でクリア(0) 下降計数時の比較一致でセット(1)	OC1A	OC1A
10	上昇計数時の比較一致でクリア(0) 下降計数時の比較一致でセット(1)	OC1A	OC1A
11	上昇計数時の比較一致でセット(1) 下降計数時の比較一致でクリア(0)	OC1A	OC1A





ビット54 - COM1B1/COM1B0 :比較 B出力選択 (Compare B Output Mode bits 1 and 0)

これらのビットは波形出力 (OCW1B)の動きとOC1B比較出力ピン)の接続を制御します。COM1B1,0ビットの1つまたは両方が1を書かれるとOC1B出力はそのI/Oピンの標準ホ-機能を無効にし、そのI/Oピンに接続されます。相互補間OC1B出力はCOM1B1,0ビットが'01'に設定される時のPWM動作でだけ接続されます。けれども出力ドライバを許可するため、OC1AとOC1Bピンに対応するホ- 方向レジスタDDRのビットがセット(1)されなければならないことに注意してください。

COM1B1,0ビットの機能はPWM1BとWGM11,0ビット設定に依存します。

表 16-11はPWM1Bビットが標準動作(つまり非PWM)に設定される時のCOM1B1,0ビットの機能を示します。

表 16-11 標準 非 PWM 動作比較 B出力選択

COM1B1,0	OCW1Bの動き	OC1Bピン	OC1Bピン
00	標準ホ-動作	切断	切断
01	比較一致でトル交互切り替え出力	接続	切断
10	比較一致でクリア(0)	接続	切断
11	比較一致でセット(1)	接続	切断

表 16-12はPWM1BとWGM11,0ビットが高速PWM動作に設定される時のCOM1B1,0ビットの機能を示します。

表 16-12 高速 PWM 動作比較 B出力選択

COM1B1,0	OCW1Bの動き	OC1Bピン	OC1Bピン
00	標準ホ-動作	切断	切断
01	比較一致でクリア(0) TCNT1=\$000でセット(1)	接続	接続
10	比較一致でクリア(0) TCNT1=\$000でセット(1)	接続	切断
11	比較一致でセット(1) TCNT1=\$000でクリア(0)	接続	切断

表 16-13はPWM1BとWGM11,0ビットが位相/周波数基準PWM動作に設定される時のCOM1B1,0ビットの機能を示します。

表 16-13 位相 /周波数基準 PWM 動作比較 B出力選択

COM1B1,0	OCW1Bの動き	OC1Bピン	OC1Bピン
00	標準ホ-動作	切断	切断
01	上昇計数時の比較一致でクリア(0) 下降計数時の比較一致でセット(1)	接続	接続
10	上昇計数時の比較一致でクリア(0) 下降計数時の比較一致でセット(1)	接続	切断
11	上昇計数時の比較一致でセット(1) 下降計数時の比較一致でクリア(0)	接続	切断

ビット3 - FOC1A :比較 A強制変更 (Force Output Compare Match 1A)

FOC1AビットはPWM1Aビットが非PWM動作を指示する時だけ有効です。

このビットへの書き込みは波形出力 (OCW1A)と既にCOM1A1,0ビットで設定した値に従って比較出力 (OC1A/OC1A)の変更を強制します。COM1A1,0をFOC1Aと同じサイクルで書いた場合、新しい設定が使用されます。比較出力強制ビットはタイマ/カウンタ値と無関係に出力ピンを変更するのに使用できます。COM1A1,0で設定した自動動作は比較一致が起こった場合のように実行しますが、割り込みは生成されません。

FOC1Aビットは常に0として読まれます。

ビット2 - FOC1B :比較 B強制変更 (Force Output Compare Match 1B)

FOC1BビットはPWM1Bビットが非PWM動作を指示する時だけ有効です。

このビットへの書き込みは波形出力 (OCW1B)と既にCOM1B1,0ビットで設定した値に従って比較出力 (OC1B/OC1B)の変更を強制します。COM1B1,0をFOC1Bと同じサイクルで書いた場合、新しい設定が使用されます。比較出力強制ビットはタイマ/カウンタ値と無関係に出力ピンを変更するのに使用できます。COM1B1,0で設定した自動動作は比較一致が起こった場合のように実行しますが、割り込みは生成されません。

FOC1Bビットは常に0として読まれます。

ビット1 - PWM1A :PWM-A許可 (Pulse width Moduration A Enable)

セット(1)時、このビットはOCR1A比較器を基にしたPWM動作を許可します。

ビット0 - PWM1B :PWM-B許可 (Pulse width Moduration B Enable)

セット(1)時、このビットはOCR1B比較器を基にしたPWM動作を許可します。



16.11.2. タイマ/カウンタ制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	PWM1X	PSR1	DTPS11	DTPS10	CS13	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - PWM1X : PWM反転動作 (PWM Inversion Mode)

このビットがセット(1)されると、PWM反転動作が選択され、沈黙時間生成器出力、OC1xとOC1yが反転されます。

ビット6 - PSR1 : タイマ/カウンタ前置分周器リセット (Prescaler Reset Timer/Counter1)

詳細については56頁の「タイマ/カウンタの前置分周器」と57頁の本ビット記述をご覧ください。

ビット5,4 - DTPS11 DTPS10 : 沈黙時間前置分周器選択 (Dead Time Prescaler Bits)

沈黙時間生成器前の沈黙時間専用前置分周器は、生成され得る沈黙時間の広範囲を提供する、タイマ/カウンタ1クロック(CKまたはPCK)の1,2,4,8分周ができます。この前置分周器はタイマ/カウンタ制御レジスタB(TCCR1B)からDTPS11 DTPS10の2つの制御ビットによって制御されます。これらのビットは沈黙時間前置分周器の分周値を定義します。この分周値は表 16-14で与えられます。

表 16-14. 沈黙時間前置分周器の分周値

DTPS11	DTPS10	タイマ/カウンタ1 クロック分周数
0	0	1 (分周なし)
0	1	2分周
1	0	4分周
1	1	8分周

ビット3,2,1,0 - CS13 CS12 CS11 CS10 : クロック選択1 (Clock Select1, bits 3,2,1 and 0)

詳細については56頁の「タイマ/カウンタの前置分周器」と57頁の本ビット記述をご覧ください。





16.11.3. タイマ/カウンタ制御レジスタC (Timer/Counter1 Control Register C) TCCR1C

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	COM1A1S COM1A0S		COM1B1S COM1B0S		COM1D1 COM1D0		FOC1D	PWM1D	TCCR1C
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット76 - COM1A1S COM1A0S :比較A出力選択 (Compare A Output Mode bits 1 and 0)
これらのビットは73頁の「タイマ/カウンタ制御レジスタ (TCCR1A)」項で記述されたCOM1A1,0ビットの投影ビットです。

ビット54 - COM1B1S COM1B0S :比較B出力選択 (Compare B Output Mode bits 1 and 0)
これらのビットは73頁の「タイマ/カウンタ制御レジスタ (TCCR1A)」項で記述されたCOM1B1,0ビットの投影ビットです。

ビット32 - COM1D1 COM1D0 :比較D出力選択 (Compare D Output Mode bits 1 and 0)
これらのビットは波形出力 (OCW1D)の動きとOC1D比較出力ピンの接続を制御します。COM1D1,0ビットの1つまたは両方が1を書かれると、OC1D出力はそのI/Oピンの標準ホ-機能を無効にし、そのI/Oピンに接続されます。相互補間OC1D出力はCOM1D1,0ビットが01に設定される時のPWM動作でだけ接続されます。けれども出力ドライバを許可するため、OC1DとOC1Dピンに対応するホ-方向レジスタ(DDR)のビットがセット(1)されなければならないことに注意してください。

COM1D1,0ビットの機能はPWM1DとWGM11,0ビット設定に依存します。

表 16-16はPWM1Dビットが標準動作(つまり非PWM)に設定される時のCOM1D1,0ビットの機能を示します。

表 16-16.標準 非PWM動作比較D出力選択

COM1D10	OCW1Dの動き	OC1Dピン	OC1Dピン
00	標準ホ-動作	切断	切断
01	比較一致でフル交互切り替え出力	接続	切断
10	比較一致でクリア(0)	接続	切断
11	比較一致でセット(1)	接続	切断

表 16-17はPWM1DとWGM11,0ビットが高速PWM動作に設定される時のCOM1D1,0ビットの機能を示します。

表 16-17.高速PWM動作比較D出力選択

COM1D10	OCW1Dの動き	OC1Dピン	OC1Dピン
00	標準ホ-動作	切断	切断
01	比較一致でクリア(0) TCNT1=\$000でセット(1)	接続	接続
10	比較一致でクリア(0) TCNT1=\$000でセット(1)	接続	切断
11	比較一致でセット(1) TCNT1=\$000でクリア(0)	接続	切断

表 16-18はPWM1DとWGM11,0ビットが位相/周波数基準PWM動作に設定される時のCOM1D1,0ビットの機能を示します。

表 16-18.位相/周波数基準PWM動作比較D出力選択

COM1D10	OCW1Dの動き	OC1Dピン	OC1Dピン
00	標準ホ-動作	切断	切断
01	上昇計数時の比較一致でクリア(0) 下降計数時の比較一致でセット(1)	接続	接続
10	上昇計数時の比較一致でクリア(0) 下降計数時の比較一致でセット(1)	接続	切断
11	上昇計数時の比較一致でセット(1) 下降計数時の比較一致でクリア(0)	接続	切断

ビット1 - FOC1D :比較D強制変更 (Force Output Compare Match 1D)

FOC1DビットはPWM1Dビットが非PWM動作を指示する時だけ有効です。

このビットへの書き込みは波形出力 (OCW1D)と既にCOM1D1,0ビットで設定した値に従って比較出力 (OC1D,OC1D)の変更を強制します。COM1D1,0をFOC1Dと同じサイクルで書いた場合、新しい設定が使用されます。比較出力強制ビットはタイマ/カウンタ値と無関係に出力ピンを変更するのに使用できます。COM1D1,0で設定した自動動作は比較一致が起こった場合のように実行しますが、割り込みは生成されません。

FOC1Dビットは常に0として読まれます。

ビット0 - PWM1D :PWM-D許可 (Pulse width Moduration D Enable)

セット(1)時、このビットはOCR1D比較器を基にしたPWM動作を許可します。



16.11.4. タイマ/カウンタ制御レジスタD (Timer/Counter1 Control Register D) TCCR1D

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	FP E1	FP EN1	FP NC1	FP ES1	FP AC1	FP F1	WGM 11	WGM 10	TCCR1D
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - FP E1 誤り保護割り込み許可 (Fault Protection Interrupt Enable)

このビットの (1) への設定は誤り保護割り込みを許可します。

ビット6 - FP EN1 誤り保護動作許可 (Fault Protection Mode Enable)

このビットの (1) への設定は誤り保護動作を活性 (有効) にします。

ビット5 - FP NC1 誤り保護 ノイズ消去許可 (Fault Protection Noise Canceler)

このビットの (1) 設定は誤り保護 ノイズ消去器を活性 (有効) にします。ノイズ消去器が有効にされると 誤り保護入力 (NT0) からからの入力が濾波されます。この濾波器機能はそれが出力を更新することに対して連続 4回等しく評価された NT0からの採取を必要とします。従って誤り保護はノイズ消去器が許可されると、発振器 (システムクロック) サイクル遅らされます。

ビット4 - FP ES1 誤り保護起動入力 イッジ選択 (Fault Protection Edge Select)

このビットは誤り事象を起動するために使用される誤り保護入力 (NT0) のどちらかのエッジを選択します。FP ES1ビットが 0を書かれると起動動作として立ち下り負エッジが使用され、FP ES1ビットが 1を書かれると立ち上り正エッジが誤りを起動します。

ビット3 - FP AC1 誤り保護 アナログ比較器許可 (Fault Protection Analog Comparator Enable)

論理 1を書かれると、このビットはアナログ比較器によって起動されるタイマ/カウンタの誤り保護機能を許可します。この場合、比較器出力は比較器にタイマ/カウンタ誤り保護割り込みのノイズ消去機能とエッジ選択機能を利用させる誤り保護前置論理回路へ直接的に接続されます。論理 0を書かれると、アナログ比較器と誤り保護機能間の接続は存在しません。比較器がタイマ/カウンタ誤り保護割り込みを起動するには、タイマ/カウンタ制御レジスタD (TCCR1D) の誤り保護割り込み許可 (FP E1) ビットがセット (1) されなければなりません。

ビット2 - FP F1 誤り保護割り込み要求フラグ (Fault Protection Interrupt Flag)

FP E1ビットがセット (1) されると、誤り保護割り込みが許可されます。ピン上の動きは例えば誤り保護ピンが出力として設定されていて割り込み要求を引き起こします。誤り保護割り込み要求に対応する割り込みは誤り保護割り込みベクタから実行されます。FP F1ビットは対応する割り込み処理ベクタを実行するとき、ハードウェアによってクリア (0) されます。代わりに FP F1はこのフラグへの論理 1書き込みによって同期化クロックサイクル後にクリア (0) されます。ステータスレジスタ (SREG) の全割り込み許可 (IF) ビット FP F1とFP F1がセット (1) されると、誤り保護割り込みが実行されます。

ビット10 - WGM11WGM10 波形生成種別 (Waveform Generation Mode Bits)

PWM1xビットと組み合わせたこれらのビットは、カウンタの計数順序 (方向) と使用されるべき波形生成のどの形式かを制御します (表 16-19. 参照)。タイマ/カウンタによって支援される動作種別は標準動作 (カウンタ)、高速 PWM動作、位相 / 周波数基準 PWM動作とPWM動作です。

表 16-19. 波形生成種別選択

PWM1x	WGM110	タイマ/カウンタ動作種別	TOP値	OCR1x更新時	TOV 設定時
0	x x	標準動作	OCR1C	即時	TOP
1	0 0	高速 PWM動作	OCR1C	TOP	TOP
1	0 1	位相 / 周波数基準 PWM動作	OCR1C	BOTTOM	BOTTOM
1	1 0	単一傾斜 PWM動作	OCR1C	TOP	TOP
1	1 1	両傾斜 PWM動作	OCR1C	BOTTOM	BOTTOM





16.11.5. タイマ/カウンタ制御レジスタE (Timer/Counter1 Control Register E) TCCR1E

ビット	7	6	5	4	3	2	1	0	
\$00 (\$20)	-	-	OC1OE5	OC1OE4	OC1OE3	OC1OE2	OC1OE1	OC1OE0	TCCR1E
Read/W rite	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット76 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット5~ 0 - OC1OE5~ OC1OE0 :比較出力での無効化許可 (Output Compare Override Enable Bits)

これらのビットは対応する比較出力ピンでの瞬時応答を持つ PWM動作で比較出力ピンを接続または切断する、比較出力での標準ポート機能無効化許可ビットです。比較出力での無効化許可ビットがクリア(0)されると、ポート出力レジスタからの実際の値がポートピンで見えるでしょう。表 16-20は比較出力での無効化許可ビットとそれらに対応する比較出力ピンを示します。

表 16-20. 比較出力での無効化許可ビット対 比較出力ピン

OC1OE5	OC1OE4	OC1OE3	OC1OE2	OC1OE1	OC1OE0
OC1D (PB5)	OC1D (PB4)	OC1B (PB3)	OC1B (PB2)	OC1A (PB1)	OC1A (PB0)

16.11.6. タイマ/カウンタ1 (Timer/Counter1) TCNT1

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	(MSB)							(LSB)	TCNT1
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この8ビットレジスタはタイマ/カウンタ1の下位バイトを含みます。

タイマ/カウンタ1は読み書きアクセスで10ビット昇降カウンタとして実現されます。CPUの同期化のため、タイマ/カウンタ1に書かれたタイマ/カウンタ1データは同期動作で1.5CPUクロックサイクル、非同期動作で更に1CPUクロックサイクル、遅延されます。10ビット精度が好まれるとき、8ビットAVRデータバス経由での10ビットTCNT1アクセスに対して特別な手順に従わなければなりません。これらの手順は7頁の「10ビットレジスタのアクセス」項で記述されます。代わりに、タイマ/カウンタ1は8ビットタイマ/カウンタとしても使用できます。タイマ/カウンタが常にTCNT1レジスタ書き込み後に計数を開始することに注意してください。

16.11.7. タイマ/カウンタ1上位バイトレジスタ (Timer/Counter1 High Byte) TC1H

ビット	7	6	5	4	3	2	1	0	
\$25 (\$45)	-	-	-	-	-	-	TC19	TC18	TC1H
Read/W rite	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタ1上位レジスタは2ビット読み書きレジスタです。

ビット7~ 2 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット10 - TC19,TC18 :10ビットアクセスの上位2ビット (Two MSB bits of the 10-bit accesses)

10ビット精度が使用される場合、タイマ/カウンタ1上位バイトレジスタは10ビットアクセスのMSB (TC19,TC18)ビットを一時的に格納するのに使用されます。タイマ/カウンタ1内の全10ビットレジスタ間で同じTC1Hレジスタが共用されます。10ビットTCNT1を8ビットAVRデータバス経由でアクセスするとき、特別な手順に従わなければならないことに注意してください。これらの手順は7頁の「10ビットレジスタのアクセス」項で記述されます。



16.11.8. タイマ/カウンタ1比較Aレジスタ (Timer/Counter1 Output Compare Register A) OCR1A

ビット	7	6	5	4	3	2	1	0		
\$2D (\$4D)	(MSB)							(LSB)		OCR1A
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	0	

この比較Aレジスタは8ビット読み書きレジスタです。

比較Aレジスタは継続的にタイマ/カウンタ(TCNT1)と比較されるデータを含みます。比較一致での動作はタイマ/カウンタ制御レジスタA(TCCR1A)で指定されます。比較一致はタイマ/カウンタがOCR1A値へ計数する場合にだけ起こります。TCNT1とOCR1Aを同じ値に設定するソフトウェア書き込みは比較一致を生成しません。

比較一致は比較事象に続く同期化遅延後に比較A一致割り込み要求フラグ(OCF1A)をセット(1)します。

10ビット精度が使用される場合、8ビットAVRデータバス経由で10ビット比較A内部レジスタをアクセスするとき、特別な手順に従わなければならないことに注意してください。これらの手順は7頁の「10ビットレジスタのアクセス項」で記述されます。

16.11.9. タイマ/カウンタ1比較Bレジスタ (Timer/Counter1 Output Compare Register B) OCR1B

ビット	7	6	5	4	3	2	1	0		
\$2C (\$4C)	(MSB)							(LSB)		OCR1B
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	0	

この比較Bレジスタは8ビット読み書きレジスタです。

比較Bレジスタは継続的にタイマ/カウンタ(TCNT1)と比較されるデータを含みます。比較一致での動作はタイマ/カウンタ制御レジスタA(TCCR1A)で指定されます。比較一致はタイマ/カウンタがOCR1B値へ計数する場合にだけ起こります。TCNT1とOCR1Bを同じ値に設定するソフトウェア書き込みは比較一致を生成しません。

比較一致は比較事象に続く同期化遅延後に比較B一致割り込み要求フラグ(OCF1B)をセット(1)します。

10ビット精度が使用される場合、8ビットAVRデータバス経由で10ビット比較B内部レジスタをアクセスするとき、特別な手順に従わなければならないことに注意してください。これらの手順は7頁の「10ビットレジスタのアクセス項」で記述されます。

16.11.10. タイマ/カウンタ1比較Cレジスタ (Timer/Counter1 Output Compare Register C) OCR1C

ビット	7	6	5	4	3	2	1	0		
\$2B (\$4B)	(MSB)							(LSB)		OCR1C
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	0	

この比較Cレジスタは8ビット読み書きレジスタです。

比較Bレジスタは継続的にタイマ/カウンタ(TCNT1)と比較されるデータを含み、比較一致はTCNT1をクリア(=0)します。このレジスタは標準動作とPWM動作で同じ機能を持ちます。

より小さな値が比較Cレジスタに書かれると、このレジスタへ書き込むことが許された最小値である3によって置換されることに注意してください。

10ビット精度が使用される場合、8ビットAVRデータバス経由で10ビット比較C内部レジスタをアクセスするとき、特別な手順に従わなければならないことに注意してください。これらの手順は7頁の「10ビットレジスタのアクセス項」で記述されます。

16.11.11. タイマ/カウンタ1比較Dレジスタ (Timer/Counter1 Output Compare Register D) OCR1D

ビット	7	6	5	4	3	2	1	0		
\$2A (\$4A)	(MSB)							(LSB)		OCR1D
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	0	

この比較Dレジスタは8ビット読み書きレジスタです。

比較Dレジスタは継続的にタイマ/カウンタ(TCNT1)と比較されるデータを含みます。比較一致での動作はタイマ/カウンタ制御レジスタC(TCCR1C)で指定されます。比較一致はタイマ/カウンタがOCR1D値へ計数する場合にだけ起こります。TCNT1とOCR1Dを同じ値に設定するソフトウェア書き込みは比較一致を生成しません。

比較一致は比較事象に続く同期化遅延後に比較D一致割り込み要求フラグ(OCF1D)をセット(1)します。

10ビット精度が使用される場合、8ビットAVRデータバス経由で10ビット比較D内部レジスタをアクセスするとき、特別な手順に従わなければならないことに注意してください。これらの手順は7頁の「10ビットレジスタのアクセス項」で記述されます。





16.11.12. タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter InterruptMask Register) TMSK

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	OC E1D	OC E1A	OC E1B	OC E0A	OC E0B	TO E1	TO E0	TC E0	TMSK
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - OC E1D : タイマ/カウンタ1比較D割り込み許可 (Timer/Counter1 Output CompareMatch D Interrupt Enable)
 OC E1Dビットがセット(1)され、ステータスレジスタ(SREG)の全割り込み許可(IFL)ビットがセット(1)されると、タイマ/カウンタ比較D一致割り込みが許可されます。比較D一致が起きると、ヘキサ\$0011の対応する割り込みが実行されます。タイマ/カウンタの比較D一致フラグ(OCF1D)がタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でセット(1)されます。

ビット6 - OC E1A : タイマ/カウンタ1比較A割り込み許可 (Timer/Counter1 Output CompareMatch A Interrupt Enable)
 OC E1Aビットがセット(1)され、ステータスレジスタ(SREG)の全割り込み許可(IFL)ビットがセット(1)されると、タイマ/カウンタ比較A一致割り込みが許可されます。比較A一致が起きると、ヘキサ\$0003の対応する割り込みが実行されます。タイマ/カウンタの比較A一致フラグ(OCF1A)がタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でセット(1)されます。

ビット5 - OC E1B : タイマ/カウンタ1比較B割り込み許可 (Timer/Counter1 Output CompareMatch B Interrupt Enable)
 OC E1Bビットがセット(1)され、ステータスレジスタ(SREG)の全割り込み許可(IFL)ビットがセット(1)されると、タイマ/カウンタ比較B一致割り込みが許可されます。比較B一致が起きると、ヘキサ\$0004の対応する割り込みが実行されます。タイマ/カウンタの比較B一致フラグ(OCF1B)がタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でセット(1)されます。

ビット2 - TO E1 : タイマ/カウンタ1 オーバーフロー割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)
 TO E1ビットがセット(1)され、ステータスレジスタ(SREG)の全割り込み許可(IFL)ビットがセット(1)されると、タイマ/カウンタ1 オーバーフロー割り込みが許可されます。タイマ/カウンタでオーバーフローが起きると、ヘキサ\$0005の対応する割り込みが実行されます。(タイマ/カウンタのオーバーフロー割り込み要求(TOV1)フラグはタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でセット(1)されます。

16.11.13. タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	OCF1D	OCF1A	OCF1B	OCF0A	OCF0B	TOV1	TOV0	CF0	TIFR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - OCF1D : タイマ/カウンタ1比較D割り込み要求フラグ (Timer/Counter1, Output Compare D Match Flag)
 OCF1Dビットはタイマ/カウンタ1(TCNT1)と比較Dレジスタ(OCR1D)のデューティ値間で比較一致が起こる時にセット(1)されます。対応する割り込み処理を実行すると、OCF1Dはハードウェアによってクリア(0)されます。代わりに、このフラグへの論理書き込みによっても同期化クロックサイクル後にOCF1Dがクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(IFL)ビット タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ比較D一致割り込み許可(OC E1D)ビット OCF1Dがセット(1)されると、タイマ/カウンタ比較D一致割り込みが実行されます。

ビット6 - OCF1A : タイマ/カウンタ1比較A割り込み要求フラグ (Timer/Counter1, Output Compare A Match Flag)
 OCF1Aビットはタイマ/カウンタ1(TCNT1)と比較Aレジスタ(OCR1A)のデューティ値間で比較一致が起こる時にセット(1)されます。対応する割り込み処理を実行すると、OCF1Aはハードウェアによってクリア(0)されます。代わりに、このフラグへの論理書き込みによっても同期化クロックサイクル後にOCF1Aがクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(IFL)ビット タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ比較A一致割り込み許可(OC E1A)ビット OCF1Aがセット(1)されると、タイマ/カウンタ比較A一致割り込みが実行されます。

ビット5 - OCF1B : タイマ/カウンタ1比較B割り込み要求フラグ (Timer/Counter1, Output Compare B Match Flag)
 OCF1Bビットはタイマ/カウンタ1(TCNT1)と比較Bレジスタ(OCR1B)のデューティ値間で比較一致が起こる時にセット(1)されます。対応する割り込み処理を実行すると、OCF1Bはハードウェアによってクリア(0)されます。代わりに、このフラグへの論理書き込みによっても同期化クロックサイクル後にOCF1Bがクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(IFL)ビット タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ比較B一致割り込み許可(OC E1B)ビット OCF1Bがセット(1)されると、タイマ/カウンタ比較B一致割り込みが実行されます。

ビット2 - TOV1 : タイマ/カウンタ1 オーバーフロー割り込み要求フラグ (Timer/Counter1 Overflow Flag)
 標準動作と高速PWM動作でのTOV1ビットはカウンタがTOPに達する時毎に、カウンタがBOTTOMにリセットされる時と同じクロックサイクルでセット(1)されます。位相/周波数基準PWM動作でのTOV1ビットはBOTTOMに達する時毎に、\$000がカウンタへ計数される時と同じクロックサイクルでセット(1)されます。

対応する割り込み処理を実行すると、TOV1はハードウェアによってクリア(0)されます。代わりに、このフラグへの論理書き込みによっても同期化クロックサイクル後にTOV1がクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(IFL)ビット タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ1 オーバーフロー割り込み許可(TO E1)ビット OVFがセット(1)されると、タイマ/カウンタ1 オーバーフロー割り込みが実行されます。



16.11.14. タイマ/カウンタ1沈黙時間値レジスタ (Timer/Counter1 Dead Time Value) DT1

ビット	7	6	5	4	3	2	1	0	
\$24 (\$44)	DT1H3	DT1H2	DT1H1	DT1H0	DT1L3	DT1L2	DT1L1	DT1L0	DT1
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この沈黙時間値レジスタは8ビット読み書きレジスタです。

タイマ/カウンタの全チャンネルの沈黙時間遅延は沈黙時間値レジスタ(DT1)によって調節されます。このレジスタは各相互補完出力について1つの、DT1H3~0とDT1L3~0の2つの領域から成ります。従ってOC1xの立ち上りエッジとOC1xの立ち上りエッジに対して異なる沈黙時間遅延に調節できます。

ビット7~4 - DT1H3~0 : OC1x沈黙時間 (Dead Time Value for OC1x Output)

OC1x出力に対する沈黙時間値です。沈黙時間遅延は前置分周したタイマ/カウンタ クロック数として設定されます。最小沈黙時間は0で、最大沈黙時間は前置分周したタイマ/カウンタ クロック周期 × 15です。

ビット3~0 - DT1L3~0 : $\overline{\text{OC1x}}$ 沈黙時間 (Dead Time Value for $\overline{\text{OC1x}}$ Output)

$\overline{\text{OC1x}}$ 出力に対する沈黙時間値です。沈黙時間遅延は前置分周したタイマ/カウンタ クロック数として設定されます。最小沈黙時間は0で、最大沈黙時間は前置分周したタイマ/カウンタ クロック周期 × 15です。



17. 多用途シリアル インターフェイス (USI: Universal Serial Interface)

17.1. 特徴

- 2線同期データ転送 (マスターまたはスレーブ)
- 3線同期データ転送 (マスターまたはスレーブ)
- データ受信割り込み
- アイドル動作からの起動復帰
- 2線動作でのハードウェア動作を含む全スリープ動作からの起動復帰
- 割り込み能力を持つ2線動作開始条件検出器

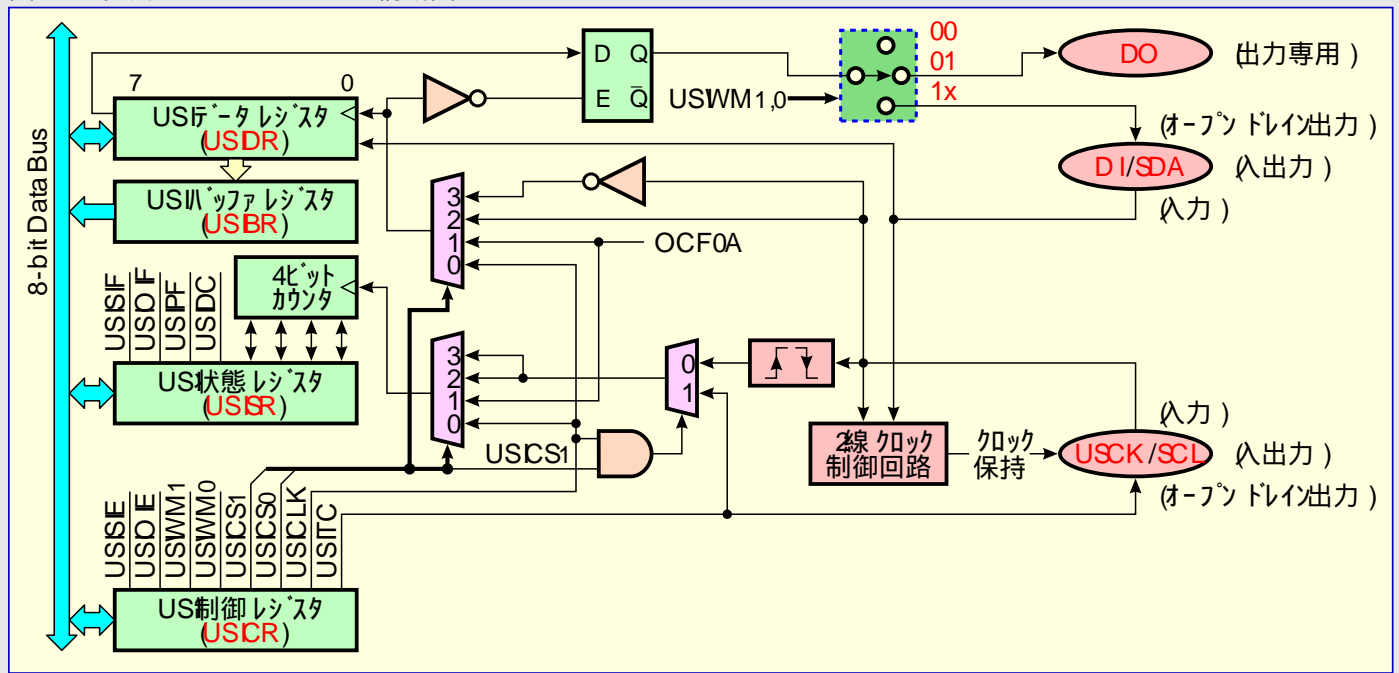
17.2. 概要

多用途シリアル インターフェイス (USI) はシリアル通信で必要とされる基本的なハードウェア資源 機能 を提供します。最低限の制御ソフトウェアとの組み合わせで、USI はソフトウェアのみを元とした方法より少ないコード量と重要な高い転送率を許します。プロセッサ負荷を最小とするために割り込みが含まれます。

USI の単純化した構成図は図 17-1 で示されます。実際の I/O ピンの配置は 2 頁の「ピン配置」を参照してください。I/O ビット I/O ピンを含み、CPU がアクセス可能な I/O レジスタは赤文字 訳注 原文は太字 で示されます。データバス仕様の I/O レジスタとビット位置は 8 頁の「USI レジスタ」で一覧されます。

2 頁での「電力削減レジスタ (PRR)」の PRUSIC ビットは USI を許可するために 0 を書かれなければなりません 訳注 本行追加)

図 17-1. 多用途シリアル インターフェイス構成図



8ビットのシフトレジスタ (USDR) はデータバス経由で直接的にアクセス可能で、入ってくるデータと出て行くデータを含みます。このレジスタはバッファを持たないので 訳注 USDBの新設のより前部が不適切、削除されるべき) データが失われないことを保証するため、データは可能な限り早く読まなければなりません。最上位ビットは動作種別設定に依存し、2つの出力ピンの1つに接続されます。トランスバリエント透過型 (ラッチ) はシリアル (シフト) レジスタ出力と出力ピン間に挿入され、データの変更をデータ入力採取と逆のクロックエッジに遅らせます。シリアル入力は種別設定に拘らず、常にデータ入力 (DI) ピンから採取されます。

4ビットカウンタはデータバス経由で読み書き両方ができ、オーバーフロー割り込みを生成できます。このカウンタとシリアル (シフト) レジスタは同じクロックにより同時にクロック駆動されます。これは受信または送信したビット数を数え、転送完了時に割り込みを生成することをカウンタに許します。外部クロック元が選択されると、このカウンタが両クロックエッジで計数することに注意してください。この場合、カウンタはビット数ではなく、エッジ数を数えます。クロックは3つの異なるクロック元 (USCKピン、タイマ/カウンタの比較A一致、ソフトウェアから選択) できます。

2線クロック制御部 (回路) は2線バスで開始条件が検出される時に割り込みを発生できます。開始条件検出後またはカウンタオーバーフロー後にクロックピンを Low に保持することによって、ウェイトステータスを生成することもできます。

訳注) 原書の本章はタイマ/カウンタからのクロック元が明確ではないため、本書では比較A一致 (OCF0A) として記載しましたが、オーバーフローまたは比較B一致かもしれません。他の明確な誤りについて、本書では修正してあります。



17.3. 機能説明

17.3.1. 3線動作

USの3線動作はシリアル周辺インターフェース(SPI)の動作種別0と1に準拠していますが、スレーフ選択(SS)ピン機能を持ちません。けれども、この特性機能は必要ならばソフトウェアで実現できます。この動作で使用されるピン名はDIDO USCKです。

図 17-2. 3線動作簡略構成図

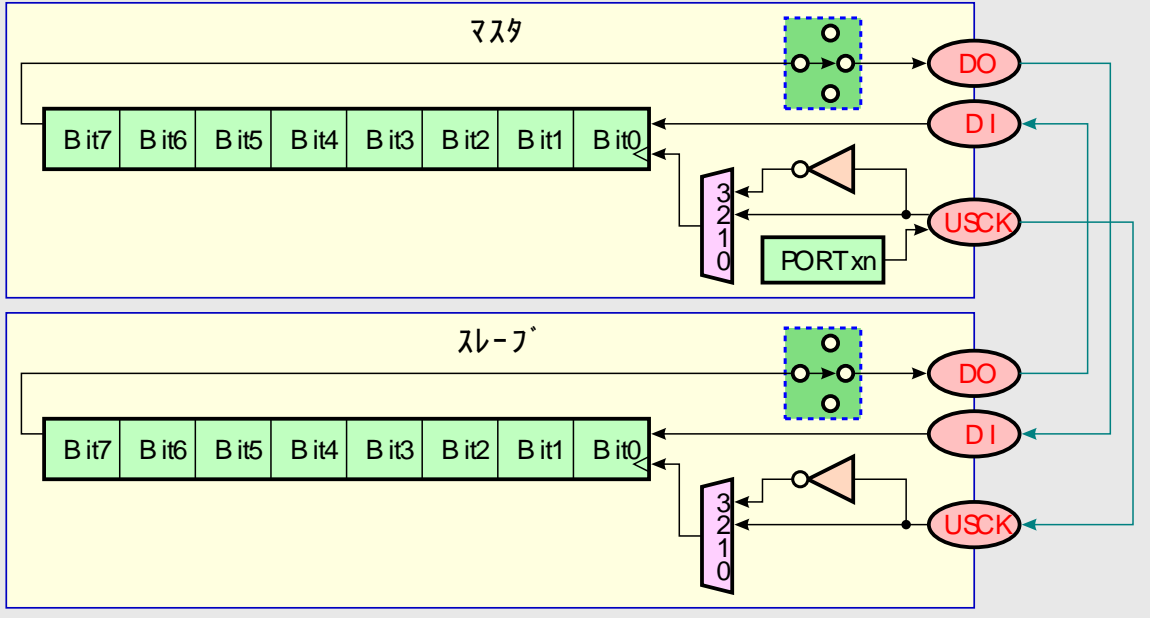
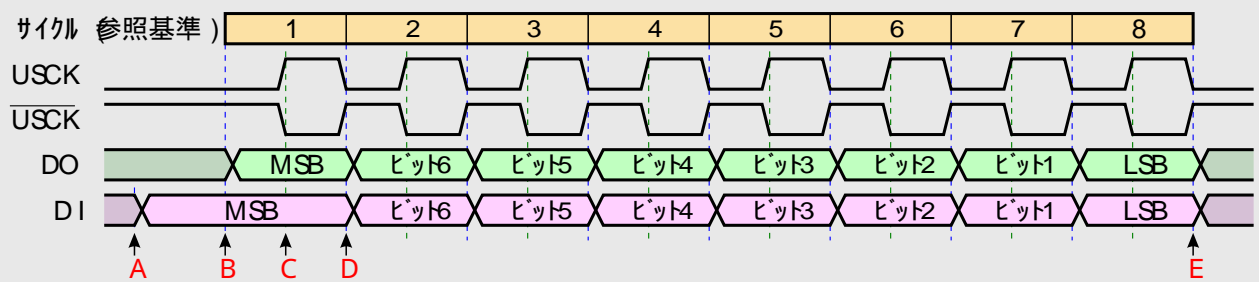


図 17-2は3線動作での2つのUS部（一方はマスタ、他方はスレーフ動作を示します。このような方法で連結された2つのシフトレジスタは、8USCKクロック後、各々のレジスタのデータが交換されます。この同じクロック(USCK)がUSの4ビットカウンタ増加(+1)します。従って **カウンタオーバーフロー割り込み要求フラグ(USOIF)**は転送が完了される時を決めるために使用できます。このクロックはPORTレジスタ経由USCKピン1/交互切り替え、またはUSCRのUSITCビットへの書き込みによるマスタ装置ソフトウェアにより生成されます。

図 17-3. 3線動作タイミング



3線動作タイミングは図 17-3で示されます。図の最上部はUSCKサイクル参照基準です。これらの各サイクルに対して1ビットが**USシフトレジスタ(USDR)**にシフトされます。USCKタイミングは両方の外部クロック動作について示されます。外部クロック動作0(USCS0=0)でのDは立ち上りエッジで採取され、DOは立ち下りエッジで変更(USDRが1つシフト)されます。外部クロック動作1(USCS0=1)は外部クロック動作0に対して逆エッジを使用、換言すると立ち下りでデータを採取、立ち上りエッジで出力を変更します。USクロック動作種別はSPモード動作種別0と1に対応します。

このタイミング図(図 17-3)を参照すると、データ転送は次の手順を含みます。

1. マスタ装置とスレーフ装置はデータ出力を設定し、使用規約に依存して出力ドライバを許可します(AとB)。この出力はシリアルデータレジスタへの送信されるべきデータ書き込みにより設定します。出力の許可はポート方向レジスタの対応するビット設定により行います。A点とB点はどんな特別な順番もありませんが、両方ともデータが採取されるC点より最低1/2USCKサイクル前でなければならないことに注意してください。これはデータ設定の必要条件を満足させることを保証するために行わなければならないことです。4ビットカウンタは0にリセットします。
2. マスタはUSCK線をソフトウェアで2度切り替えることによりクロックパルスを生成します(CとD)。マスタとスレーフのデータ入力(DI)ピンのビット値は最初のエッジ(C)でUSIにより採取され、データ出力は逆エッジ(D)で変更されます。4ビットカウンタは両エッジで計数します。
3. 手順2がレジスタバイト転送完了のために8回繰り返されます。
4. 8クロックパルス換言すると16クロックエッジ後、カウンタがオーバーフローし、転送完了を示します。転送したバイトデータは新規転送が開始され得るのに先立ち、直ぐに処置されなければなりません。オーバーフロー割り込みはプロセッサがアイドル動作に設定されているなら、プロセッサを起動復帰します。使用規約によって、スレーフ装置は直ぐに出力をHi-Z設定にできます。





1732. SP Rスタ操作例

次のコードはSP RスタとしてのUS部使用法を実際に示します。

```

アセンブリ言語プログラム例
SPIM:   OUT    USIDR,R16           ;送信データを設定
        LDI    R16,(1<<USIOIF)    ;USIOIFビットのみ値を取得
        OUT    USISR,R16         ;フラク解除/カウンタ初期化
        LDI    R16,(1<<USMWD)|(1<<USICS1)|(1<<USICLK)|(1<<USITC) ;線動作カウンタ生成値を取得
;
SPIM_LP: OUT    USICR,R16         ;SCKクロックエッジ発生
        SBIS   USISR,USIOIF      ;オーバーフローでスキップ
        R JMP   SPIM_LP          ;オーバーフローまで継続
;
        IN     R16,USIDR         ;受信データを取得
        RET                               ;呼び出し元へ復帰

```

このコードは8命令(RETのみ使用)の容量最適化です。このコード例はDOとUSCKピンがDDRAまたはDDR Bで出力として許可される仮定です。この関数が呼び出される前にR16レジスタへ格納した値はスレーフ装置に転送され、転送が完了されるときにスレーフ装置から受信したデータがR16レジスタに戻り格納されます。

2行目と3行目の命令はカウンタオーバーフロー割り込み要求フラグ(USIOF)をクリア(0)し、USI 4ビットカウンタ値をクリア(=0)します。4行目と5行目の命令は線動作、立ち上りエッジシフトレジスタクロックUSITCストロブ計数、SCK出力交互切り替え(PORTB7)を設定します。このループは16回繰り返されます。

次のコードは最高速($f_{SCK} = f_{CK} / 2$)でのSP RスタとしてのUS部使用法を実際に示します。

```

アセンブリ言語プログラム例
SPIM_F: OUT    USIDR,R16           ;送信データを設定
        LDI    R16,(1<<USMWD)|(0<<USICS0)|(1<<USITC)    ;線動作初期値を取得
        LDI    R17,(1<<USMWD)|(0<<USICS0)|(1<<USITC)|(1<<USICLK) ;線動作カウンタ生成値を取得
;
        OUT    USICR,R16         ;MSB転送
        OUT    USICR,R17         ;
        OUT    USICR,R16         ;ビット0転送
        OUT    USICR,R17         ;
        OUT    USICR,R16         ;ビット1転送
        OUT    USICR,R17         ;
        OUT    USICR,R16         ;ビット2転送
        OUT    USICR,R17         ;
        OUT    USICR,R16         ;ビット3転送
        OUT    USICR,R17         ;
        OUT    USICR,R16         ;ビット4転送
        OUT    USICR,R17         ;
        OUT    USICR,R16         ;ビット5転送
        OUT    USICR,R17         ;
        OUT    USICR,R16         ;ビット6転送
        OUT    USICR,R17         ;
        OUT    USICR,R16         ;LSB転送
        OUT    USICR,R17         ;
;
        IN     R16,USIDR         ;受信データを取得
        RET                               ;呼び出し元へ復帰

```



17.3.3. SPマスタ操作例

次のコードはSPマスタとしてのUS部使用法を実際に示します。

```

アセンブリ言語プログラム例
init:      LDI      R16, (1<<USMWD) | (1<<USICS1)      ;線動作 外部 クロック値を取得
          OUT      USICR,R16                          ;線動作 外部 クロック設定

SPIS:      OUT      USIDR,R16                          送信データ設定
          LDI      R16, (1<<USIOIF)                    ;USDフラグのみ 値を取得
          OUT      USISR,R16                          ;フラグ解除 /カウンタ初期化

;
SPIS_LP:   SBIS     USISR,USIOIF                        ;オーバーフローでスキップ
          R JMP    SPIS_LP                            ;オーバーフローまで継続

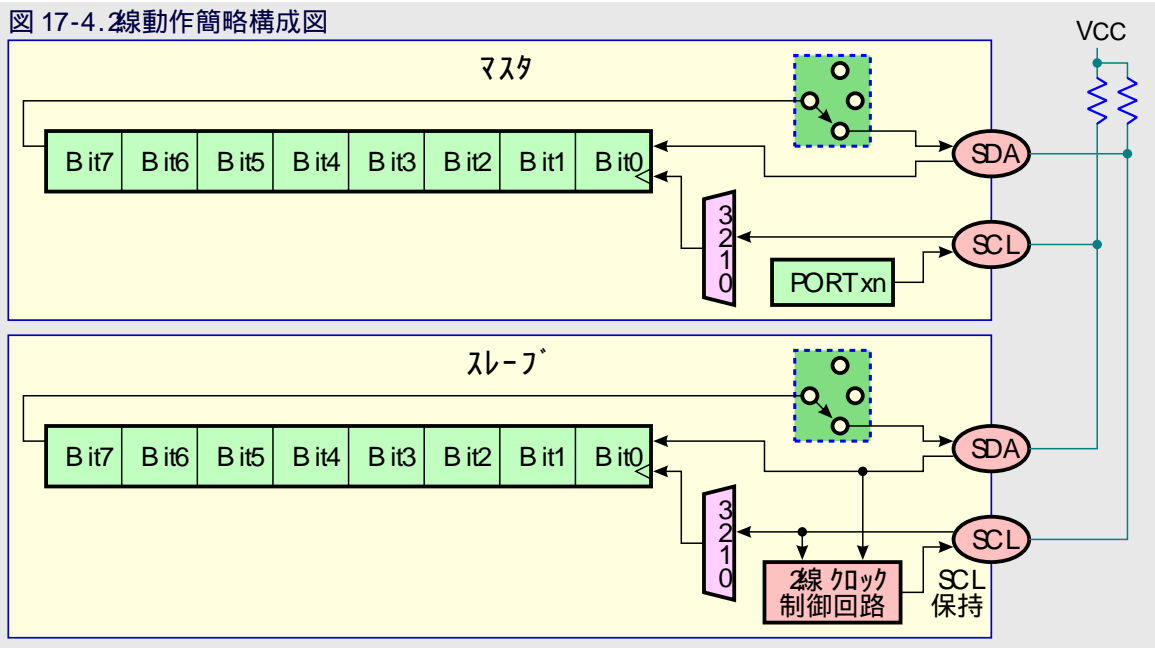
;
          IN      R16,USIDR                            受信データ取得
          RET                                           呼び出し元へ復帰
    
```

このコードは命令(+RET)のみ使用の容量最適化です。このコード例はDDRAまたはDDRBLレジスタでDOピンが出力、USCKピンが入力として設定されると仮定します。この関数が呼び出される前にR16レジスタへ格納した値はマスタ装置に転送され、転送が完了されるときにマスタ装置から受信したデータがR16レジスタ外に戻り格納されます。

最初の命令は初期化用だけで、一度実行されることだけを必要とすることに注意してください。これらの命令は線動作と立ち上りエッジシフトレジスタクロックを設定します。このループはUSIカウンタオーバーフローフラグがセットされるまで繰り返されます。

17.3.4. 線動作

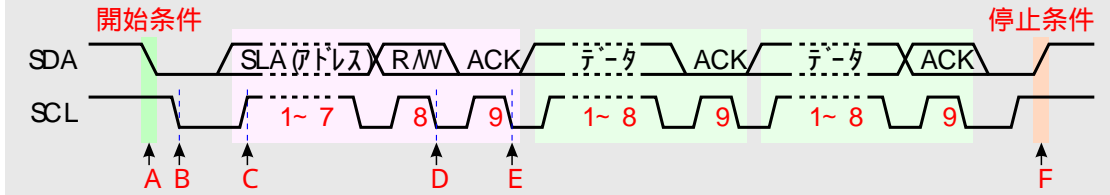
USの線動作はPC(TWI)の規格に準拠していますが、出力の slew rate 制限と入力ノイズ濾波器がありません。この動作で使用するピン名はSCLとSDAです。



このクロックが(4ビット)カウンタ増加(+1)するため、カウンタオーバーフロー(USDIF)は転送が完了されることを示すために使用できます。このクロックはマスタによるPORTAまたはPORTBレジスタ経由のSCLピン交互切り替えにより生成されます。データ方向は物理層によって与えられません。TWIバスで使用したような或る種の規格がデータの流れを制御するために実装されなければなりません。



図 17-5. 代表的な 2 線動作 タイミング



このタイミング図 図 17-5 を参照すると、I²C 転送は次の手順を含みます。

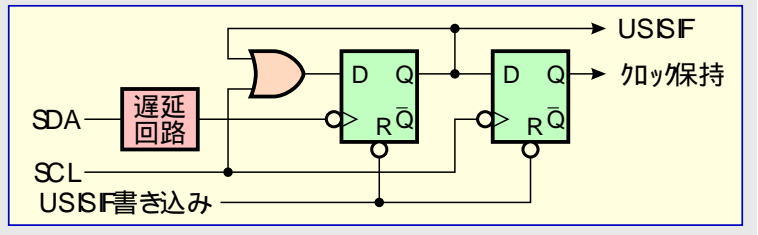
1. **開始条件** はマスタによる SCL 線 High 中の SDA 線 Low 強制により生成されます (A)。SDA はシフトレジスタのビットへの書き込みか、または PORT レジスタで対応ビットを 0 に設定のどちらかによって強制実行できます。出力が許可されるにはデータ方向 (DDR) レジスタのビットが 1 に設定されなければならないことに注意してください。スレーブ装置の開始条件検出器論理回路 (図 17-6 参照) は開始条件を検出し、USISF フラグをセット (1) します。このフラグは必要ならば割り込みを発生できます。
2. 加えて開始条件検出器はマスタが SCL 線で立ち下りエッジを強制してしまった後、SCL 線を Low に保持します (B)。これは、アドレスを受信するためにシフトレジスタを設定する前に、スレーブ動作から起動復帰または他の処理を完了することをスレーブに許します。これ (保持解除) は (4 ビット) カウンタを 0 に、開始条件検出フラグ (USISF をクリア (0) することにより行われます。
3. マスタは転送されるべき最初のビットを設定し、SCL 線を開放します (C)。スレーブは SCL クロックの立ち上りエッジでデータを採取し、シフトレジスタへシフトします。
4. スレーブ アドレスとデータ方向 (R/W) を含んで 8 ビットが転送された後、スレーブの (4 ビット) カウンタがオーバーフローし、SCL 線が Low を強制されます (D)。スレーブはマスタがアドレス指定してしまわない場合、SCL 線を開放し、新規開始条件を待ちます。
5. スレーブがアドレス指定されると、再び SCL 線を Low に保持する前の応答 (ACK サイクルの間中、SDA 線を Low に保持します。換言すると D 点で SCL を開放する前に (4 ビット) カウンタレジスタは 14 に設定されなければなりません) R/W ビットに依存してマスタ、スレーブは出力を許可します。このビットがセット (1) の場合、マスタ読み込み動作が進行中です。換言するとスレーブが SDA 線を駆動します) スレーブは応答後 (E) SCL 線を Low に保持できます。
6. マスタにより停止条件 (F) または新規開始条件 (再送開始条件) が与えられるまで全て同方向で複数バイトが直ぐに転送できます。スレーブはより多くのデータを受信できない場合、最後に受信したバイトデータに回答しません。マスタが読み込み動作を行うとき、最後のバイトが転送された後の応答ビットを Low に強制することにより、この動作を終了しなければなりません。

17.3.5. 開始条件検出器

開始条件検出器は図 17-6 で示されます。SDA 線は SCL 線の有効な採取を保证するために (50 ~ 300 ns) の範囲で遅延されます。開始条件検出器は 2 線動作でだけ許可されます。

開始条件検出器は非同期に動作し、従ってソフトウェアからプロセッサを起動できます。けれども使用した規約が SCL 保持時間で制限を持つかもしれません。従ってこの場合にこの特徴機能を使用するとき、CKSEL ビューによって設定する発振器起動時間 (15 頁の「クロックシステムとその配給」参照) 先考慮内に取り入れられなければなりません。より多くの詳細については 8 頁の USISF フラグ記述を参照してください。

図 17-6. 開始条件検出器回路構成



17.4. US での代替使用

US 部がシリアル通信に使用されないとき、柔軟な設計のため、代替処理を行うのに設定できます。

- 17.4.1. 半二重非同期データ転送 3 線動作でシフトレジスタを使用することによって、ソフトウェアだけで簡潔で高性能の UART 実装が可能です。
- 17.4.2. 4 ビット カウンタ 4 ビット カウンタは オーバーフロー割り込み との自立型 カウンタとして使用できます。このカウンタが外部的にクロック駆動される場合、両クロックエッジが増加 (+1) を発生することに注意してください。
- 17.4.3. 12 ビット カウンタ US の 4 ビット カウンタと タイマ/カウンタ の組み合わせは 12 ビット カウンタとしての使用を許します。
- 17.4.4. エッジ起動外部割り込み 4 ビット カウンタを最大値 (5F) に設定することにより、追加外部割り込みとして機能できます。オーバーフローフラグと割り込み許可ビットは、この外部割り込みに対して使用されます。この特徴機能は USCS16 ビットにより選択 (=1) されます。
- 17.4.5. ソフトウェア割り込み 4 ビット カウンタの オーバーフロー割り込みは クロック ストップにより起動するソフトウェア割り込みとして使用できます。



17.5. US用 レジスタ

17.5.1. USデータレジスタ (US Data Register) US DR

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	MSB							LSB	US DR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データレジスタ(USDR)をアクセスするとき、シリアルレジスタは直接的にアクセスされます。レジスタが書かれるのと同じサイクルでシリアルクロックが起こると、レジスタは書いた値を含み、シフトは実行されません。左シフト動作はUSCS1.0ビット設定に従って実行されます。このシフト動作は外部クロックエッジ、タイマ/カウンタ比較A一致により、またはUSCLKスロープビットを使用するソフトウェアによって直接的に制御できます。または線動作種別が選択されない(USWM1.0=00)ときでも、外部データ入力(DI/SDA)と外部クロック入力(USCK/SCL)の両方が未だシフトレジスタにより使用できることに注意してください。

動作種別に従って使用する出力ピン(D0またはSDA)は出力ラッチを経由してデータレジスタの最上位ビット(ビット7)に接続されます。この出力ラッチは外部クロック元が選択される(USCS1=1)とき、シリアルクロックサイクルの前半中が透過(トランスパレント)で、内部クロック元が使用される(USCS1=0)とき、定常的に透過です。ラッチが透過である限り新規MSBが書かれると、出力は直ちに变更されます。このラッチは違う逆のクロックエッジでデータ入力 that 採取、データ出力が变更されることを保証します。

シフトレジスタからの出力データを許可するため、ピンに対応するデータ方向レジスタ(Dxn)が1に設定されなければならないことに注意してください。

17.5.2. USバッファレジスタ (US Buffer Register) US BR

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	MSB							LSB	US BR
Read/W rite	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

シフトレジスタの内容は転送が完了される時にUSバッファレジスタ(USBR)へ格納され、CPUが受信したデータを読みとくとき、USデータレジスタ(USDR)シリアルシフトレジスタをアクセスする代わりに、USバッファレジスタ(USBR)がアクセスできます。これはUS制御が微妙なタイミングでなくなるため、他のプログラム処理にも取り扱ったためのCPU時間を与えます。USのフラグはUSDRを読む時と同様に設定されます。

17.5.3. US状態レジスタ (USI Status Register) US SR

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	USIF	USDF	USPF	USDC	USCNT3	USCNT2	USCNT1	USCNT0	US SR
Read/W rite	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この状態レジスタは割り込み要求フラグ、状態フラグ、カウンタ値を含みます。

ビット7 - USIF : 開始条件検出割り込み要求フラグ (Start Condition Interrupt Flag)

線動作が選択されるとき、開始条件が検出されると、USIFフラグがセット(1)されます。出力禁止動作または線動作が選択され、(USCS1.0=11かつUSCLK=0または(USCS1.0=10かつUSCLK=0)のとき、USCKピンのどのエッジもこのフラグをセット(1)します。

ステータスレジスタ(SREG)の全割り込み許可(1)ビットとUS制御レジスタ(USCR)で開始条件検出許可(USIFビット)がセット(1)されている間中に、このフラグがセット(1)されると割り込みが生成されます。このフラグはUSIFビットへの論理書き込みによってのみクリア(0)されます。このビットのクリア(0)は線動作でのSCLの開始条件保持を解除(開放)します。

開始条件検出割り込みは全てのスリープ動作からプロセッサを起動します。

ビット6 - USDF : カウンタオーバーフロー割り込み要求フラグ (Counter Overflow Interrupt Flag)

このフラグは4ビットカウンタがオーバーフローすると換言すると15から0への遷移でセット(1)されます。SREGの全割り込み許可(1)ビットとUSCRでカウンタオーバーフロー割り込み許可(USDFビット)がセット(1)されている間に、このフラグがセット(1)されると割り込みが生成されます。このフラグはUSDFビットへの論理書き込みによってのみクリア(0)されます。このビットのクリア(0)は線動作でのSCLのカウンタオーバーフロー保持を解除(開放)します。

カウンタオーバーフロー割り込みはアイドルスリープ動作からプロセッサを起動します。

ビット5 - USPF : 停止条件検出フラグ (Stop Condition Flag)

線動作が選択されるとき、停止条件が検出されると、USPFフラグがセット(1)されます。このフラグはこのビットへの書き込みによりクリア(0)されます。これが割り込み要求フラグでないことに注意してください。この合図は線バスマスタ調停の実装時に有用です。

ビット4 - USDC : 出力データ衝突フラグ (Data Output Collision Flag)

シフトレジスタのビット7(MSB)が物理ピン値と異なるとき、このビットは論理1です。このフラグは線動作が使用されるときだけ有効です。この合図は線バスマスタ調停の実装時に有用です。





ビット3~ 0 - USCNT3~ 0 :カウンタ値 (Counter Value)

これらのビットは現在の4ビットカウンタ値を反映します。この4ビットカウンタ値はCPUにより直接的に読み書きできます。

この4ビットカウンタは外部クロックエッジ検出器、タイマ/カウンタ比較A一致、USCLKまたはUSITCストローブビットを使用するソフトウェアのどれかにより生成した各クロックに対して1つ増加します。このクロック元はUSCS1,0ビット設定に依存します。外部クロック動作に対して、USITCストローブビットへの書き込みにより生成されることをクロックに許す特別な特徴が付加されます。この特徴は外部クロック元 (USCS1=1) 設定中のUSCLKへの書き込みにより許可されます。

出力禁止動作 (USWM1,0=00) が選択されているときでも、外部クロック入力 (USCK/SCL) が未だカウンタにより使用されることに注意してください。

17.5.4. US制御レジスタ (US Control Register) USCR

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	USSE	USDE	USWM1	USWM0	USCS1	USCS0	USCLK	USITC	USCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	W	W	
初期値	0	0	0	0	0	0	0	0	

この制御レジスタは割り込み許可制御、動作種別設定、クロック選択設定、クロックストローブを含みます。

ビット7 - USSE 開始条件検出割り込み許可 (Start Condition Interrupt Enable)

このビットを1に設定することが開始条件検出割り込みを許可します。ステータスレジスタ (SREG) の全割り込み許可 (I)ビットとUSSEビットがセット(1)されるときに保留割り込みなら、これは直ちに実行されます。より多くの詳細については8頁の開始条件検出割り込み要求フラグ (USIF) 記述を参照してください。

ビット6 - USDE :カウンタオーバーフロー割り込み許可 (Counter Overflow Interrupt Enable)

このビットを1に設定することがカウンタオーバーフロー割り込みを許可します。ステータスレジスタ (SREG) の全割り込み許可 (I)ビットとUSDEビットがセット(1)されるときに保留割り込みなら、これは直ちに実行されます。より多くの詳細については8頁のカウンタオーバーフロー割り込み要求フラグ (USDF) 記述を参照してください。

ビット5,4 - USWM1,0 動作種別選択 (Wire Mode)

これらのビットは使用されるべき動作種別 (または3線動作) を設定します。基本的に出力の機能だけがこれらのビットにより影響を及ぼされます。データとクロック入力は選択した動作種別により影響を及ぼされず、常に同じ機能を持ちます。従って出力が禁止される時でもシフトレジスタとカウンタは外部的にクロック駆動でき、入力データが採取されます。US操作とUSWM1,0間の関連は表17-1で要約されます。

表 17-1. US操作とUSWM1,0の関係

USWM1	USWM0	説明
0	0	出力、クロック保持、開始条件検出器は禁止。ポートピンは標準として動作。
0	1	3線動作。DO DI,USCKピンを使用。 データ出力 (DO) ピンはこの動作でPORTレジスタの対応ビットを無視します。けれども対応するDDRビットは未だデータ方向を制御します。ポートピンが入力として設定 (DDxn=0) されると、そのピンのプルアップはPORTビットにより制御されます。 データ入力 (DI) とシリアルクロック (USCK) ピンは標準ハードウェア操作に影響を及ぼしません。マスタとして動作する時、クロックパルスはデータ方向が出力に設定されている (DDxn=1) 間のPORTレジスタの交互切り替えによりソフトウェアで生成されます。USCRのUSITCビットが、この目的に使用できます。
1	0	2線動作。SDA (DI) とSCL (USCK) ピンを使用。注1) シリアルデータ (SDA) とシリアルクロック (SCL) ピンは双方向でオープンドレイン出力駆動を使用します。この出力ドライバはDDRレジスタでSDAとSCLに対応するビットの設定 (=1) により許可されます。 SDAピンに対して出力ドライバが許可されると、出力ドライバはシフトレジスタの出力またはPORTレジスタの対応ビットが0ならばSDA線をLowに強制します。さもないと、SDA線は駆動されません (換言すると開放されます)。SCLピン出力ドライバが許可されると、SCL線はPORTレジスタの対応ビットが0なら、または開始条件検出器によりLowを強制されます。さもないと、SCL線は駆動されません。 SCL線は出力が許可され、開始条件検出器が開始条件を検出するとLowに保持されます。開始条件検出フラグ (USIF) のクリア (0) がその線を開放します。SDAとSCLピン入力は、この動作の許可により影響を及ぼされません。SDAとSCLピンのプルアップは2線動作で禁止されます。
1	1	2線動作。SDAとSCLピンを使用。 SCL線はカウンタオーバーフローが起こる時にもLowへ保持され、カウンタオーバーフローフラグ (USDF) がクリア (0) されるまでLowに保持されることを除いて、上で記述される2線動作についてと同じ動作。

注 1: D とUSCKピンは動作種別間での混乱を避けるため、各々シリアルデータ (SDA) とシリアルクロック (SCL) に改称されます。



ビット32 - USCS1₀ : クロック選択 (Clock Source Select)

これらのビットはシフトレジスタとカウンタに対するクロックを設定します。外部クロック (USCK/SCL)を使用するとき、データ出力ラッチはデータ入力 (DI/SDA)の採取の逆エッジで出力が変更されることを保証します。タイマ/カウンタ比較A一致またはソフトウェアストロブが選択されると出力ラッチは透過で、従って出力は直ちに変更されます。USCS1₀ビットのクリア (=00)がソフトウェアストロブ選択を許可します。この選択を使用するとき、USCLKビットへの書き込みはシフトレジスタとカウンタ両方をクロック駆動します。外部クロック (USCS1=1)に対して、USCLKビットはもはやストロブとして使用されませんが、外部クロックとUSITCストロブビットによるソフトウェアクロック間を選びます。

表 17-2はシフトレジスタと4ビットカウンタに対して使用されるクロックとUSCS1₀ USCLK設定間の関連を示します。

表 17-2. USCS1₀とUSCLK設定との関係

USCS1	USCS0	USCLK	シフトレジスタクロック	4ビットカウンタクロック
0	0	0	クロックなし	クロックなし
		1	ソフトウェアクロックストロブ (USCLK)	ソフトウェアクロックストロブ (USCLK)
	1	X	タイマ/カウンタ比較A一致	タイマ/カウンタ比較A一致
1	0	0	外部クロック立ち上りエッジ	外部クロック両エッジ
	1		外部クロック立ち下りエッジ	
	0	1	外部クロック立ち上りエッジ	ソフトウェアクロックストロブ (USITC)
	1		外部クロック立ち下りエッジ	

ビット1 - USCLK : クロックストロブ (Clock Strobe)

ソフトウェアストロブ選択が選ばれるよう行うことにより USCS1₀ビットがゼロ (=00)に設定されるなら、このビット位置への書き込みはシフトレジスタを1段シフト、カウンタを1つ増加します。このクロックストロブが実行される時、換言すると同じ命令サイクル内で、出力は直ちに変更します。シフトレジスタ内にシフトした値は直前の命令サイクルで採取されます。このビットは0として読めます。

外部クロックが選択される (USCS1=1)と、USCLK機能はクロックストロブからクロック選択レジスタに変更されます。この場合のUSCLKビットの設定 (=1)は4ビットカウンタに対するクロックとしてUSITCストロブを選びます (表 17-2参照)

ビット0 - USITC : クロック値切り替え (Toggle Clock Port Pin)

このビット位置に1を書くことはUSCK/SCL値を0から1、または1から0のどちらかへ切り替えます。この切り替えはデータ方向レジスタでの設定と無関係ですが、PORT値がピンで見られるべきなら、DDAまたはDDB2は出力として設定 (=1)されなければなりません。この特徴はマシ装置を実現するとき、容易なクロック生成を許します。このビットは0として読めます。

外部クロックが選択され (USCS1=1) USCLKビットが1に設定されると、USITCストロブビットへの書き込みは直接的に4ビットカウンタをクロック駆動します。これはマシ装置として動作するとき転送が行われるときの早い検出を許します。

17.5.5. USIPin位置レジスタ (USIPin Position Register) USPP

ビット	7	6	5	4	3	2	1	0	
\$11 (\$31)	-	-	-	-	-	-	-	USPOS	USPP
Read/Write	R	R	R	R	R	R	R	RW	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - Res : 予約 (Reserved)

これらのビットは予約されており常に0として読めます。

ビット1 - USPOS : USIPin位置 (USIPin Position)

このビットの1への設定はUSIPin位置を変更します。既定ピンとしてPB2~PB0がUSIPin機能用に使用されますが、このビットへの設定時、USPOSビットはUSIPin機能をPA2~PA0ピンに設定します。

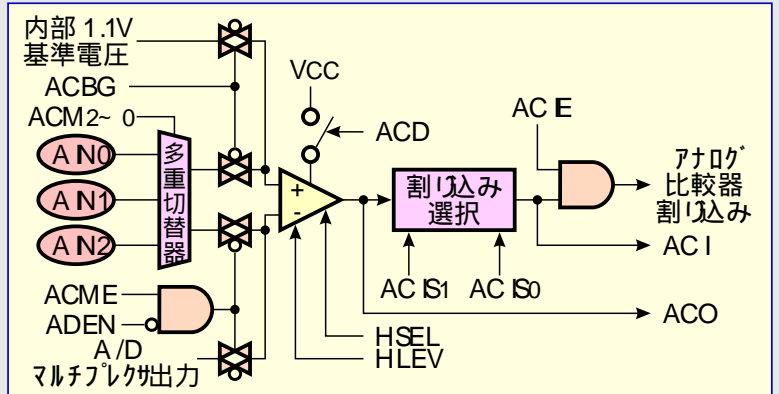


18. アナログ比較器

アナログ比較器は選択可能な非反転入力 (A N0 A N1 A N2) ピンと選択可能な反転入力 (A N0 A N1 A N2) の入力値を比較します。非反転ピンの電圧が反転ピンの電圧より高いと **アナログ比較器制御 / 状態レジスタ (ACSR) のアナログ比較器出力 (ACO) ビット** がセット(1)されます。この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の立ち上り / 立ち下り またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は図 18-1 で示されます。

ADC入力 (A/Dマルチプレクサ出力 使用を可能とするには、23 頁の **電力削減レジスタ (PRR) の PRADCC ビット** が論理 0 を書かれることで 電力削減を 禁止されなければなりません) **注** 共通性から本行追加)

図 18-1. アナログ比較器部構成図



注 : A/Dマルチプレクサ出力については以下の表 18-1 をご覧ください。アナログ比較器ピン配置については、2 頁の「ピン配置」と3 頁の表 12-3 を参照してください。

18.1. アナログ比較器入力選択

A/D変換器が利得増幅器なしのシングルエンドとして設定されるとき、アナログ比較器への反転入力を取り替えるのに ADC10~ のどれかを選択することができます。A/D変換のマルチプレクサは、この入力選択に使用され、従ってこの機能を利用するために A/D変換部がOFF動作禁止にされなければなりません。ACSRの **アナログ比較器マルチプレクサ許可 (ACME) ビット** がセット(1)され、A/D変換部がOFF (ADCSRの **ADEN** ビットが 0) にされるなら、表 18-1 で示されるように **ADMUX のチャンネル選択 (MUX5~ 0) ビット** はアナログ比較器への反転入力を取り替えるための入力ピンを選択します。ACMEがクリア(0) またはADENがセット(1)されると、**A N0 A N1 A N2** のどれかがアナログ比較器への反転入力に印加されます。

表 18-1. アナログ比較器入力選択

ACME	ADEN	MUX5~ 0	ACM2~ 0	非反転入力	反転入力	ACME	ADEN	MUX5~ 0	ACM2~ 0	非反転入力	反転入力
0	x	xxxxxxx	0 0 0	A N0	A N1	1	0	000100	0 1 x	A N1	ADC4
			0 0 1	A N0	A N2				1 x x	A N2	ADC4
			0 1 0	A N1	A N0				0 0 0	A N0	ADC5
			0 1 1	A N1	A N2				0 0 1 0 1	A N1	ADC5
			1 0 0	A N2	A N0				1 x x	A N2	ADC5
			1 0 1, 1 1 0, 1 1 1	A N2	A N1				0 0 0	A N0	ADC6
1	0	xxxxxxx	0 0 0	A N0	A N1			0 0 0 1 1 0	0 1 x	A N1	ADC6
			0 0 0	A N0	ADC0			1 x x	A N2	ADC6	
			0 1 x	A N1	ADC0			0 0 0	A N0	ADC7	
			1 x x	A N2	ADC0			0 0 0 1 1 1	0 1 x	A N1	ADC7
			0 0 0	A N0	ADC1			1 x x	A N2	ADC7	
			0 1 x	A N1	ADC1			0 0 0	A N0	ADC8	
			1 x x	A N2	ADC1	0 0 1 0 0 0	0 1 x	A N1	ADC8		
			0 0 0	A N0	ADC2	1 x x	A N2	ADC8			
			0 1 x	A N1	ADC2	0 0 0	A N0	ADC9			
			1 x x	A N2	ADC2	0 0 1 0 0 1	0 1 x	A N1	ADC9		
			0 0 0	A N0	ADC3	1 x x	A N2	ADC9			
			0 1 x	A N1	ADC3	0 0 0	A N0	ADC10			
			1 x x	A N2	ADC3	0 0 1 0 1 0	0 1 x	A N1	ADC10		
			0 0 0	A N0	ADC4	1 x x	A N2	ADC10			



18.2. アナログ比較器用レジスタ

18.2.1. アナログ比較器 制御/状態レジスタA (Analog Comparator Control and Status Register A) ACSRA

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	ACBG	ACO	ACI	ACE	ACME	ACIS1	ACIS0	ACSRA
Read/W rite	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

ビット7 - ACD :アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理 1 を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするために何時でもセット(1)できます。これは通常動作やアイドル動作で電力消費を削減します。ACDビットを変更するとき、ACSRAでアナログ比較器割り込み許可(ACE)ビットをクリア(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるときに割り込みが起こります。

ビット6 - ACBG :基準電圧選択 (Analog Comparator Bandgap Select)

このビットがセット(1)されると、内部基準電圧(公称 1.1V)が、アナログ比較器への非反転入力に取って代わります。内部基準電圧選択はA/D変換チャネル選択(ADMUX)レジスタの基準電圧選択(REFS2~0)ビットによって行われます。このビットがクリア(0)されると、アナログ比較器制御/状態レジスタB(ACSRB)のアナログ比較器入力選択(ACM2~0)ビットに依存してAN0、ANまたはAN2がアナログ比較器の非反転入力に印加されます。内部基準電圧がアナログ比較器への入力として使用されるとき、電圧の安定に一定時間を必要とします。安定待機をしない場合、不正な比較になるかもしれません。26頁の「内部基準電圧」をご覧ください。

ビット5 - ACO :アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後直接ACOに接続されます。この同期化は1~2クロックサイクルの遅延をもたらします。

ビット4 - ACI :アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事がACSRAのアナログ比較器割り込み条件(ACIS1、ACIS0)ビットによって定義した割り込み方法で起動するときにセット(1)されます。ACSRAのアナログ比較器割り込み許可(ACE)ビットがセット(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ベクタを実行すると、ACはハードウェアによってクリア(0)されます。代わりに、このフラグへ論理 1 を書くことによってもACはクリア(0)されます。

ビット3 - ACE :アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACEビットが論理 1 を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)されていると、アナログ比較器割り込みが活性有効にされます。論理 0 を書かれると、この割り込みは禁止されます。

ビット2 - ACME :アナログ比較器マルチプレクサ許可 (Analog Comparator Multiplexer Enable)

このビットが論理 1 を書かれ、A/D変換部がOFF(ADCSRAのADENビットが0)にされると、A/D変換のマルチプレクサはアナログ比較器への反転入力を選択します。このビットが論理 0 を書かれると、ACSRBのACM2~0ビットに依存してAN0、ANまたはAN2がアナログ比較器の反転入力に印加されます。このビットの詳細な記述については90頁の「アナログ比較器入力選択」をご覧ください。

ビット1,0 - ACIS1, ACIS0 :アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを起動する比較器のどの出来事かを決めます。各種設定は表 18-2で示されます。

ACIS1、ACIS0ビットを変更するとき、ACSRAでアナログ比較器割り込み許可(ACE)ビットをクリア(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更されるときに割り込みが起き得ます。

表 18-2. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	予約
1	0	比較器出力の立ち下りエッジ
1	1	比較器出力の立ち上りエッジ





18.2.2. アナログ比較器 制御 / 状態 レジスタ B (Analog Comparator Control and Status Register B) ACSR B

ビット	7	6	5	4	3	2	1	0	
\$09 (\$29)	HSEL	HLEV	-	-	-	ACM2	ACM1	ACM0	ACSRB
Read/W rite	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - HSEL : ヒステリシス許可 (Hysteresis Select)

このビットが論理 1 を書かれると、アナログ比較器のヒステリシスが ON にされます。ヒステリシスレベルは HLEV ビットによって選択されます。

ビット6 - HLEV : ヒステリシスレベル選択 (Hysteresis Level)

ヒステリシス許可 (HSEL) ビットによってヒステリシスが許可されると、ヒステリシスレベル選択 (HLEV) ビットは 20mV (HLEV=0) または 50mV (HLEV=1) のどちらかのヒステリシスレベルを選択します。

ビット5,4,3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に 0 として読まれます。

ビット2,1,0 - ACM2 ACM1 ACM0 : アナログ比較器入力選択 (Analog Comparator Multiplexer)

アナログ比較器入力選択ビットはアナログ比較器の非反転と反転の入力ピンを選択します。各種設定は表 18-1 で示されます。



19. A/D変換器

19.1 特徴

- 10ビット分解能
- 積分性非直線誤差 10LSB
- 絶対精度 ± 2 LSB
- 変換時間 13~ 260 μ s
- 最大分解能で 15kSPS 採取 /s まで (200kHz 変換 クロック)
- 11の多重化されたシングル インド入力 チャンネル
- 16の差動入力対
- 15の選択可能な利得付き差動入力対
- 温度 センサ入力 チャンネル

- A/D変換結果読み出しに対する任意の左揃え
- 0~ AVCC A/D変換入力電圧範囲
- 選択可能な 1.1V/2.56V A/D変換基準電圧
- 連続と単独の変換動作
- 割り込み元の自動起動によるA/D変換開始
- A/D変換完了割り込み
- スリープ動作 ノイズ低減機能
- 単極性 両極性入力動作
- 入力極性反転動作

19.2 概要

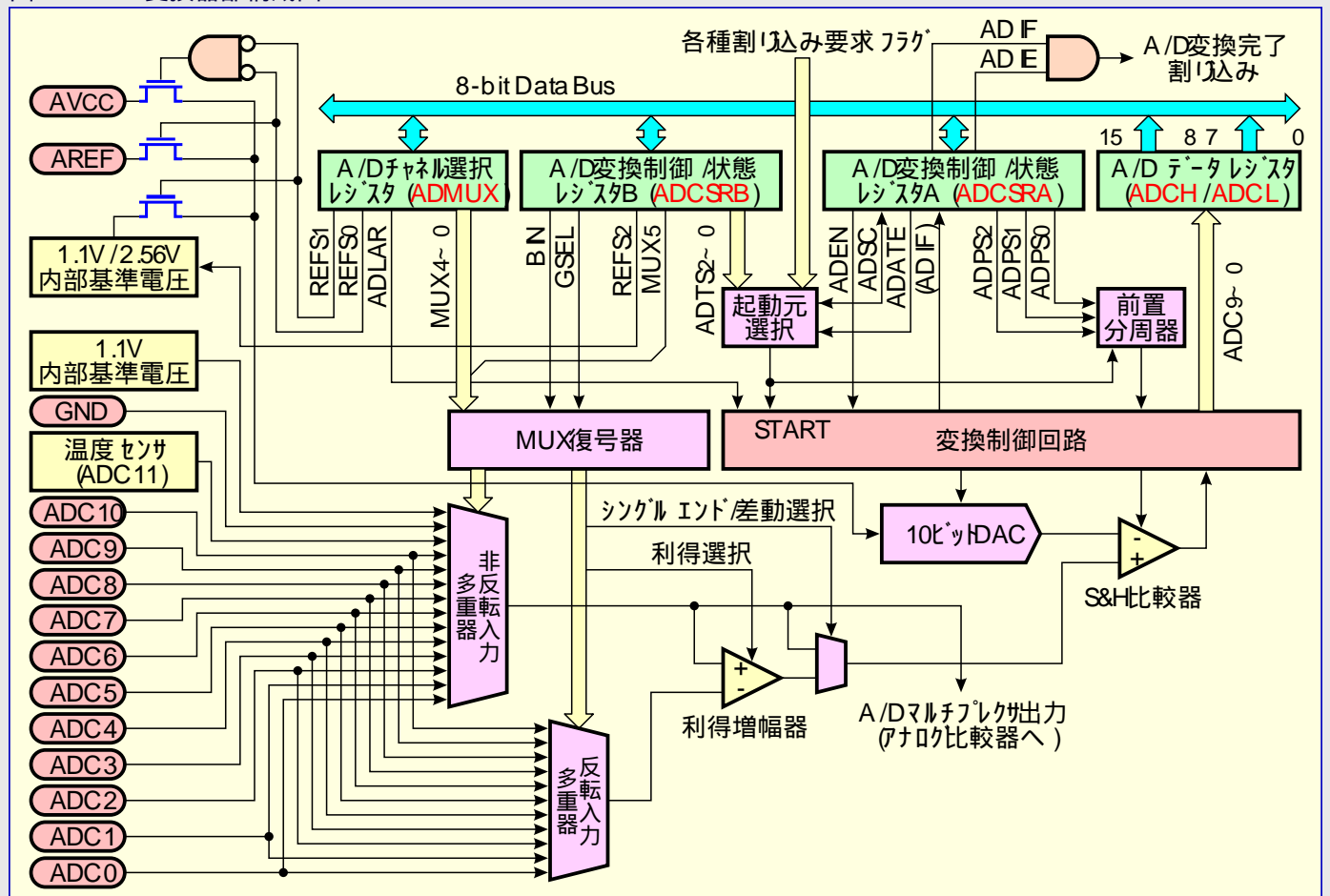
ATtiny261/461/861は 10ビット逐次比較 A/D変換器が特徴です。この A/D変換器は PA7~ PA0と PB7~ PB4で構成した 16の差動電圧入力 の組み合わせと 11のシングル インド電圧入力を許す 11チャンネルのアナログ多重器に接続されます。差動入力は A/D変換前の差動入力電圧で $\times 1 \times 8 \times 20 \times 32$ の増幅段を提供する、設定可能な利得段が装備されます。シングル インド電圧入力は 0V (GND が基準) です。

この A/D変換器は A/D変換器への入力電圧が変換中に一定の値で保持されることを保証する サンプル&ホールド (S/H) 採取 /保持 回路を含みます。A/D変換部の構成図は図 19-1で示されます。

公称 1.1Vまたは 2.56Vの内蔵基準電圧がチップ上で提供されます。2.56V内部基準電圧は ノイズ特性向上のため、任意でコンデンサによって AREF (PA3)ピンで外部的にテックアップ (ノイズ分離) できます。代わりに VCCがシングル インドチャンネル用の基準電圧として使用できます。内部基準電圧を OFFにして外部基準電圧を使用する任意選択もあります。これらの任意選択は A/D変換チャンネル選択 (ADMUX)レジスタの基準電圧選択 (REFS2~ 0)ビットを使用して選択されます。

2頁での「電力削減レジスタ (PRR)」の PRADビットは A/D変換部を許可するために 0を書かれなければなりません。

図 19-1. A/D変換器部構成図



19.3. 操作

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値はVCC電圧、AREFピンの電圧、または1.1V/2.56V内部基準電圧を表します。

A/D変換器用の基準電圧はA/Dチャンネル選択レジスタ(ADMUX)の基準電圧選択(REFS2~0)ビットへの書き込みによって選択できます。VCC電源、AREFピン、または1.1V/2.56V内部基準電圧がA/D変換器基準電圧として選択できます。任意で2.56V内部基準電圧はノイズ耐性を改善するためにAREFピンで外部コンデンサによりテックアップ(ノイズ結合減少)ができます。

アナログ入力チャンネルと差動利得はA/D変換制御/状態レジスタB(ADCSRB)とADMUXのチャンネル選択(MUX5~0)ビットへの書き込みによって選択されます。11のADC入力ピン(ADC10~0)のどれもがA/D変換器のシングルエンド入力として選択できます。差動利得増幅器への非反転及び反転入力は表19-4で記述されます。

差動チャンネルが選択されると、差動利得段は選択した入力チャンネル対間の差電圧を、ADCSRBとADMUXのMUX5~0ビットとADCSRBの利得選択(GSEL)ビットの設定に従って、1, 8, 20または32倍の選択した増幅率で増幅します。それからこの増幅した値はA/D変換器の入力になります。シングルエンドチャンネルが使用されると、利得増幅器全体が迂回無視されます。

同じADC入力チャンネルが差動利得増幅器への反転と非反転の両方の入力として選択されると、利得段と変換回路の残留オフセットが変換結果として直接測定できます。この数値はオフセット誤差を1LSB以下に減らすために、同じ利得設定で後続する変換結果から減算できます。

チップ上の温度センサはADC11チャンネルがA/D変換器入力として使用されるとき、即ちADCSRBとADMUXのMUX5~0ビットへの'11111'書き込みによって選択されます。

A/D変換部はA/D変換制御/状態レジスタA(ADCSRA)のA/D許可(ADEN)ビットのセット(1)によって動作が許可されます。基準電圧と入力チャンネルの選択はADENがセット(1)されるまで実施しません。ADENがクリア(0)されているとA/D変換部は電力を消費しないので、電力を節約するスリープ動作へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dデータレジスタ(ADCH, ADCL)で示される10ビットの結果を生成します。既定では、この結果は右揃え(16ビットのビット0側10ビット)で表されますが、ADMUXで左揃え選択(ADLAR)ビットをセット(1)することにより任意で左揃え(16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを超える精度が必要とされない場合はADCHを読むことで足ります。さもないとデータレジスタの内容が同じ変換に属することからの結果を保証するため、ADCLが初めに、次にADCHが読まなければならないなりません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH, ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH, ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH, ADCLへのA/D変換器アクセスが再び許可されます。

A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

19.4. 変換の開始

単独変換はADCSRAで変換開始(ADSC)ビットに論理1を書くことにより開始されます。このビットは変換が進行中である限り1に留まり変換が完了されるとハードウェアによってクリア(0)されます。変換が進行中に違う入力チャンネルが選択されると、A/D変換部はそのチャンネル変更を実行する前に現在の変換を済ませます。

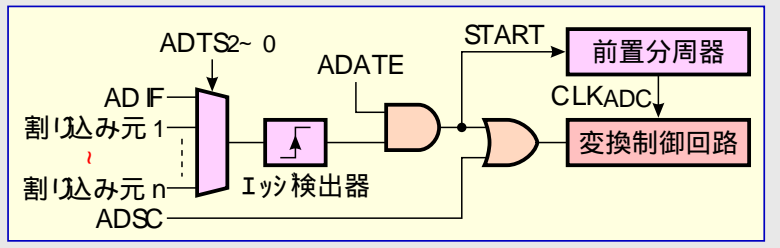
代わりに、変換は様々な起動元により自動的に起動できます。自動起動はA/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットのセット(1)により許可されます。起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動元選択(ADTS2~0)ビットの設定によって選択されます。起動元の一覧についてはADTSビットの記述をご覧ください。選択した起動信号上に立ち上りエッジが起きると、A/D変換用前置分周器がリセット、変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時、起動信号がまだセット(1)されている場合、新規の変換は開始されません。変換中にこの起動信号上で別の立ち上りエッジが起きると、そのエッジは無視されます。指定した割り込みが禁止またはステータスレジスタ(SREG)の全割り込み許可(1)ビットがクリア(0)でも、割り込み要求フラグがセット(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグはクリア(0)されなければならないなりません。

起動元としてA/D変換完了割り込み要求フラグ(ADIF)を使用することは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためA/D変換器は連続動作で動き、継続的な採取変換とA/Dデータレジスタを更新します。最初の変換はADCSRAでADSCビットに論理1を書くことにより始めなければならないなりません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)がクリア(0)されるかどうかにかかわらず、連続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCビットに論理1を書くことにより単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使用できます。ADSCビットは変換がどう開始されたかにかかわらず、変換中は1として読めます。

変換はA/D変換ノイズ低減機能の使用によっても開始され得ます。この機能はアイドルスリープ動作とA/D変換ノイズ低減スリープ動作中に変換を許可します。詳細については97頁の「ノイズ低減機能」をご覧ください。訳注:共通性から2行追加)

図 19-2. A/D変換自動起動回路



19.5.前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るために 50~ 200kHz の入力 クック周波数を必要とします。10ビットより低い分解能が必要とされる場合、A/D変換器への入力 クック周波数は、より高い採取速度を得るために 200kHzより高くできます。

A/D変換部は 100kHz以上のどんなCPUクックからも受け入れ可能なA/D変換 クック周波数を生成する前置分周器を含みます。この前置分周はA/D変換制御/状態レジスタ(ADCSRA)のA/Dクック選択(ADPS2~ 0)ビットにより設定されます。前置分周器はADCSRAでA/D許可(ADEN)ビットのセット(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENビットがセット(1)される限り走行を維持し、ADENが0のとき、継続的にリセットします。

ADCSRAのA/D変換開始(ADSC)ビットのセット(1)によりシングルエンド入力の変換を起動すると、その変換は直後の変換クックの立ち上がりエッジで始まります。

通常の変換は1変換クックサイクルで行われます。A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はアナログ回路を初期化するために25変換クックサイクルで行われます。

実際のサンプル&ホールド(保持開始点)は通常変換の開始後1.5変換クックサイクル、初回変換の開始後13.5変換クックサイクルで行われます。変換が完了すると、結果がA/Dデータレジスタ(ADCH、ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求フラグ(ADIF)がセット(1)されます。単独変換動作(ADATE=0)では同時にADCSRAのA/D変換開始(ADSC)ビットがクリア(0)されます。その後ソフトウェアは再びADSCをセット(1)でき、新規変換は変換クックの最初の立ち上がりで開始されます。

自動起動が使用されると、前置分周器は起動要因発生時にリセットされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作では、サンプル&ホールドは起動要因となる信号の立ち上がり後、変換クックサイクルで採取が行われます。同期化論理回路(エッジ検出器)に対して、追加の3CPUクックサイクルが使用されます。

連続変換動作(ADFR=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。変換時間の概要については次頁の表19-1をご覧ください。

図 19-3. A/D変換前置分周器部構成

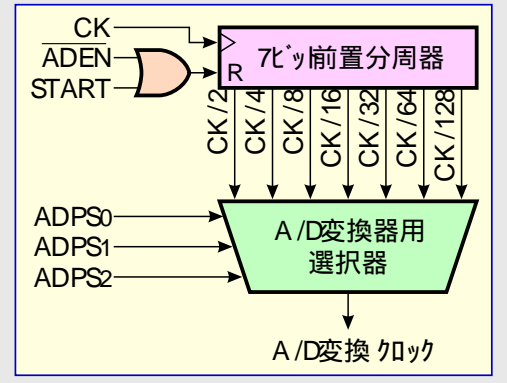


図 19-4. 初回変換タイミング(単独変換動作)

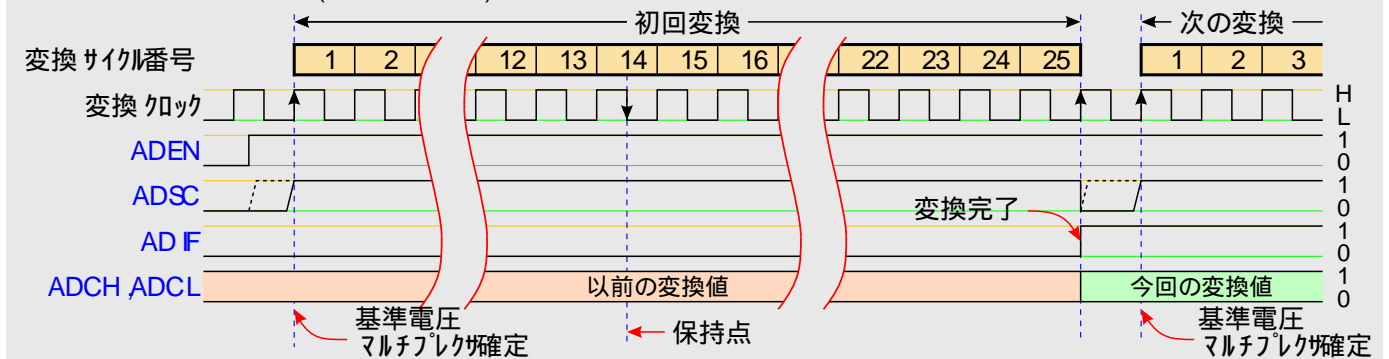


図 19-5. 通常変換タイミング(単独変換動作)

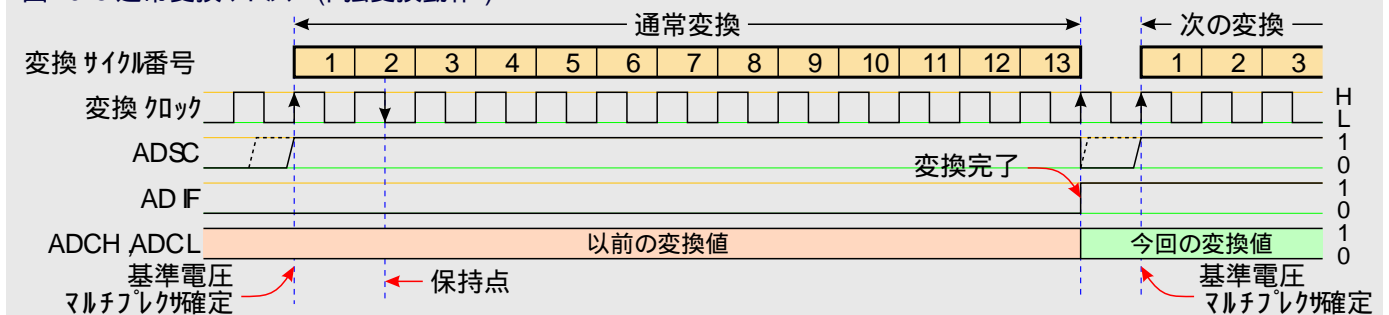


図 19-6 通常変換 タイミング (自動起動変換動作)

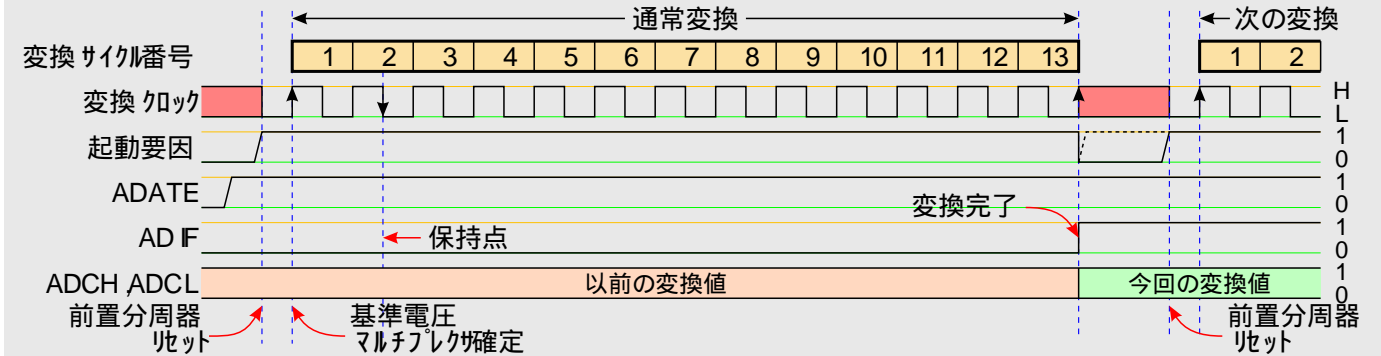


図 19-7 連続変換動作 タイミング

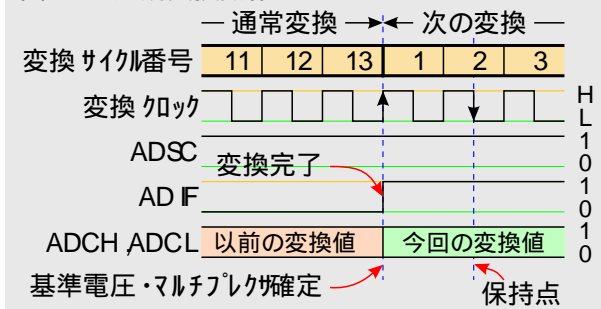


表 19-1 A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
シングルエンド入力通常変換	1.5	13
自動起動変換	1.5 (2)	13.5

注: 変換時間を除く各値は変換開始からの変換 クロック数です。

19.6. チャネル変更と基準電圧選択

A/D変換制御レジスタ(ADCSRB)とA/Dチャネル選択レジスタ(ADMUX)のチャネル選択(MUX5~0)ビットと基準電圧選択(REFS2~0)ビットはCPUがランダムにアクセスするための一時レジスタを通し単独ハッパされます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うことを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の交換クロックサイクルで再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の交換クロックの立ち上りエッジで変換が始まることに注意してください。従って使用者はADSC書き込み後、交換クロックサイクル経過まで新しいチャネルまたは基準電圧選択値をADCSRBとADMUXに書かないことが推奨されます。

自動起動が使用される場合、起動要因の正確な時間は確定できません。変換が新規設定により影響されるように制御するには、ADCSRBとADMUXの更新時に特別な注意が被われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらを基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

ADENまたはADATEがクリア(0)されているとき。

変換開始後、最低変換クロックサイクル経過後の変換中。

変換後から、変換起動元として使用した割り込みフラグがクリア(0)される直前まで。

これら条件の1つでADCSRBとADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

19.6.1. A/D入力チャネル

チャネル選択を変更するとき、使用者は正しいチャネルが選択されることを保証するために次の指針を守るべきです。

単独変換動作では常に変換を始める前にチャネルを選択してください。チャネル選択はADSCへの書き込み後、変換クロックサイクルで変更されるかもしれませんが、とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。

連続変換動作では常に最初の変換を始める前にチャネルを選択してください。チャネル選択はADSCへの書き込み後、変換クロックサイクルで変更されるかもしれませんが、とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後チャネル選択を変更することです。既に次の変換が自動的に開始されているため、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

19.6.2. A/D変換基準電圧

このA/D変換用の基準電圧(VREF)はA/D変換に対する変換範囲を示します。VREFを越えるシングルエンド入力チャネルは\$3FFで打ち切るコードに帰着します。VREFはVCC、1.1V/2.56V内部基準電圧、外部AREFピンのどれかとして選択できます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。



19.7. ノイズ低減機能

このA/D変換部はCPUコアと他の周辺 I/Oが誘導したノイズを削減するためにスリーフ動作中の変換を可能にするノイズ低減機能が特徴です。この機能はA/D変換ノイズ低減動作とアイドル動作で使用できます。この機能を使用するには次の手順が使用されるべきです。

A/D変換部が許可 (ADEN=1)され、変換中でない (ADSC=0)ことを確認してください。単独変換動作が選択 (ADATE=0)され、且つA/D変換完了割り込みが許可 (ADIE=1)されていなければなりません。

A/D変換ノイズ低減 (またはアイドル動作)に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。

A/D変換完了前に他の割り込みが起これなければ、A/D変換完了割り込みはCPUを起動し、A/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規SLEEP命令が実行されるまで通常動作に留まります。

アイドル動作とA/D変換ノイズ低減動作を除く他のスリーフ動作へ移行するとき、A/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このようなスリーフ動作へ移行する前にADENへ0を書くことが推奨されます。

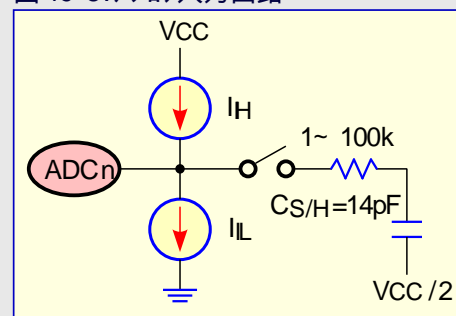
19.7.1. アナログ入力回路

シングルエンド入力チャネルのアナログ回路は図 19-8で図示されます。ADCnに印加したアナログ信号源はそのチャネルがADC入力として選択されているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャネルが選択されると、アナログ信号源は直列抵抗 (入力経路の合成抵抗)を通してS/Hコンデンサを駆動しなければなりません。

A/D変換部は概ね 10k 若しくはそれ以下の出力インピーダンスのアナログ信号用に最適化されています。このようなアナログ信号源が使用されるならば、採取時間は無視してもよいでしょう。より高いインピーダンスのアナログ信号源が使用される場合、採取時間は広範囲に変化し得るS/Hコンデンサを充電するためにアナログ信号源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hコンデンサへの充放電を最小とするため、使用者は緩やかに変化する低インピーダンスアナログ信号源だけを使用することが推奨されます。

特定できない信号の渦からの歪を避けるために、ナイキスト周波数 ($f_{ADC}/2$)より高い信号成分は、どのチャネルに対しても存在すべきではありません。使用者はADC入力として信号を印加する前に、低域通過濾波器 (ローパスフィルタ)で高い周波数成分を取り除くことが推奨されます。

図 19-8. アナログ入力回路



19.7.2. アナログノイズ低減技術

デジタル内外のデジタル回路がアナログ測定に精度に影響を及ぼすかもしれないEMを発生します。精密な変換精度が必要な場合、次の技法を適用することによりノイズレベルが低減できます。

アナログ信号経路を可能な限り最短にしてください。アナログ信号線がアナログGND面上を走ることに注意し、高速スイッチングデジタル信号線から充分離すことを守ってください。

CPUからの誘導ノイズを低減するために、A/D変換のノイズ低減機能を使用してください。

何れかのADCポートピンがデジタル出力として使用される場合、これらが変換進行中に切り替わらないことが重要です。



1973. A/D変換の精度定義

シングル エント入力電圧のnビットA/D変換はGNDとVREF間を 2^n で直線的に変換します。最低値コードは0として読み、最高値コードは 2^n-1 として読みます。

以下の各種パラメータは理想状態からの偏差を表します。

オフセット誤差 - 図 19-9.

最初の遷移点 (\$000から\$001)に於いて理想遷移点 (差 0.5 LSBと比較した偏差)です。理想値は0LSBです。

利得誤差 - 図 19-10.

オフセット誤差補正後の最後の遷移点 (\$3FEから\$3FF)に於いて理想遷移点 (最大差 1.5LSB以下)と比較した偏差です。理想値は0LSBです。

積分性非直線誤差 (NL) - 図 19-11.

オフセット誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

差動非直線誤差 (DNL) - 図 19-12.

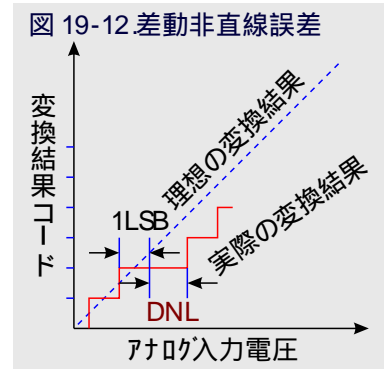
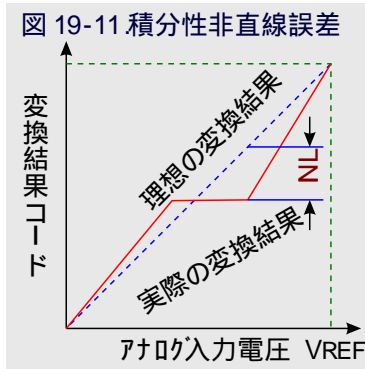
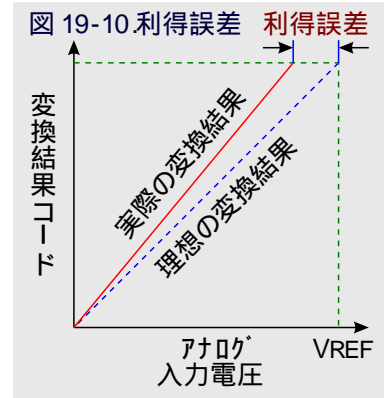
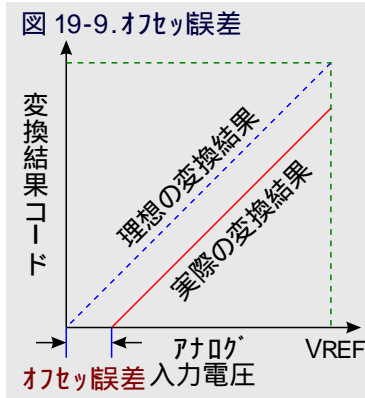
実際のコードの幅 (隣接する2つの遷移点間)に於いて理想コード幅 (1LSBと比較した最大偏差)です。理想値は0LSBです。

量子化誤差

有限数のコードで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のコードになります。この値は常に ± 0.5 LSBです。

絶対精度

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、オフセット誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は ± 0.5 LSBです。



198. A/D変換の結果

変換完了 (ADIF=1後、変換結果はA/Dデータレジスタ(ADCH, ADCL)で得られます。変換結果の形式は、シングル エント変換、単極差動変換、両極差動変換の3つの変換形式に依存します。

198.1. シングル エント変換

シングル エント入力変換での結果は右式で示されます。

V_N は選択した入力ピンの電圧で、 V_{REF} は選択した基準電圧です (100頁の表 19-3と表 19-4をご覧ください)。\$000はアナログGNDを表し、\$3FFは選択した基準電圧 -1LSBを表します。結果は0(\$000)~ 1023(\$3FF)の符号なし2進数で表されます。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

198.2. 単極差動変換

差動チャンネルで単極入力動作が使用されると、その結果は右式で示されます。

V_{POS} は非反転入力ピンの電圧、 V_{NEG} は反転入力ピンの電圧、 $GAIN$ は選択した倍率、 V_{REF} は選択した基準電圧です (100頁の表 19-3と表 19-4をご覧ください)。非反転ピンの電圧は常に反転ピンの電圧より高くなければならず、さもなければ差電圧は0に飽和します。結果は0(\$000)~ 1023(\$3FF)の符号なし2進数で表されます。 $GAIN$ は1, 8, 20, 32倍の何れかです。

$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 1024}{V_{REF}}$$

198.3. 両極差動変換

既定としてA/D変換器は単極入力動作で働きますが、A/D変換制御/状態レジスタB(ADCSRB)の両極入力動作(BNビット)の書き込みにより両極入力動作が選べます。両極入力動作では \pm 両側の差電圧が許され、従って反転入力ピンの電圧は非反転入力ピンの電圧より高くもできます。差動チャンネルで両極入力動作が使用されると、その結果は右式で示されます。

$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 512}{V_{REF}}$$

V_{POS} は非反転入力ピンの電圧、 V_{NEG} は反転入力ピンの電圧、 $GAIN$ は選択した倍率、 V_{REF} は選択した基準電圧です。結果は-512(\$200)から0(\$000)を通して+511(\$1FF)までの符号付き2進数で表されます。 $GAIN$ は1, 8, 20, 32倍の何れかです。

けれども信号が本質動作 (10ビットとして符号+9ビット)で両極でない場合、この仕組みは変換器の機能範囲(タケミックレソジ)の1ビットを失います。そこで使用者が最大機能範囲での変換実行を欲するなら、使用者は変換結果を素早く調べ、選択可能な差動入力対で単極差動変換を使用できます。極性検査実行時、それは結果のMSB読み込み(ADCHのADC9ビット)で充分です。このビットが1ならば結果が負、0ならば正です。



19.9. 温度測定

温度測定はシングルエンドADC11チャンネルに連結されるチップ上の温度センサが基にされます。A/D変換制御/状態レジスタ(ADCSR)とA/Dチャンネル選択(ADMUX)レジスタのチャンネル選択(MUX5~0)ビットへの'11111'書き込みによるADC11チャンネル選択がこの温度センサを許可します。1.1V内部基準電圧も温度センサ測定でA/D変換器基準電圧源に選択されなければなりません。温度センサが許可されるとA/D変換器は温度センサ上の電圧を測定するのに単独変換動作(ADSC=0)で使用できます。

測定した電圧は表 19-2で記述されたように温度に対して直線的関係を持ちます。電圧感度は概ね 1mV/°C で、温度測定の精度は(ハンドキップ基準電圧校正後)で± 10°Cです。

表 19-2. 温度対センサ出力電圧 (代表値)

温度 (°C)	-40	+25	+85
電圧 (mV)	247mV	314mV	382mV

表 19-2に記載した値は代表値です。然しながら工程変更のため、温度センサ出力電圧は或るチップと別のチップで変化します。より正確な結果達成を可能とするために、温度測定は応用ソフトウェアで校正できます。校正ソフトウェアは量産検査の一部として、校正値が各チップに対してレジスタまたはEEPROM内に格納されることが必要です。校正ソフトウェアは次式を使用して行なえます。

$$T_{\text{温度}} = \frac{(\text{ADCH} \ll 8 - \text{ADCL}) - T_{OS}}{k}$$

ADCH、ADCLはA/D変換器データレジスタ、kは固定係数(訳補: 希望温度形式に依存)、T_{OS}は量産検査の一部として決定され、EEPROM内に格納した温度センサオフセット値です。





19.10. A/D変換用レジスタ

19.10.1 A/Dチャネル選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット76 - REFS1, REFS0 : 基準電圧選択 (Reference Selection Bits)

これらのビットはA/D変換制御/状態レジスタB (ADCSRB)のREFS2ビットは表 19-3で示されるようにA/D変換器の基準電圧 (VREF) を選びます。これらのビットが変換中に変更されると、その変更はこの変換が完了する (ADCSRAのADIF=1) まで実施しません。これらのビットが変更されると、次の変換は必ず25A/D変換クワックかかります。活動するチャネルが使用される場合、基準電圧としてVCCまたは(VCC-1V)より高い外部AREFの使用は、これがA/D変換精度に影響を及ぼすために推奨されません。外部電圧がAREFピンに印加されている場合、内部基準電圧任意選択は使用できないかもしれません。

表 19-3. A/D変換部の基準電圧選択

REFS2	REFS1	REFS0	基準電圧 (VREF)
x	0	0	基準電圧としてVCC使用 (AREF (PA3)ピン切断)
x	0	1	AREF (PA3)ピンの外部基準電圧 (内部基準電圧はOFF)
0	1	0	AREF (PA3外部テックアップ用コンデンサなし、1.1V内部基準電圧 (AREF (PA3)ピン切断))
0	1	1	(予約)
1	1	0	AREF (PA3外部テックアップ用コンデンサなし、2.56V内部基準電圧 (注)) (AREF (PA3)ピン切断)
1	1	1	AREF (PA3外部テックアップ用コンデンサあり、2.56V内部基準電圧 (注))

注: このレジスタは2.56V基準電圧を生成するために3V以上の供給電圧が必要です。 (訳注: 共通性から本注追加)

ビット5 - ADLAR : 左揃え選択 (ADC Left Adjust Result)

ADLARビットはA/Dデータレジスタ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書きください。さもなければ結果は右揃えです。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dデータレジスタの内容に影響を及ぼします。このビットの完全な記述については102頁の「A/Dデータレジスタ」をご覧ください。

ビット4~0 - MUX4~0 : A/Dチャネル選択 (Analog Channel and Gain Selection Bits 4~0)

これらのビットはA/D変換制御/状態レジスタB (ADCSRB)のMUX5ビットの値はA/D変換器にどのアナログ入力の組み合わせが接続されるかを選びます。差動入力の場合、利得選択もこれらのビットで行なわれます。差動利得段への両入力として同じビットの選択は、オフセット測定を可能にします。シングルエンドチャネルADC1選択は温度センサを許可します。詳細については表 19-4をご覧ください。これらのビットが変換中に変更される場合、その変更はこの変換が完了する (ADCSRAのADIF=1) まで実施しません。

表 19-4. アナログ入力チャネル選択

MUX5~0	差動入力時			S/D	MUX5~0	差動入力時			S/D	MUX5~0	差動入力時			S/D
	非反転	反転	利得			非反転	反転	利得			非反転	反転	利得	
0 0000	ADC0 (PA0)			シングル エンド 入力	0 10110	ADC5	ADC5	x 20	差動 入力	1 01100	ADC4	ADC5	x 20/x 32	差動 入力
0 00001	ADC1 (PA1)				0 10111	ADC6	ADC5	x 20		1 01101	ADC4	ADC5	x 1/x 8	
0 00010	ADC2 (PA2)				0 11000	ADC6	ADC5	x 1		1 01110	ADC5	ADC4	x 20/x 32	
0 00011	ADC3 (PA4)				0 11001	ADC8	ADC9	x 20		1 01111	ADC5	ADC4	x 1/x 8	
0 00100	ADC4 (PA5)				0 11010	ADC8	ADC9	x 1		1 10000	ADC5	ADC6	x 20/x 32	
0 00101	ADC5 (PA6)				0 11011	ADC9	ADC9	x 20		1 10001	ADC5	ADC6	x 1/x 8	
0 00110	ADC6 (PA7)				0 11100	ADC10	ADC9	x 20		1 10010	ADC6	ADC5	x 20/x 32	
0 00111	ADC7 (PB4)				0 11101	ADC10	ADC9	x 1		1 10011	ADC6	ADC5	x 1/x 8	
0 01000	ADC8 (PB5)				0 11110	1.1V (V _{BG})				1 10100	ADC6	ADC4	x 20/x 32	
0 01001	ADC9 (PB6)				0 11111	0V (GND)				1 10101	ADC6	ADC4	x 1/x 8	
0 01010	ADC10 (PB7)			1 00000	ADC0	ADC1	x 20/x 32	1 10110	ADC4	ADC6	x 20/x 32			
0 01011	ADC0	ADC1	x 20	1 00001	ADC0	ADC1	x 1/x 8	1 10111	ADC4	ADC6	x 1/x 8			
0 01100	ADC0	ADC1	x 1	1 00010	ADC1	ADC0	x 20/x 32	1 11000	ADC0	ADC0	x 20/x 32			
0 01101	ADC1	ADC1	x 20	1 00011	ADC1	ADC0	x 1/x 8	1 11001	ADC0	ADC0	x 1/x 8			
0 01110	ADC2	ADC1	x 20	1 00100	ADC1	ADC2	x 20/x 32	1 11010	ADC1	ADC1	x 20/x 32			
0 01111	ADC2	ADC1	x 1	1 00101	ADC1	ADC2	x 1/x 8	1 11011	ADC2	ADC2	x 20/x 32			
0 10000	ADC2	ADC3	x 1	1 00110	ADC2	ADC1	x 20/x 32	1 11100	ADC4	ADC4	x 20/x 32			
0 10001	ADC3	ADC3	x 20	1 00111	ADC2	ADC1	x 1/x 8	1 11101	ADC5	ADC5	x 20/x 32			
0 10010	ADC4	ADC3	x 20	1 01000	ADC2	ADC0	x 20/x 32	1 11110	ADC6	ADC6	x 20/x 32			
0 10011	ADC4	ADC3	x 1	1 01001	ADC2	ADC0	x 1/x 8	1 11111	ADC11 (温度センサ)		SE			
0 10100	ADC4	ADC5	x 20	1 01010	ADC0	ADC2	x 20/x 32							
0 10101	ADC4	ADC5	x 1	1 01011	ADC0	ADC2	x 1/x 8							



19.10.2 A/D制御 状態レジスタ (ADC Control and Status Register A) ADCSRA

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - ADEN :A/D許可 (ADC Enable)

このビットに **1** を書くことはA/D変換部 動作 を許可します。 **0** を書くことによりA/D変換部は 電源が)OFFされます。変換が進行中にA/D変換部をOFFにすることは、その変換を途中 終了します。

ビット6 - ADSC :A/D変換開始 (ADC Start Conversion)

単独変換動作では各変換を始めるために、このビットへ **1** を書いてください。連続変換動作では最初の変換を始めるために、このビットへ **1** を書いてください。A/D変換部が許可される (ADEN=**1**)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の**初回変換**は通常の13に代わって25変換クロックサイクルで行います。この初回変換はA/D変換部の初期化を実行します。

ADSCは変換が進行中である限り**1**として読めます。変換が完了すると**0**に戻ります。このビットへの **0**書き込みは無効です。

ビット5 - ADATE :A/D変換自動起動許可 (ADC Auto Trigger Enable)

このビットが **1** が書かれるとA/D変換の自動起動が許可されます。A/D変換器は選択した起動信号の立ち上りエッジで変換を開始します。この起動元はA/D変換制御 状態レジスタB (ADCSR B) のA/D変換起動要因選択 (ADTS2- 0)ビット設定によって選択されます。

ビット4 - ADIF :A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/Dデータレジスタが更新されると、このフラグがセット(**1**)されます。ステータスレジスタ(SREG)の全割り込み許可 (IF)ビットとA/D変換完了割り込み許可 (ADIE)ビットがセット(**1**)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ペクタを実行するとき、ADIFはハードウェアによりクリア (**0**)されます。代わりに、このフラグに論理 **1** を書くことによってもADIFはクリア (**0**)されます。ADCSRAで読み 変更 書き (リード モディファイアイトを行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI,CBI命令が使用される場合にも適用されます。

ビット3 - ADIE :A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットが **1** が書かれ、SREGの全割り込み許可 (IF)ビットがセット(**1**)されていると、A/D変換完了割り込みが活性に 許可 されます。

ビット2,1,0 - ADPS2,ADPS1,ADPS0 :A/D変換 クロック選択 (ADC Prescaler Select Bits)

これらのビットはシステム クロック周波数とA/D変換部への入力 クロック間の分周値を決めます。

表 19-5.A/D変換 クロック選択 (CK⇒システム クロック)

ADPS	0	1	2	3	4	5	6	7	8
ADPS2	0	0	0	0	1	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1	1
ADPS0	0	1	0	1	0	1	0	1	1
A/D変換 クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128	CK/128

19.10.3 A/D変換 制御 状態レジスタB (ADC Control and Status Register B) ADCSRB

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	BN	GSEL	-	REFS2	MUX5	ADTS2	ADTS1	ADTS0	ADCSR B
Read/W rite	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - BN :両極入力動作 (B polar Input Mode)

利得段は既定として単極動作で動きますが、ADCSR BのBNビット(**1**書き込みによって両極動作が選択できます。単極動作では(±)の片側変換だけが支援され、非反転入力電圧は反転入力電圧より常に高くなければなりません。さもなければ、その結果は基準電圧に飽和されます。両極動作では(±)の 両側変換が支援され、その結果は2Dの補数形式で表されます。単極動作での分解能は10ビットで、両極動作での分解能は9ビット+符号ビットです。

ビット6 - GSEL :利得選択 (Gain Select)

利得選択ビットは利得選択ビットが **1** が書かれる時に、倍利得に代わって8倍利得を、20倍利得に代わって32倍利得を選択します。

ビット5 - Res :予約 (Reserved Bits)

このビットは予約されており 常に **0**として読めます。





ビット4 - REFS2 :基準電圧選択ビット2 (Reference Selection Bit 2)

このビットは表 19-3で示されるように、A/D変換器に対して 1.1Vまたは 2.56Vの基準電圧のどちらかを選びます。活動するチャネルが使用される場合、基準電圧として VCCまたは (VCC - 1V)より高い外部 AREFの使用は、これが A/D変換精度に影響を及ぼすために推奨されません。外部電圧が AREFピンに印加されている場合、内部基準電圧任意選択は使用できないかもしれません。

ビット3 - MUX5 :A/Dチャネル選択ビット5 (Analog Channel and Gain Selection Bit 5)

MUX5ビットはアナログチャネル/利得選択ビットのMSBです。詳細については表 19-4を参照してください。このビットが変換中に変更される場合、その変更はこの変換が完了する (ADCSRAの ADIF=1)まで実施しません。

ビット2~ 0 - ADTS2 ADTS1 ADTS0 :A/D変換自動起動要因選択 (ADC Auto Trigger Source)

A/D変換制御状態レジスタ (ADCSRA) の A/D変換自動起動許可 (ADATE)ビットが 1を書かれると、これらのビットの値はどの起動元が A/D変換を起動するのを選択します。ADATEがクリア (0)されると、ADTS2~ (設定は無効です。変換は選択した割り込みフラグの立ち上りエッジによって起動されます。クリア (0)されている起動元からセット (1)されている起動元への切り替えが、起動信号上に立ち上りエッジを生成することに注意してください。ADCSRAの A/D許可 (ADEN)ビットがセット (1)されているなら、これが変換を開始させます。連続変換動作 (ADTS2~ 0=0)への切り替えは、例えば A/D変換完了割り込み要求フラグがセット (1)されていても、起動事象を引き起こしません。

表 19-6.A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作
0	0	1	アナログ比較器
0	1	0	外部割り込み要求 0
0	1	1	タイマ/カウンタ比較 A一致
1	0	0	タイマ/カウンタオーバーフロー
1	0	1	タイマ/カウンタ比較 B一致
1	1	0	タイマ/カウンタ1オーバーフロー
1	1	1	ウォッチドック割り込み要求

19.10.4 A/Dデータレジスタ (ADC Data Register) ADCH ADCL (ADCD)

		ADLAR=0時								
ビット		15	14	13	12	11	10	9	8	
\$05 (\$25)		-	-	-	-	-	-	ADC9	ADC8	ADCH
Read/W rite		R	R	R	R	R	R	R	R	
初期値		0	0	0	0	0	0	0	0	
ビット		7	6	5	4	3	2	1	0	
\$04 (\$24)		ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/W rite		R	R	R	R	R	R	R	R	
初期値		0	0	0	0	0	0	0	0	
		ADLAR=1時								
		15	14	13	12	11	10	9	8	
		ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
		7	6	5	4	3	2	1	0	
		ADC1	ADC0	-	-	-	-	-	-	ADCL

A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。

ADCLが読まれると、A/DデータレジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃えで、且つ 8ビットを越える精度が必要とされなら、ADCHを読むことで用が足ります。さもなくば ADCLが初めに、その後にADCHが読まれなければなりません。

A/Dチャネル選択レジスタ (ADMUX) の左揃え選択 (ADLAR)ビットと A/Dチャネル選択 (MUX4~ 0)ビットと、A/D変換制御状態レジスタB (ADCSRB) の A/Dチャネル選択 (MUX5)ビットは本レジスタから結果を読む方法に影響を及ぼします。ADLARがセット (1)されると結果は左揃えされず、ADLARがクリア (0)されていると既定) 結果は右揃えされます。

ADC9~ 0 :A/D変換結果 (ADC Conversion result)

これらのビットは 98頁の「A/D変換の結果」で詳述されるように変換での結果を表します。



19.10.5. デジタル入力禁止レジスタ1 (Digital Input Disable Register 1) DDR1

ビット	7	6	5	4	3	2	1	0	
\$02 (\$22)	ADC10D	ADC9D	ADC8D	ADC7D	-	-	-	-	DDR1
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 4 - ADC10D~ ADC7D :ADC10~ 7 デジタル入力禁止 (ADC10~ 7 Digital Input Disable)

このビットが論理 1 を書かれると、対応するADCnピンのデジタル入力バッファが禁止されます。このビットがセット(1)されると、対応するポート入力レジスタのビット(PNx)は常に 0 として読みます。アナログ信号がADC10~ 7ピンに印加され、そのピンからのデジタル入力が必要とされないとき、デジタル入力バッファでの消費電力を削減するため、そのビットは論理 1 を書かれるべきです。

ビット3~ 0 - Res :予約 (Reserved Bits) **訳注** 共通性から本項追加)

これらのビットは将来の使用に対して予約されています。将来のデバイスとの共通性のため、DDR1が書かれるとき、これらのビットは 0 が書かれなければなりません。

19.10.6. デジタル入力禁止レジスタ0 (Digital Input Disable Register 0) DDR0

ビット	7	6	5	4	3	2	1	0	
\$01 (\$21)	ADC6D	ADC5D	ADC4D	ADC3D	AREFD	ADC2D	ADC1D	ADC0D	DDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 4 2~ 0 - ADC6D~ ADC0D :ADC6~ 0 デジタル入力禁止 (ADC6~ 0 Digital Input Disable)

このビットが論理 1 を書かれると、対応するADCnピンのデジタル入力バッファが禁止されます。このビットがセット(1)されると、対応するポート入力レジスタのビット(PNx)は常に 0 として読みます。アナログ信号がADC6~ 0ピンに印加され、そのピンからのデジタル入力が必要とされないとき、デジタル入力バッファでの消費電力を削減するため、そのビットは論理 1 を書かれるべきです。

ビット3 - AREFD :AREF デジタル入力禁止 (AREF Digital Input Disable)

このビットが論理 1 を書かれると、AREFピンのデジタル入力バッファが禁止されます。このビットがセット(1)されると、対応するポート入力レジスタのビット(PNx)は常に 0 として読みます。アナログ信号がAREFピンに印加され、そのピンからのデジタル入力が必要とされないとき、デジタル入力バッファでの消費電力を削減するため、そのビットは論理 1 を書かれるべきです。





20. デバグWRE内蔵デバグシステム

20.1. 特徴

完全なプログラムの流れ制御
 RESETピンを除くデジタルとアナログ両方でのチップ全機能のイミュレート
 実時間 (リアルタイム動作)
 シンボリックデバグ支援 (アセンブリ及びC言語または他の高位言語)
 無制限数のプログラム中断点 (ブレークポイント: ソフトウェア中断点使用)

邪魔しない動作
 実デバイスと同じ電気的特性
 自動設定システム
 高速動作
 不揮発性メモリのプログラミング

20.2. 概要

デバグWRE内蔵デバグシステムはCPUでのAVR命令実行、プログラムの流れ制御、各種不揮発性メモリのプログラミングのための本線の双方向インターフェースを使用します。

20.3. 物理インターフェース

デバグWRE許可 (DWEN) ピンがプログラム (0) され、ロックビットが非プログラム (1) にされると対象デバイス内のデバグWREシステムが活性 (有効) にされます。RESETホートピンはプルアップ許可のANDタイプ (オープンドレイン双方向 I/Oピンとして設定され、対象デバイスとイミュレータ間の通信路になります)。

図 20-1 はイミュレータと許可したデバグWREでの対象MCUとの接続の図を示します。システムクロックはデバグWREにより影響を及ぼされず、常にCKSELピンの選択したクロックです。

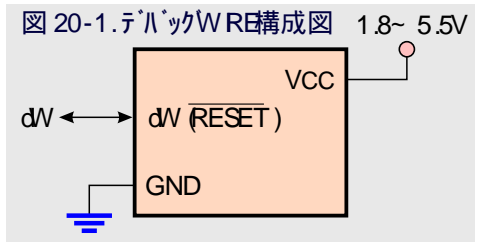
デバグWREが使用されるシステムの設計時、正しい動作のために次の注意点が厳守されなければなりません。

dW / RESET線のプルアップ抵抗は10k~ 20k の範囲でなければなりません (然しながら、プルアップ抵抗は任意です)

RESETピンのVCCへの直接的な接続では動作しません。

RESETピンに挿入したコンテンツはデバグWRE使用時、切断されなければなりません。

すべての外部デバイスが切断されなければなりません。



20.4. ソフトウェア中断点 (ブレークポイント)

デバグWREはAVRのBREAK命令によりプログラムメモリの中断点を支援します。AVR Studio®での中断点設定はプログラムメモリでBREAK命令を挿入します。BREAK命令で置換した元の命令は保存されます。プログラム実行が継続される時、プログラムメモリから継続される前に保存した命令が実行されます。一時停止 (ブレーク) はプログラムにBREAK命令を置くことにより手動で挿入できます。

フラッシュメモリは中断点の変更される度に書き換えされなければなりません。これはデバグWREインターフェースを通してAVR Studioにより自動的に操作されます。従って中断点の使用はフラッシュメモリのデータ保持力を低下させます。デバグ目的に使用したデバイスは最終顧客へ出荷すべきではありません。

20.5. デバグWREの制限

デバグWRE通信 (dW) ピンは物理的に外部デバイス (RESET) と同じピンに配置されます。従ってデバグWREが許可されると、外部デバイスが支援されません。

デバグWREシステムは全速度、換言するとCPUのプログラムが走行するとき、全 I/O機能を正確にイミュレートします。CPUが停止される時にデバグ (AVR Studio経由でいくつかの I/Oレジスタをアクセスする間、注意が払われなければなりません。この制限の詳細説明についてはデバグWRE資料をご覧ください (訳注: 共通性から本行追加))

プログラム (0) にしたDWENピンは全スリープ動作でクロックシステムのいくつかの部分の走行を許可します。これはスリープ間中の消費電力を増加します。従ってDWENピンはデバグWREが使用されない場合、禁止されるべきです。

20.6. デバグWRE用レジスタ

次項はデバグWREで使用するレジスタを記述します。

20.6.1. デバグWRE データレジスタ (debugWRE Data Register) DWDR

ビット	7	6	5	4	3	2	1	0		
\$20 (\$40)	(MSB)							(LSB)		DWDR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	0	

DWDRはMCU内で走行するプログラムからデバグへの通信チャンネルを提供します。このレジスタはデバグWREでだけアクセス可能で、従って通常動作で一般目的レジスタとして使用できません。



21. フラッシュメモリの自己プログラミング

本デバイスはMCU自身によりプログラムコードのダウンロードとアップロード用の自己プログラミング機構を提供します。自己プログラミングはフラッシュメモリにコードを書き(プログラム) コードを読み、またはプログラムメモリからコードを読むために、利用可能なデータインターフェースと関連する規約のどれもが使用できます。

プログラムメモリはページ単位形式で更新されます。ページ一時バッファへ格納したデータでページを書く前に、そのページは消去されなければなりません。ページ一時バッファはSPM命令使用時毎の語(ワード)で満たされ、このバッファはページ消去命令前、またはページ消去とページ書き込み操作間のどちらかで満たすことができます。

手段1 (ページ消去前の一時バッファ格納)

- ページ一時バッファを満たしてください。
- ページ消去を実行してください。
- ページ書き込みを実行してください。

手段2 (ページ消去後の一時バッファ格納)

- ページ消去を実行してください。
- ページ一時バッファを満たしてください。
- ページ書き込みを実行してください。

ページの一部の変更だけが必要な場合、消去前にページの残す部分は例えばページ一時バッファに保存されなければならない、その後改めて書かれます。手段1を使用する場合、初めにページを読み、必要な変更を行い、その後に変更したデータを書き戻すことをユーザーソフトウェアに許す効果的な読み-修正-書き(ロード-モテファイライト機能をデバイスは提供します。手段2が使用される場合、ページが既に消去されているため、格納中の旧データを読みできません。ページ一時バッファはランダム手順でアクセスできます。ページ消去とページ書き込み操作の両方で使用されるページアドレスは同じページをアドレス指定することが非常に重要です。

21.0.1. SPM命令によるページ消去の実行

ページ消去を実行するには、Zポイントにアドレスを設定し、SPM命令制御状態レジスタ(SPMCSR)に'0000011'を書き、SPMCSR書き込み後4クロックサイクル内にSPM命令を実行してください。R1とR00のデータは無視されます。ページアドレスはZポイントのPCPAGEに書かれなければなりません。この操作中、Zポイントの他のビットは無視されます。

ページ消去中、CPUは停止されます。

21.0.2. ページ一時バッファの設定 (ページ設定)

命令語(ワード)をページ一時バッファに書くには、Zポイントにアドレス R1R0にデータを設定し、SPMCSRに'0000001'を書き、SPMCSR書き込み後4クロックサイクル内にSPM命令を実行してください。ZポイントのPCWORDの内容は一時バッファのデータのアドレスに使用されます。一時バッファはページ書き込み操作後、またはSPMCSRのCTPBLビット(=1書き込みにより自動的に消去されます。システムリセット後も消去されています。一時バッファを消去せずに各アドレスへ複数回書くことができないことに注意してください。

SPMページ設定操作の途中でEEPROMが書かれると、設定した全データが失われます。

21.0.3. ページ書き込みの実行

ページ書き込みを行うためには、Zポイントにアドレスを設定し、SPMCSRに'0000101'を書き、SPMCSR書き込み後4クロックサイクル内にSPM命令を実行してください。R1とR00のデータは無視されます。ページアドレスは(Zポイントの)PCPAGEに書かれなければなりません。この操作中、Zポイントの他のビットは0を書かれなければなりません。

ページ書き込み中、CPUは停止されます。

21.1. 自己プログラミング中のフラッシュメモリのアドレス指定

Zポイント(レジスタ)はSPM命令でのアドレス指定に使用されます。

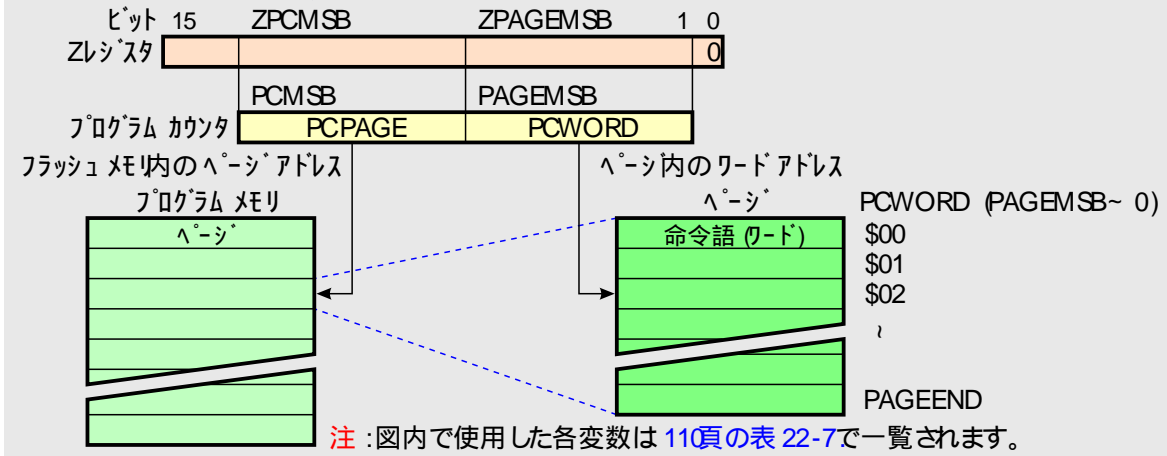
ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリがページで構成されるため(110頁の表22-7参照)プログラムカウンタ(アドレスポイント)は2つの違う領域を持つようになり扱われます。1つの領域は下位側ビットから成り、ページ内のワードをアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは次頁の図21-1で示されます。ページ消去とページ書き込み操作が個別にアドレス指定されることに注意してください。従ってソフトウェアはページ消去とページ書き込み操作の両方で同じページをアドレス指定することが最も重要です。

LPM命令はアドレスを格納するためにZポイントを使用します。この命令はフラッシュメモリのハイ単位をアドレス指定するため、Zポイントの最下位ビット(Z0)も使用されます。



図 21-1. SPM操作中のフラッシュメモリのアドレス指定



21.1.1. SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリの全ソフトウェアプログラミングを妨げることに注意してください。ソフトウェアからのヒューズとロックビット読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御レジスタ (EECR) のEEPROMプログラム許可 (EEPE) ビットを検査し、SPM命令制御状態レジスタ (SPMCSR) を書く前に、このビットがクリア (0) されているのを確認することが推奨されます。

21.1.2. ソフトウェアからのヒューズビットとロックビットの読み出し

ソフトウェアからヒューズとロックビットの両方を読むことが可能です。ロックビットを読むためには、Zポインタに \$0001 を設定し、SPMCSR の SPM操作許可 (SPMEN) とフラッシュ/ロックビット読み込み (RFLB) ビットをセット (1) してください。SPMEN と RFLB ビットが SPMCSR に設定された後 3CPU サイクル内に LPM 命令が実行されると、ロックビットの値は転送先レジスタに格納されます。SPMEN と RFLB ビットはロックビット読み出しの完了で、または 3CPU サイクル内に LPM 命令が実行されないか、または 4CPU サイクル内に SPM 命令が実行されない場合、自動的にクリア (0) されます。SPMEN と RFLB ビットがクリア (0) されると、LPM は命令セット手引書で記述されるように動作します。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	LB2	LB1

ヒューズ下位ビットを読む手順は上記のロックビット読み出しと同様です。ヒューズ下位ビットを読み出すためには、Zポインタに \$0000 を設定し、SPMCSR の SPMEN と RFLB ビットをセット (1) してください。SPMEN と RFLB ビットが SPMCSR に設定された後 3CPU サイクル内に LPM 命令が実行されると、以下で示されるようにヒューズ下位ビット (FLB) の値は転送先レジスタに格納されます。ヒューズ下位ビットの配置と詳細な記述については 109 頁の表 22-5 を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

同様に、ヒューズ上位ビットを読むためには Zポインタに \$0003 を設定してください。SPMEN と RFLB ビットが SPMCSR でセット (1) された後 3 サイクル内に LPM 命令が実行されると、以下で示されるようにヒューズ上位ビット (FHB) の値は転送先レジスタに格納されます。ヒューズ上位ビットの配置と詳細な記述については 109 頁の表 22-4 を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

プログラム (0) されたヒューズとロックビットは 0 として読めます。非プログラム (1) にされたヒューズとロックビットは 1 として読めます。

21.1.3. フラッシュメモリデータ化けの防止

低 VCC の期間中、正しく動作する CPU とフラッシュメモリに対して供給電圧が低すぎるために、フラッシュメモリのプログラムが不正にされ得ます。これらの問題はフラッシュメモリを使用する基板段階の装置と同じで、同じ設計上の解決法が適用されるべきです。

フラッシュメモリのプログラム化けは電圧が低すぎる時の 2 つの状態により起こされます。1 つ目として、フラッシュメモリへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2 つ目として、供給電圧が低すぎると、CPU 自身が命令を間違えて実行し得ます。

フラッシュメモリ化けは次の推奨設計により容易に避けられます (1 つは必須)

不十分な供給電源電圧の期間中、AVR RESET を活性 (Low) に保ってください。これは動作電圧が検出電圧と一致するならば、内部低電圧検出器 (BOD) を許可することにより行えます。そうでなければ外部低 VCC 検出保護回路が使用できます。書き込み操作進行中に電圧が起ると、その書き込み動作は供給電源電圧が充分であれば完了されます。

低 VCC の期間中、AVR コアを「ワウターダウン スリープ動作」に保ってください。これは CPU が命令の復号と実行を試みるのを防ぎ、SPMCSR からフラッシュメモリを予期せぬ書き込みから効果的に保護します。



21.1.4.SPM命令使用時のフラッシュメモリ用プログラミング書き込み時間

校正された内蔵RC発振器がフラッシュメモリアクセス時間に使用されます。表 21-1はCPUからのフラッシュメモリアクセスに対する代表的なプログラミング時間を示します。

表 21-1.SPM命令によるフラッシュメモリのプログラミング時間

項目	Min	Max
SPM命令によるフラッシュ書き込み (ページ消去、ページ書き込み、ロックビット書き込み)	3.7ms	4.5ms

注 :MinとMaxの時間は項目の個別操作毎に対してです。

21.2.自己プログラミング用レジスタ

21.2.1.SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register) SPMCSR

このレジスタはプログラムメモリ操作を制御するために必要とする制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	-	-	-	CTPB	RFLB	PGWRT	PGERS	SPMEN	SPMCSR
Read/W rite	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 5 - Res :予約 (Reserved B its)

これらのビットは予約されており、常に0として読めます。

ビット4 - CTPB :ページ一時バッファ消去 (Clear Temporary Page Buffer)

ページ一時バッファを満たしている間にCTPBビットが1を書かれると、ページ一時バッファは消去され、データは失われます。

ビット3 - RFLB :ヒューズ/ロックビット読み込み (Read Fuse and Lock B its)

SPMCSRでRFLBとSPMENがセット(1)された後の3クロックサイクル内のLPM命令は、ZポイントのZCに依存してヒューズビットまたはロックビットのどちらかを転送先レジスタに読みます。詳細については106頁の「ソフトウェアからのヒューズビットとロックビットの読み出し」をご覧ください。

ビット2 - PGWRT :ページ書き込み (Page Write)

このビットがSPMENと同時に1を書かれると、次の4クロックサイクル内のSPM命令は一時バッファに格納したデータでページ書き込みを実行します。ページアドレスはZポイントの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。ページ全体の書き込み動作中、CPUは停止されません。

ビット1 - PGERS :ページ消去 (Page Erase)

このビットがSPMENと同時に1を書かれると、次の4クロックサイクル内のSPM命令はページ消去を実行します。ページアドレスはZポイントの上位部から取得されます。R1とR0のデータは無視されます。PGERSビットはページ消去の完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。ページ全体の消去中、CPUは停止されます。

ビット0 - SPMEN :SPM操作許可 (Store Program Memory Enable)

このビットは次の4クロックサイクル間SPM命令を許可します。このビットがCTPB、RFLB、PGWRT、PGERSのどれかと共に1を書かれると、続くSPM命令は特別な意味を持ちます (上の記述をご覧ください)。SPMENだけが書かれると、続くSPM命令はZポイントによりアドレス指定したページ一時バッファへR1、R0の値を格納します。Zレジスタの最下位ビットは無視されます。SPMENビットはSPM命令の完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。ページ消去とページ書き込み中、SPMENビットはその動作が完了されるまで1に留まります。

下位5ビットに10001, 01001, 00101, 00011, 00001以外のどんな組み合わせを書いても無効です。





22. メリプログラミング

本項はATtiny261/461/861のメリプログラミングに対する各種方法を記述します。

22.1. プログラム メリとデータメモリ用ロックビット

ATtiny261/461/861は、非プログラム(1)のままか、表 22-2で一覧される付加機能を得るためにプログラム(0)できる2つのロックビットを提供します。このロックビットはチップ消去コマンドでのみ1に消去できます。ATtiny261/461/861には独立したブートロータ領域がありません。SELVPRGENヒューズがプログラム(0)されると、SPM命令がフラッシュメモリ全体に対して許可され、さもなければ禁止されます。

表 22-1. ロックビットハイの内容

名称	ビット番号	意味	既定値 (注)
-	7		1 (非プログラム)
-	6		1 (非プログラム)
-	5		1 (非プログラム)
-	4		1 (非プログラム)
-	3		1 (非プログラム)
-	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用ロックビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注：0はプログラム、1は非プログラムを意味します。

表 22-2. ロックビットの保護種別

メモリロックビット			保護種別
LB種別	LB2	LB1	シリアル、パレルまたはデバッグWRE経由プログラミングに対する保護
1	1	1	メモリロック機能は機能しません。
2	1	0	フラッシュ、EEPROM、ヒューズビットのプログラミング書き込み機能が禁止されます。(注1)
3	0	0	LB種別2と同様、更に照合読み出しも禁止されます。(注1)

注：0はプログラム、1は非プログラムを意味します。

注1：ロックビットを書く前にヒューズビットを書いてください。



22.2. ヒューズビット

ATtiny261/461/861には3つのヒューズハイがあります。表 22-3~ 5は全てのヒューズの概略機能とヒューズハイ内でどのように配置されるかを示します。ヒューズはプログラムされると論理0として読まれることに注意してください。

表 22-3. 拡張ヒューズハイ一覧

名称	ビット	意味	既定値
-	7~ 1		1 (非プログラム)
SELFPRGEN	0	自己プログラミング機能許可。	1 (非プログラム)自己プログラミング不許可

表 22-4. ヒューズ上位ハイ一覧

名称	ビット	意味	既定値
RSTDISBL (注1)	7	PB5が I/Oピンかまたは RESETピンを選択します。	1 (非プログラム) PB5は RESETピン
DWEN (注2)	6	デバッグW RE機能許可。	1 (非プログラム) デバッグW RE不許可
SPIEN (注3)	5	シリアルプログラミング許可。	0 (プログラム) 低電圧シリアルプログラミング許可
WDTON (注4)	4	ウォッチドッグタイマ常時有効。	1 (非プログラム) WDTはWDTCRで許可
EESAVE	3	チップ消去からEEPROM内容を保護。	1 (非プログラム) EEPROMは未保護
BODLEVEL2	2		1 (非プログラム)
BODLEVEL1	1	低電圧検出 (BOD)ピンの制御と検出電圧選択。 (注5)	1 (非プログラム)
BODLEVEL0	0		1 (非プログラム)

注 1: RSTDISBLとDWENヒューズの記述については39頁の「ホ-IBの兼用機能」をご覧ください。RSTDISBLヒューズをプログラム(0)すると、更なるプログラミングを実行するためのヒューズ変更に高電圧パルスプログラミングが使用されなければなりません。

注 2: DWENヒューズはロックビット保護が必要とされる場合、非プログラム(1)にされなければなりません。前頁をご覧ください。

注 3: SPIENヒューズはシリアルプログラミングでアクティブできません。

注 4: 詳細については27頁の「ウォッチドッグタイマ制御レジスタ(WDTCR)」をご覧ください。

注 5: BODLEVELヒューズの符号化については12頁の表 23-4をご覧ください。

表 22-5. ヒューズ下位ハイ一覧

名称	ビット	意味	既定値
CKDIV8 (注1)	7	システムクロック8分周選択。	0 (プログラム) 8分周
CKOUT (注2)	6	システムクロック出力許可。	1 (非プログラム) 不許可
SJT1	5	起動時間選択。 (注3)	1 (非プログラム)
SJT0	4		0 (プログラム)
CKSEL3	3	クロック種別選択。 (注4)	0 (プログラム)
CKSEL2	2		0 (プログラム)
CKSEL1	1		1 (非プログラム)
CKSEL0	0		0 (プログラム)

注 1: 詳細については19頁の「システムクロック前置分周器」をご覧ください。

注 2: CKOUTはホ-IBに出力することをシステムクロックに許します。詳細については19頁の「クロック出力バッファ」をご覧ください。

注 3: SJT1の既定値は最大起動時間になります。詳細については17頁の表 7-7をご覧ください。

注 4: CKSEL3~ の既定設定は8MHz校正付き内蔵RC発振器になります。詳細については16頁の表 7-1をご覧ください。

ヒューズビットの状態はチップ消去により影響されません。ロックビット(LB1)がプログラム(0)されると、ヒューズビットが固定されることに注意してください。ロックビットをプログラム(0)する前にヒューズビットをプログラミング書き込みしてください。

22.2.1. ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値の変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム(0)されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは通常動作での電源投入でもラッチされません。





22.3. 識票バイト

すべてのATMEL マイクロコントローラはデバイス識別用の3バイトの識票符号を持ちます。この符号はシリアルと高電圧プログラミング動作の両方で、またデバイスがロックされていても読めます。この3バイトは分離された空間に存在します。ATtiny261/461/861用の識票バイトは表 22-6 で与えられます。

表 22-6. デバイスの識別番号 (D)

部品番号	識票バイトアドレス		
	\$0000	\$0001	\$0002
ATtiny261	\$1E	\$91	\$0C
ATtiny461	\$1E	\$92	\$08
ATtiny861	\$1E	\$93	\$0D

22.4. 発振校正値バイト

ATtiny261/461/861は内蔵RC発振器用に1バイトの校正値を持っています。このバイトは識票アドレス空間でアドレス\$0000の上位バイトにあります。这其中、[校正付き内蔵RC発振器](#)の正しい周波数を保証するために、このバイトが[発振校正 \(OSCCAL\)レジスタ](#)へ自動的に書かれます。

22.5. バイト容量

表 22-7. フラッシュメモリのバイト数とページの語数

デバイス	全容量	バイト容量	PCWORD	バイト数	PCPAGE	PCMSB
ATtiny261	1Kワード(2Kバイト)	16ワード	PC3~ 0	64	PC9~ 4	9
ATtiny461	2Kワード(4Kバイト)	32ワード	PC4~ 0	64	PC10~ 5	10
ATtiny861	4Kワード(8Kバイト)	32ワード	PC4~ 0	128	PC11~ 5	11

表 22-8. EEPROMメモリのバイト数とページの語数

デバイス	全容量	バイト容量	PCWORD	バイト数	PCPAGE	EEAMSB
ATtiny261	128バイト	4バイト	EEA1~ 0	32	EEA6~ 2	6
ATtiny461	256バイト	4バイト	EEA1~ 0	64	EEA7~ 2	7
ATtiny861	512バイト	4バイト	EEA1~ 0	128	EEA8~ 2	8



22.6. パラレルプログラミング

この項はATtiny261/461/861のプログラム用フラッシュメモリ、EEPROM、メモリのロックビット、ヒューズビットの平行プログラミングと照合の方法を記述します。特記事項を除いて、パルス幅は最低 250nsと仮定されます。

22.6.1. 信号名

本項でATtiny261/461/861のいくつかのピンは平行プログラミング中の機能を表す信号名で参照されます。図 22-1と表 22-9をご覧ください。後続の表で記載されないピンはピン名により参照されます。

XA0とXA1ピンはXTAL1ピンが正パルスを与えられる時に実行される動作を決めます。このビット符号化は表 22-11で示されます。

WRまたはOEパルスを送るとき、設定したコマンドが実行される動作を決めます。各種コマンドは表 22-12で示されます。

図 22-1. 平行プログラミング構成図

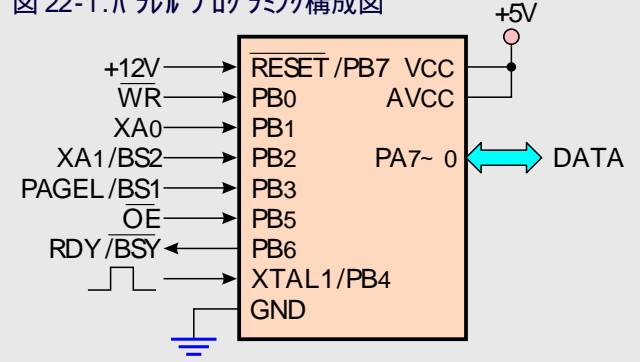


表 22-9. 信号名とピン名の関係

信号名	ピン名	入出力	機能
WR	PB0	入力	書き込みパルス負論理)
XA0	PB1	入力	XTAL動作ビット0
XA1/BS2 (注)	PB2	入力	XTAL動作ビット1 / 上位 / 下位ハイ選択 2 (0:下位, 1:上位) (ヒューズビット用)
PAGEL/BS1 (注)	PB3	入力	ページ一時バッファに設定 / 上位 / 下位ハイ選択 1 (0:下位, 1:上位) (一般用)
OE	PB5	入力	出力許可 負論理)
RDY/BSY	PB6	出力	0(Low): ビジー (プログラミング中) 1(High): レディ (コマンド受付可)
DATA	PA7~0	入出力	双方向データバス (OE=Low時出力)

注: このピンは2つの異なる制御信号に対して使用されます。以降の記述で、通常1つの信号名だけが参照されます。例えば、「BS1に正パルスを与える」は「PAGEL/BS1に正パルスを与える」と同等です。

表 22-10. プログラミング動作移行用ピン値

ピン名	シンボル	値
PAGEL/BS1	Prog_enable[3]	0
XA1/BS2	Prog_enable[2]	0
XA0	Prog_enable[1]	0
WR	Prog_enable[0]	0

表 22-11. XA0とXA1の符号化 (機能)

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス取得 (上位 / 下位はBSで指定)
0	1	アドレス取得 (フラッシュ時の上位 / 下位はBSで指定)
1	0	コマンド取得
1	1	アイドル (動作なし)

表 22-12. コマンドハイのビット符号化

コマンドハイ	コマンドの機能	コマンドハイ	コマンドの機能
\$80 (1000 0000)	チップ消去	\$08 (0000 1000)	識別ハイ ト校正値読み出し
\$40 (0100 0000)	ヒューズビット書き込み	\$04 (0000 0100)	ヒューズビット ロックビット読み出し
\$20 (0010 0000)	ロックビット書き込み	\$02 (0000 0010)	フラッシュメモリ読み出し
\$10 (0001 0000)	フラッシュメモリ書き込み	\$03 (0000 0011)	EEPROM読み出し
\$11 (0001 0001)	EEPROM書き込み		



22.7. パラレルプログラミング手順

22.7.1. パラレルプログラミング動作への移行

次に示す方法は、デバイスを高電圧パラレルプログラミング動作にします。

VCCとGND間に 4.5~ 5.5Vを印加します。

RESETをLow(0)にし、XTAL1を少なくとも6回、交互に(High/Low切り替えます。

11頁の表 22-10で一覧されるProg_enableを全てLow(0)に設定し、最低 100ns待ちます。

RESETに 11.5~ 12.5Vを印加します。+12VがRESETに印加されてしまった後 100ns以内のProg_enableのどんな動きも、デバイスのプログラミング動作への移行を失敗させます。

新規コマンド送付前に少なくとも50μs 間待ちます。

26.7.2. 効率的なプログラミングへの考慮

設定したコマンドとアドレスはプログラミング中、維持されます。効率的なプログラミングを行うために、次を考慮すべきです。

複数のメモリ領域を読み書きするとき、コマンド設定は一度だけ必要です。

チップ消去後のフラッシュメモリ(EESAVEビットがプログラム(0)されている場合を除き)EEPROM全体の内容は\$FFですので、値が\$FFのデータ書き込みを飛ばします。

アドレス上位バイトはフラッシュメモリで新規 256バイト枠、EEPROMで新規 256バイト枠の読み書き前に一度だけ必要です。この考慮は識別バイト読み出しにも適用されます。

22.7.3. チップ消去

チップ消去はフラッシュメモリ、EEPROM(注1) ロックビットを消去します。ロックビットはプログラムメモリが完全に消去されてしまうまで(ビット消去)されません。ヒューズビットは変更されません。チップ消去はフラッシュメモリやEEPROMが再書き込みされる前に実行されなければなりません。

注1: EESAVEビットがプログラム(0)されていると、EEPROMはチップ消去中、保護されます。

「チップ消去」コマンド設定

XA1をHigh(1)、XA0をLow(0)に設定します。これはコマンド設定を許可します。

BSをLow(0)に設定します。

DATAを\$80(1000 0000)に設定します。これはチップ消去コマンドです。

XTAL1に正バイアスを与えます。これはチップ消去コマンドを設定します。

WRに負バイアスを与えます。これはチップ消去を開始します。RDY/BSYがLow(0)になります。

次のコマンドを設定する前に、RDY/BSYがHigh(1)になるまで待ちます。



22.7.4. フラッシュメモリ書き込み (次頁の図 22-3 タイミングを参照)

フラッシュメモリはページで構成されます (110頁の表 22-7参照)。フラッシュメモリに書くとき、プログラムデータはページバッファにラッチされます。これは同時に書かれることをプログラムデータの1ページに許します。次の手順は完全なフラッシュメモリの書き込み方法を記述します。

A. 「フラッシュメモリ書き込み」コマンド設定

XAをHigh(1) XAOをLow(0)に設定します。これはコマンド設定を許可します。
 BSをLow(0)に設定します。
 DATAを\$10(0001 0000)に設定します。これはフラッシュメモリ書き込みコマンドです。
 XTAL1に正パルスを与えます。これはフラッシュメモリ書き込みコマンドを設定します。

B. アドレス下位ハイ設定

XAをLow(0) XAOをLow(0)に設定します。これはアドレス設定を許可します。
 BSをLow(0)に設定します。これは下位アドレス(バイト)を選択します。
 DATAにアドレス下位バイト(\$00~ \$FF)を設定します。
 XTAL1に正パルスを与えます。これはアドレス下位ハイを設定します。

C. データ下位ハイ設定

XAをLow(0) XAOをHigh(1)に設定します。これはデータ設定を許可します。
 DATAにデータ下位バイト(\$00~ \$FF)を設定します。
 XTAL1に正パルスを与えます。これはデータ下位ハイを設定します。

D. データ上位ハイ設定

BSをHigh(1)に設定します。これは上位ハイを選択します。
 XAをLow(0) XAOをHigh(1)に設定します。これはデータ設定を許可します。
 DATAにデータ上位バイト(\$00~ \$FF)を設定します。
 XTAL1に正パルスを与えます。これはデータ上位ハイを設定します。

E. 語(ワード)データをページ一時バッファに設定

BSをHigh(1)にします。これは上位ハイを選択します。
 PAGE1に正パルスを与えます。これはワードデータをページ一時バッファにラッチ設定します。

F. バッファ全体が満たされるか、または必要な全てのデータがバッファ内に設定されるまで、B~Eを繰り返し

アドレス内の下位ビットがページ内のワード位置を指示する一方、上位ビットがフラッシュメモリ内のページをアドレス指定します。これは図 22-2で図示されます。ページ内のワードアドレスに8ビット未満が必要とされる場合 (ページ容量 < 256) アドレス下位ハイの最上位(側)ビットがページ書き込み実行時のページアドレスに使用されることに注意してください。

G. アドレス上位ハイ設定

XAをLow(0) XAOをLow(0)に設定します。これはアドレス設定を許可します。
 BSをHigh(1)に設定します。これは上位アドレス(バイト)を選択します。
 DATAにアドレス上位バイト(\$00~ \$03/\$07/\$0F)を設定します。
 XTAL1に正パルスを与えます。これはアドレス上位ハイを設定します。

H. ページ書き込み

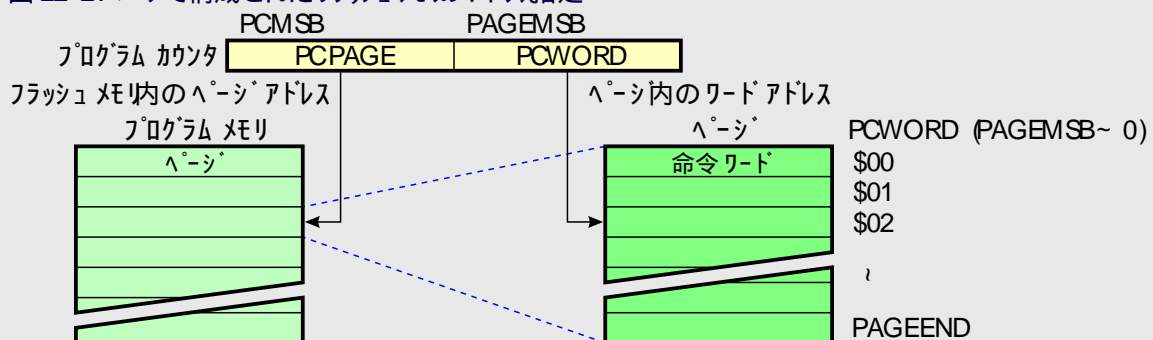
BSをLow(0)に設定します。
 WRに負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/BSYがLow(0)になります。
 RDY/BSYがHigh(1)になるまで待ちます。

I. フラッシュメモリ全体が書かれるか、または必要な全てのデータが書かれてしまうまで、B~Hを繰り返し

J. ページ書き込み終了

XAをHigh(1) XAOをLow(0)に設定します。これはコマンド設定を許可します。
 DATAを\$00(0000 0000)にします。これは無操作コマンドです。
 XTAL1に正パルスを与えます。これは無操作コマンドを設定し、内部書き込み信号がリセットされます。

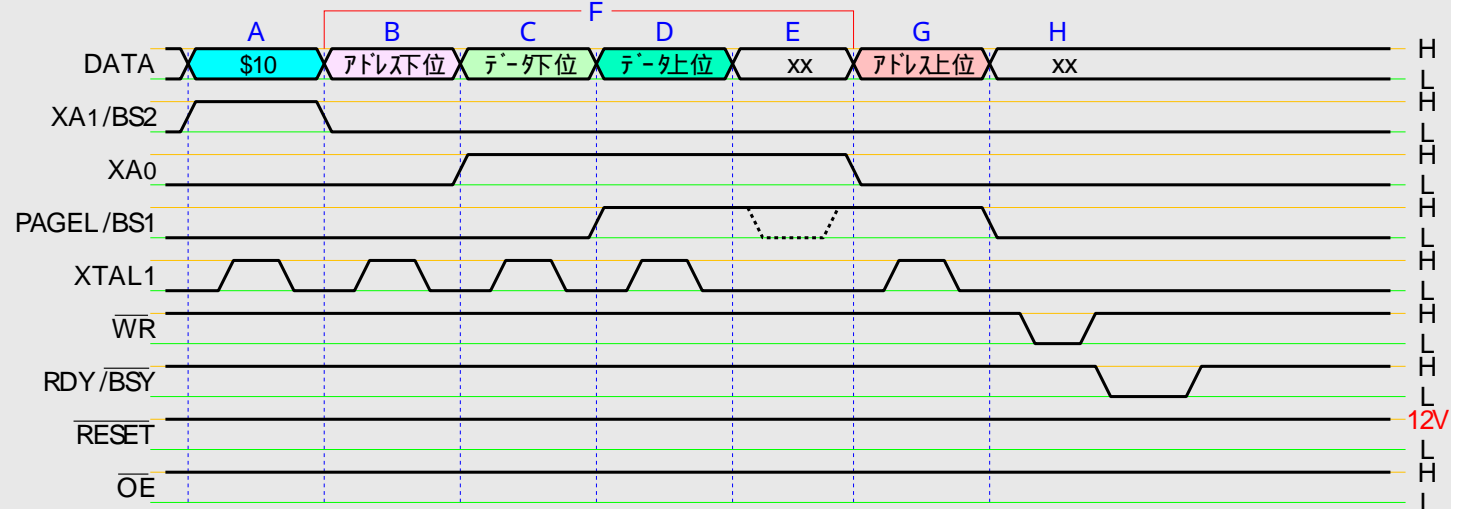
図 22-2. ページで構成されたフラッシュメモリのアドレス指定



注: PCPAGEとPCWORDは 110頁の表 22-7で一覧されます。



図 22-3. フラッシュメモ書き込みタイミング



注：xx値は無関係です。A～Hは前記プログラマックを参照してください。

22.7.5. EEPROM書き込み

EEPROMはページで構成されます(110頁の表 22-8参照)。EEPROMを書くとき、ページはページハットにラッチされます。これは同時に書かれることをページの1ページに許します。ページ用EEPROMメモ書き込み方法は次のとおりです。(コマンド、アドレス、データ設定の詳細については113頁の「フラッシュメモ書き込み」を参照。図 22-4 タイミング参照。)

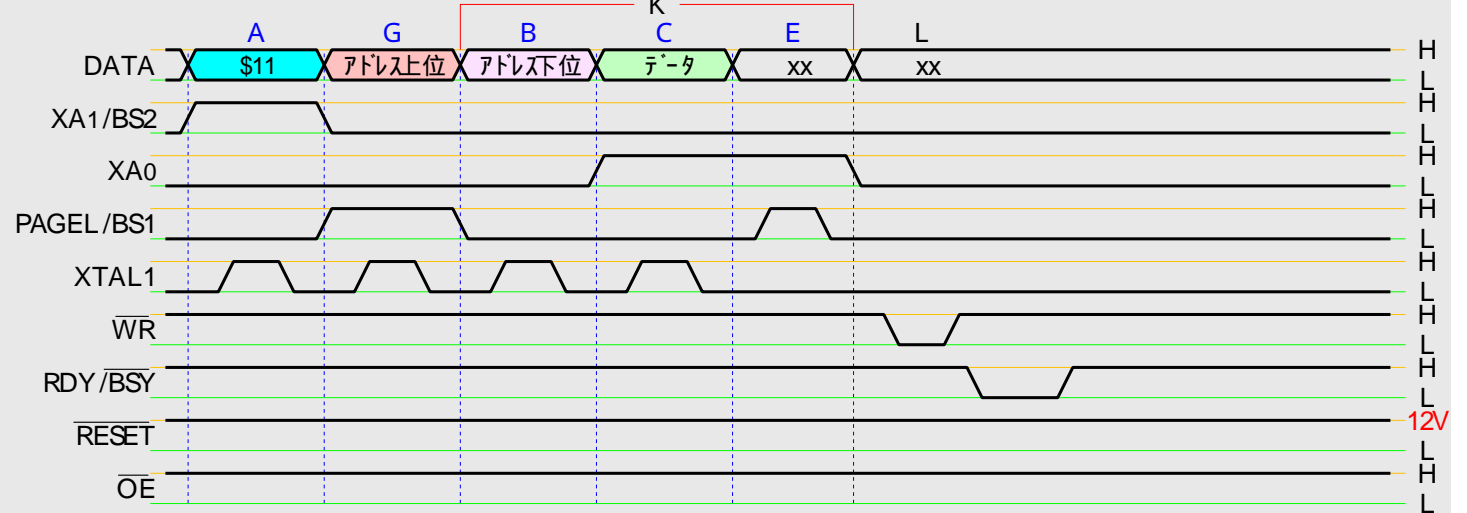
1. EEPROM書き込み コマンド \$11 (0001 0001) を設定します。(「フラッシュメモ書き込み」のAを参照)
 2. アドレス上位バイト(\$00～\$00/\$00/\$01)を設定します。(「フラッシュメモ書き込み」のGを参照)
 3. アドレス下位バイト(\$00～\$7F/\$FF/\$FF)を設定します。(「フラッシュメモ書き込み」のBを参照)
 4. データバイト(\$00～\$FF)を設定します。(「フラッシュメモ書き込み」のCを参照)
 5. データをラッチします(PAGELに正パルスを与えます)。(「フラッシュメモ書き込み」のEを参照)
- K. ハット全体が満たされるまで3～5を繰り返します。
L. EEPROMページ書き込み

BS1をLow(0)に設定します。

WRに負パルスを与えます。これはEEPROMページ書き込みを開始します。RDY/BSYがLow(0)になります。

次のページを書く前に、RDY/BSYがHigh(1)になるまで待ちます。

図 22-4. EEPROM書き込みタイミング



22.7.6. フラッシュメモリ読み出し

フラッシュメモリの読み出し方法は次の通りです。(コマンドとアドレス設定の詳細については113頁の「フラッシュメモリの書き込み」を参照。)

1. フラッシュメモリ読み出しコマンド\$02(0000 0010)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. アドレス上位バイト(\$00~ \$03/\$07/\$0F)を設定します。(「フラッシュメモリ書き込み」のGを参照)
3. アドレス下位バイト(\$00~ \$FF)を設定します。(「フラッシュメモリ書き込み」のBを参照)
4. BSをLow(0) OEをLow(0)に設定します。フラッシュメモリワードの下位バイトが直ぐにDATAで読めます。
5. BSをHigh(1)に設定します。フラッシュメモリワードの上位バイトが直ぐにDATAで読めます。
6. OEをHigh(1)に設定します。DATAはHi-Zになります。

22.7.7. EEPROM読み出し

データ用EEPROMの読み出し方法は次の通りです。(コマンドとアドレス設定の詳細については113頁の「フラッシュメモリの書き込み」を参照。)

1. EEPROM読み出しコマンド\$03(0000 0011)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. アドレス上位バイト(\$00~ \$00/\$00/\$01)を設定します。(「フラッシュメモリ書き込み」のGを参照)
3. アドレス下位バイト(\$00~ \$7F/\$FF/\$FF)を設定します。(「フラッシュメモリ書き込み」のBを参照)
4. BSをLow(0) OEをLow(0)に設定します。EEPROMのバイトデータが直ぐにDATAで読めます。
5. OEをHigh(1)に設定します。DATAはHi-Zになります。

22.7.8. ヒューズビット書き込み 訳注 原書での拡張/上位/下位ヒューズ項を1つに纏めました。

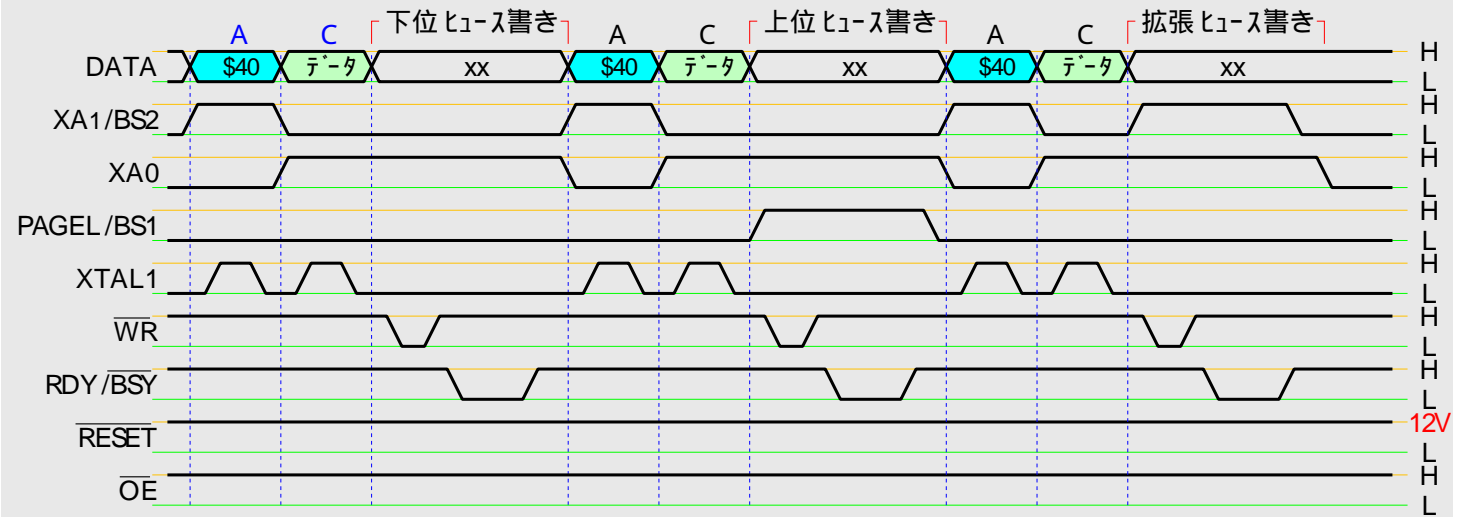
各ヒューズバイトの書き込み方法は次の通りです。(コマンドとデータ設定の詳細については113頁の「フラッシュメモリの書き込み」を参照。)

1. ヒューズビット書き込み コマンド\$40(0100 0000)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. データ下位バイトを設定します。0=プログラム, 1=非プログラム消去です。(「フラッシュメモリ書き込み」のCを参照)
3. BS1とBS2を右表の目的バイトに対応する設定にします。
4. WRに負パルスを与え、RDY/BSYがHighになるまで待ちます。
5. 3でHighに設定したBS1, BS2をLow(0)に戻します。これはデータ下位バイトを選択します。

表A. ヒューズバイト対応BS1BS2設定

ヒューズバイト	BS1	BS2
拡張バイト	Low(0)	High(1)
上位バイト	High(1)	Low(0)
下位バイト	Low(0)	Low(0)

図 22-5. ヒューズ書き込み タイミング



22.7.9. ロックビット書き込み

ロックビットの書き込み方法は次の通りです。(コマンドとデータ設定の詳細については 113 頁の「フラッシュメモリの書き込み」を参照。)

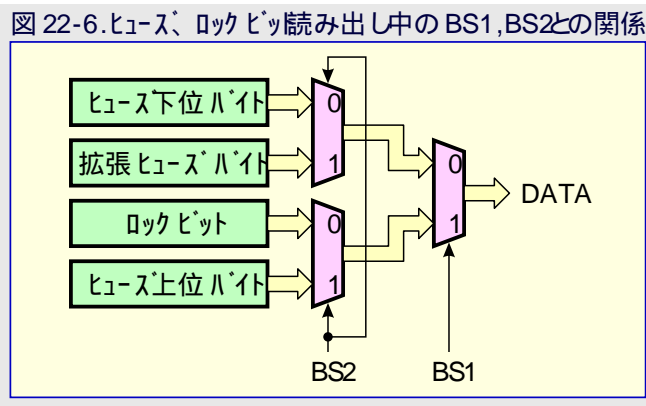
1. ロックビット書き込み コマンド \$20 (0010 0000) を設定します。(「フラッシュメモリの書き込み」の A を参照)
2. データ下位バイトとしてデータを設定します。0=プログラム, 1=無変化です。LB保護種別が設定 (LB1とLB2がプログラム(0)されると)の外部的なプログラミング動作種別によってもソフトロックビットはプログラミングできません。(「フラッシュメモリの書き込み」の C を参照)
3. \overline{WR} に負ハルスを与え、RDY/BSYが High になるまで待ちます。

ロックビットはチップ消去の実行によってのみクリア(1)できます。

22.7.10. ヒューズビットとロックビットの読み出し

ヒューズビットとロックビットの読み出し方法は次の通りです。(コマンド設定の詳細については 113 頁の「フラッシュメモリの書き込み」を参照。)

1. ヒューズビットとロックビットの読み出しコマンド \$04 (0000 0100) を設定します。(「フラッシュメモリの書き込み」の A を参照)
2. BS1とBS2を Low(0) OEを Low(0) に設定します。ヒューズ下位ビットの状態が直ぐに DATA で読めます。(0=プログラム)
3. BS1とBS2を High(1) OEを Low(0) に設定します。ヒューズ上位ビットの状態が直ぐに DATA で読めます。(0=プログラム)
4. BS1を Low(0) BS2を High(1) OEを Low(0) に設定します。拡張ヒューズビットの状態が直ぐに DATA で読めます。(0=プログラム)
5. BS1を High(1) BS2を Low(0) OEを Low(0) に設定します。ロックビットの状態が直ぐに DATA で読めます。(0=プログラム)
6. OEを High(1) に設定します。DATA は Hi-Z になります。



22.7.11. 識票ハイ読み出し

識票ハイの読み出し方法は次の通りです。(コマンドとアドレス設定の詳細については 113 頁の「フラッシュメモリの書き込み」を参照。)

1. 識票ハイ読み出しコマンド \$08 (0000 1000) を設定します。(「フラッシュメモリの書き込み」の A を参照)
2. アドレス下位バイト (\$00~ \$02) を設定します。(「フラッシュメモリの書き込み」の B を参照)
3. BS1を Low(0) OEを Low(0) に設定します。選択した識票ハイが直ぐに DATA で読めます。
4. OEを High(1) に設定します。DATA は Hi-Z になります。

22.7.12. 発振校正値読み出し

発振校正値の読み出し方法は次の通りです。(コマンドとアドレス設定の詳細については 113 頁の「フラッシュメモリの書き込み」を参照。)

1. 発振校正値読み出しコマンド \$08 (0000 1000) を設定します。(「フラッシュメモリの書き込み」の A を参照)
2. アドレス下位バイトに \$00 を設定します。(「フラッシュメモリの書き込み」の B を参照)
3. BS1を High(1) OEを Low(0) に設定します。発振校正値ハイが直ぐに DATA で読めます。
4. OEを High(1) に設定します。DATA は Hi-Z になります。



22.8. シリアルプログラミング

フラッシュメモリとEEPROMの両方はRESETがGNDに引かれている間にシリアルSPIバスを使用してプログラミングできます。このシリアルインターフェースはSCK入力、MOSI入力、MISO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立ち、**プログラミング許可命令**が初めに実行されることを必要とします。**注意**、表 22-13でSPIプログラミング用のピン配置が一覧されます。すべてのデバイスが内部SPIインターフェースに対する専用SPIピンを使用するとは限りません。

表 22-13. 低電圧シリアルプログラミング用ピン配置

信号名	ピン名	入出力	機能
MOSI	PB0	入力	シリアルデータ入力
MISO	PB1	出力	シリアルデータ出力
SCK	PB2	入力	シリアルクロック

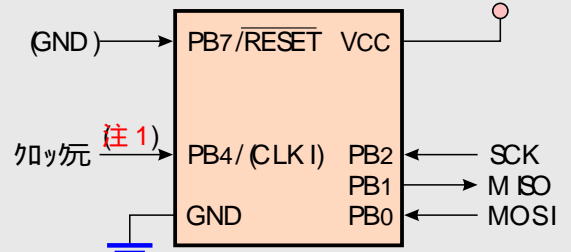
EEPROMをプログラミングするとき、自動消去サイクルが自動書き込み動作内に組み入れられ(低電圧シリアルプログラミングのみ) **チップ消去命令**を先に実行する必要がありません。チップ消去操作はプログラム(フラッシュメモリ)とEEPROM両方の全メモリ位置の内容を\$FFにします。

CKSELヒューズによる有効なクロックが与えられなければなりません。シリアルクロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

$$f_{CK} < 12\text{MHz} : \text{Low区間} > 2\text{CPUクロックサイクル} \quad f_{CK} < 12\text{MHz} : \text{High区間} > 2\text{CPUクロックサイクル}$$

$$f_{CK} \geq 12\text{MHz} : \text{Low区間} > 3\text{CPUクロックサイクル} \quad f_{CK} \geq 12\text{MHz} : \text{High区間} > 3\text{CPUクロックサイクル}$$

図 22-7. 低電圧シリアルプログラミング構成図 1.8~5.5V



注 1: デバイスが内蔵発振器で動作する場合、CLK Iピンにスイッチを接続する必要はありません。

22.9. シリアルプログラミング手順

ATtiny261/461/861にシリアルデータを書くと、データはSCKの立ち上りエッジで行われ、ATtiny261/461/861から読むとき、データはSCKの立ち下りエッジで行われます。タイミングの詳細については図 23-7と図 23-8をご覧ください。

低電圧シリアルプログラミング動作でのATtiny261/461/861のプログラミングと照合は次の手順が推奨されます(形式は表 22-15参照)

1. 電源投入手順:

RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのシステムで電源投入中、SCKがLowに保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2CPUクロックサイクル幅の正パルスを与えられなければなりません。

2. 最低20m待ち、MOSIピンに**プログラミング許可命令**を送ることによりシリアルプログラミングを許可してください。

3. 通信が同期を外しているとき、シリアルプログラミング命令は動作しません。同期していると、プログラミング許可命令の第3バイト送出し時に第2バイト(\$53)が戻ります。この戻りが正しいかどうかによらず命令の4バイト全てが送信されなければなりません。\$53が戻らない場合、RESETに正パルスを与え、新規プログラミング許可命令を行ってください。

4. フラッシュメモリは1バイト単位で書かれます。バイト容量は110頁の表 22-7で得られます。このメモリバイトは、バイト設定命令と共にアドレスの下位4/5/5+1ビットとデータを提供することにより1バイトずつ設定されます。バイトが正しく設定されることを保証するため、データ上位バイトが与えられたアドレスに適用される前に、データ下位バイトが設定されなければなりません。プログラムメモリのバイトはアドレスの上位6/6/7ビットを含む**バイト書き込み命令**の設定により(フラッシュメモリに格納されます。ホールド(BSY/RDY)が使用されない場合、使用者は次のバイトを行う前に最低WD_FLASH(表 22-14参照)待たなければなりません。フラッシュ書き込み操作完了前の(ホールド)以外のシリアルプログラミングインターフェースでのアドレスは不正な書き込み結果になり得ます。

5. EEPROMは1バイト単位か1ワード単位のどちらかでプログラミングできます。

1ワード単位: EEPROMは適切な**EEPROM書き込み命令**と共にアドレスとデータを提供することによって1ワード単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立ち、始めて自動的に消去されます。ホールド(BSY/RDY)が使用されない場合、次のワードを行う前に最低WD_EEPROM(表 22-14参照)待たなければなりません。

1バイト単位: EEPROMの1バイトは**EEPROMバイト設定命令**と共にアドレスの下位2ビットとデータを提供することにより1バイトずつ設定されます。EEPROMバイトはアドレスの上位5/6/7ビットを含む**EEPROMバイト書き込み命令**により(EEPROMに格納されます。EEPROMバイトアクセス時、EEPROMバイト設定命令で設定した1ワード位置だけが変更されます。残りの位置は無変化で留まります。ホールド(BSY/RDY)が使用されない場合、次のバイト(表 22-8参照)を行う前に最低WD_EEPROM(表 22-14参照)待たなければなりません。チップ消去されたデバイスでの\$FFデータは書かれる必要がありません。

6. どのメモリ位置も選択したアドレスの内容をシリアル出力MISOに読み戻す**読み出し命令**を使用することにより照合できます。

7. プログラミング作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。

8. 電源OFF手順 (必要とされるならば)

RESETをHigh(1)に設定します。
VCC電源をOFFにします。





表 22-14. ヒューズ・フラッシュ・EEPROM 次位置書き込み前の待機時間

シンボル	最低待機時間	備考
WD_FUSE	4.5ms	ヒューズ書き込み
WD_FLASH	4.5ms	フラッシュメモリ書き込み
WD_EEPROM	4.0ms	EEPROM書き込み
WD_ERASE	4.0ms	チップ消去

22.9.1. シリアルプログラミング命令セット

表 22-15 と次頁の図 22-8 は命令セットを記述します。

表 22-15. シリアルプログラミング命令セット

命令	命令形式				備考
	第 1 バイト	第 2 バイト	第 3 バイト	第 4 バイト	
プログラミング許可	\$AC	\$53	\$00	\$00	
チップ消去	\$AC	\$80	\$00	\$00	
ビジー/リテラ検査	\$F0	\$00	\$00	状態値	最下位ビットがビジーフラグ。
設定系命令					
拡張アドレス設定 (注 1)	\$4D	\$00	拡張アドレス	\$00	
フラッシュメモリ内上位ハイ設定	\$48	アドレス上位	アドレス下位	上位バイト	
フラッシュメモリ内下位ハイ設定	\$40	アドレス上位	アドレス下位	下位バイト	
EEPROMメモリ内ハイ設定	\$C1	\$00	メモリ内位置	バイト	注: メモリ内指示以外のビットは Q
読み出し命令					
フラッシュメモリ上位ハイ読み出し	\$28	アドレス上位	アドレス下位	上位バイト	
フラッシュメモリ下位ハイ読み出し	\$20	アドレス上位	アドレス下位	下位バイト	
EEPROM読み出し	\$A0	アドレス上位	アドレス下位	バイト	
ロックビット読み出し	\$58	\$00	\$00	ロックビット値	
識別バイト読み出し	\$30	\$00	アドレス	識別バイト	
ヒューズ下位読み出し	\$50	\$00	\$00	ヒューズ下位	
ヒューズ上位読み出し	\$58	\$08	\$00	ヒューズ上位	
拡張ヒューズ読み出し	\$50	\$08	\$00	拡張ヒューズ	
発振校正値読み出し	\$38	\$00	\$00	発振校正値	
書き込み命令 (注 2)					
フラッシュメモリ書き込み	\$4C	アドレス上位	アドレス下位	\$00	
EEPROMハイ書き込み	\$C0	アドレス上位	アドレス下位	バイト	
EEPROMメモリ書き込み	\$C2	アドレス上位	アドレス下位	\$00	注: メモリ指示以外のアドレスビットは Q
ロックビット書き込み	\$AC	\$E0	\$00	ロックビット値	
ヒューズ下位書き込み	\$AC	\$A0	\$00	ヒューズ下位	
ヒューズ上位書き込み	\$AC	\$A8	\$00	ヒューズ上位	
拡張ヒューズ書き込み	\$AC	\$A4	\$00	拡張ヒューズ	

注 1: 全命令が全デバイスで利用可能な訳ではありません。

注 2: プログラムメモリにアクセスする命令は語アドレスを使用します。このアドレスはメモリ範囲内でランダムにできます。

注: ・ロックビットとヒューズ値はプログラムが Q、非プログラムが 1 です。将来との互換性のため、未使用のヒューズとロックビットは非プログラム (1) にすべきです。

- ・ヒューズ、ロックビット、識別バイト、発振校正値、メモリ容量については対応項目を参照してください。
- ・プログラミングと書き込み器に関する応用記述については <http://www.atmel.com/avr> をご覧ください。
- ・第 4 バイトの赤背景は 1 を読み込み (デバイス出力) を示します。

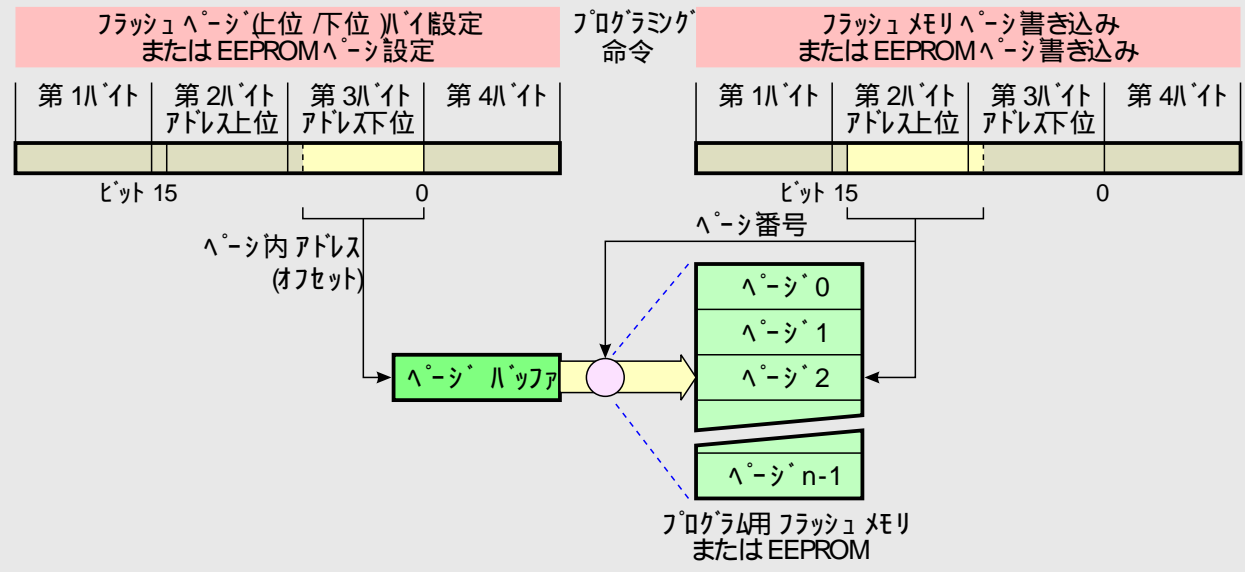
ビジー/リテラ検査バイト出力の LSB が 1 なら、プログラミング操作が未だ保留 (動作中) です。次の命令が実行される前に本ビットが 0 に戻るまで待ってください。

同じメモリ内で、下位バイトアドレスは上位バイトアドレスに先行して格納されなければなりません。

データがメモリバッファに格納された後に EEPROM メモリをプログラムしてください。次頁の図 22-8 をご覧ください。



図 22-8. シリアルプログラミング命令例



訳補) フラッシュメモリ、EEPROM、アドレスバッファ内のアドレス位置指定に使用されるビットは **メモリ容量とアドレス構成** に依存します。ATtiny261/461/861での、これらの指定方法は次表で要約されます。

表 22-A. アドレス第2,3バイト指定法

命令	第2バイト	第3バイト	備考
拡張アドレス設定			該当命令なし
フラッシュアドレス内ハイ設定	0000 0000	0000 LLLL 000L LLLL	ATtiny261 : L=PC3~ 0 ATtiny461/861 : L=PC4~ 0
EEPROMアドレス内ハイ設定	0000 0000	0000 00LL	ATtiny261/461/861 : L=EEA1~ 0
フラッシュメモリ読み出し	0000 00HH 0000 0HHH 0000 HHHH	LLLL LLLL	ATtiny261 : H=PC9~ 8, L=PC7~ 0 ATtiny461 : H=PC10~ 8, L=PC7~ 0 ATtiny861 : H=PC11~ 8, L=PC7~ 0
EEPROM読み出し	0000 0000 0000 0000 0000 000H	0LLL LLLL LLLL LLLL LLLL LLLL	ATtiny261 : L=EEA6~ 0 ATtiny461 : L=EEA7~ 0 ATtiny861 : H=EEA8, L=EEA7~ 0
フラッシュアドレス書き込み	0000 00HH 0000 0HHH 0000 HHHH	LLLL 0000 LLL0 0000 LLL0 0000	ATtiny261 : H=PC9~ 8, L=PC7~ 4 ATtiny461 : H=PC10~ 8, L=PC7~ 5 ATtiny861 : H=PC11~ 8, L=PC7~ 5
EEPROMハイ書き込み	0000 0000 0000 0000 0000 000H	0LLL LLLL LLLL LLLL LLLL LLLL	ATtiny261 : L=EEA6~ 0 ATtiny461 : L=EEA7~ 0 ATtiny861 : H=EEA8, L=EEA7~ 0
EEPROMアドレス書き込み	0000 0000 0000 0000 0000 000H	0LLL LL00 LLLL LL00 LLLL LL00	ATtiny261 : L=EEA6~ 2 ATtiny461 : L=EEA7~ 2 ATtiny861 : H=EEA8, L=EEA7~ 2





23.電气的特性

23.1.絶対最大定格 (警告)

動作温度	-55 ~ +125
保存温度	-65 ~ +150
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

23.2. DC特性

TA=-40 ~ 85 , VCC=1.8V~ 5.5V (特記事項を除く)

シンボル	項目	条件	Min	Typ	Max	単位
V _{IL}	Lowレベル入力電圧	XTAL1 RESETを除く	-0.5		0.2VCC (注2)	V
V _{IL1}	Lowレベル入力電圧	XTAL 外部 クロック駆動	-0.5		0.1VCC (注2)	
V _{IL2}	Lowレベル入力電圧	RESET	-0.5		0.2VCC (注2)	
V _{IL3}	Lowレベル入力電圧	I/OとしてのRESET	-0.5		0.2VCC (注2)	
V _H	Highレベル入力電圧	XTAL1 RESETを除く	0.7VCC (注3)		VCC+0.5	
V _{H1}	Highレベル入力電圧	XTAL 外部 クロック駆動	0.8VCC (注3)		VCC+0.5	
V _{H2}	Highレベル入力電圧	RESET	0.9VCC (注3)		VCC+0.5	
V _{H3}	Highレベル入力電圧	I/OとしてのRESET	0.7VCC (注3)		VCC+0.5	
V _{OL}	Lowレベル出力電圧 (注4)	I/OとしてのRESET以外	DL=10mA, VCC=5V		0.6	
V _{OL3}		RESET=I/O	DL=5mA, VCC=3V		0.5	
V _{OH}	Highレベル出力電圧 (注5)	I/OとしてのRESET以外	DH=-10mA, VCC=5V	4.3		
V _{OH3}		RESET=I/O	DH=-5mA, VCC=3V	2.5		
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=5.5V		<0.05	1	
I _{IH}	I/OピンHighレベル入力漏れ電流	確実なH/L範囲		<0.05	1	
RRST	RESETピンプルアップ抵抗		30		60	k
RPU	I/Oピンプルアップ抵抗		20		50	
I _{CC} (注6)	通常動作消費電流 電力削減レジスタ(PRR全ビット=1)	VCC=2V, 1MHz		0.4	0.6	mA
		VCC=3V, 4MHz		2	3	
		VCC=5V, 8MHz		6	9	
	アイドル動作消費電流 電力削減レジスタ(PRR全ビット=1)	VCC=2V, 1MHz		0.1	0.3	
		VCC=3V, 4MHz		0.4	1	
		VCC=5V, 8MHz		1.5	3	
パワーダウン動作消費電流 (BOD禁止)	VCC=3V, WDT有効		4	10	μA	
	VCC=3V, WDT禁止		0.15	2		
V _{ACD}	アナログ比較器入力オフセット電圧	VCC=5V, V _{in} =VCC/2		TBD	TBD	mV
I _{CLK}	アナログ比較器入力漏れ電流		TBD		TBD	nA
t _{ACPD}	アナログ比較器伝播遅延時間	VCC=2.7V		TBD		ns
		VCC=5.0V		TBD		

注1) 注6)は次頁を参照してください。



注1: 25 での代表値です。最大値は製造で限度検査しない特性付けされた値です。

注2: Lowレベルの認識が保証される最高電圧です。

注3: Highレベルの認識が保証される最低電圧です。

注4: 各 I/Oポートは安定状態 (非過渡時) においては、検査条件 (VCC=5Vで 10mA、VCC=3Vで 5mA) より多くのシンク電流を流すことができますが、次の条件を厳守してください。

全ポートの DLの合計が 60mAを超えるべきではありません。訳注: テンプレート の意味のみ、無効)

DLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件より大きなシンク電流を流すことは保証されません。

注5: 各 I/Oポートは安定状態 (非過渡時) においては、検査条件 (VCC=5Vで 10mA、VCC=3Vで 5mA) より多くのソース電流を流すことができますが、次の条件を厳守してください。

全ポートの DHの合計が 60mAを超えるべきではありません。訳注: テンプレート の意味のみ、無効)

DHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件より大きなソース電流を流すことは保証されません。

注6: 22頁の「消費電力の最小化」で記述した方法で使用する値。電力削減許可 (PRR=FF) で I/O駆動なしです。

23.3. 最高速と動作電圧

最高周波数は動作電圧に依存します。図 23-1 と図 23-2 で示されるように最高周波数対動作電圧曲線は 1.8~ 2.7V と 2.7~ 4.5V 間で直線です。

図 23-1. ATtiny261/461/861Vの最高周波数対 VCC

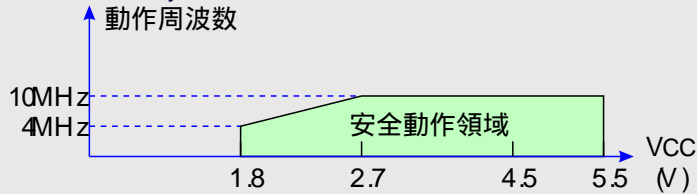
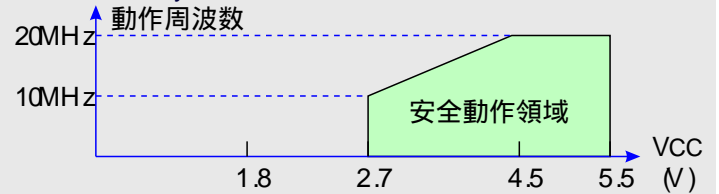


図 23-2. ATtiny261/461/861の最高周波数対 VCC



23.4. クラック特性

表 23-1 校正付き内蔵 RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度
工場校正	8.0MHz	3V	25	± 10%
使用者校正	7.3~ 8.1MHz	1.8~ 5.5V (注1), 2.7~ 5.5V (注2)	-40~ 85	± 1%

注1: ATtiny261V/461V/861Vに対する電圧範囲

注2: ATtiny261/461/861に対する電圧範囲

図 23-3 外部 クラック駆動波形

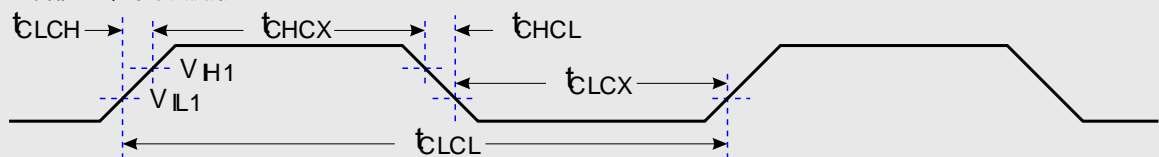


表 23-2 外部 クラック特性

シンボル	項目	VCC=1.8~ 5.5V		VCC=2.7~ 5.5V		VCC=4.5~ 5.5V		単位
		Min	Max	Min	Max	Min	Max	
1/tLCL	クラック周波数	0	4	0	10	0	20	MHz
tLCL	クラック周期	250		100		50		ns
tCHC	Highレベル時間	100		40		20		
tLCX	Lowレベル時間	100		40		20		
tLCH	立ち上がり時間		2.0		1.6		0.5	μs
tHCL	立ち下り時間		2.0		1.6		0.5	
tLCL	隣接 クラック サイクル間の変化率		2		2		2	%

注: 詳細については 16頁の「外部 クラック信号」を参照してください。



23.5. システムとレックの特性

表 23-3. システムとレックの電気的特性

シンボル	項目	条件	Min	Typ	Max	単位	
V _{POT}	上昇時電源ONレック閾値電圧	TA=-40~ 85	0.7	1.0	1.4	V	
	下降時電源ONレック閾値電圧 (注1)		0.6	0.9	1.3		
V _{RST}	RESETレック閾値電圧	VCC=3V	0.2VCC		0.9VCC	μs	
t _{RST}	レックパルス幅		2.5				
V _{HYST}	低電圧検出ヒステリシス電圧			50		mV	
t _{BOD}	最小低電圧検出時間			2		μs	
V _{BG}	基準電圧	VCC=2.7V TA=25	1.0	1.1	1.2	V	
t _{BG}	起動時間				40	70	μs
I _{BG}	消費電流				15		μA

注：値は目安だけです。実際の値はTBDです。

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONレックは動作しません。

表 23-4. BODLEVELレックス (V_{BOT})設定 (注1)

BODLEVEL2~ 0	Min	Typ	Max	単位
111	低電圧検出 (BOD)レック禁止			
110	1.7	1.8	2.0	V
101	2.5	2.7	2.9	
100	4.1	4.3	4.5	
000~ 011	予約			

注1: いくつかのデバイスでV_{BOT}が公称最低動作電圧以下の可能性があります。この状態のデバイスについては、製造検査中、VCC=V_{BOT}に落として検査されています。これはマイクロコントローラの正しい動作がもはや保証されない電圧になる前に、低電圧検出 (BOD)レックが起きることを保証します。

23.6. A/D変換器特性 (暫定)

表 23-5. A/D変換特性 (TA=-40 ~ 85)

シンボル	項目	条件	Min	Typ	Max	単位
	分解能				10	ビット
	絶対精度 積分性非直線、微分性非直線、量子化、利得、オフセットの各誤差を含む)	VCC=4V VREF=4V 変換クロック=200kHz		2		LSB
		VCC=4V VREF=4V 変換クロック=1MHz		3		
		ノイズ低減動作 変換クロック=200kHz		1.5		
		変換クロック=1MHz		2.5		
	積分性非直線誤差	VCC=4V, VREF=4V 変換クロック=200kHz		1		LSB
	微分性非直線誤差			0.5		
	利得誤差			2.5		
	オフセットレック誤差			1.5		
	変換時間	連続変換動作	13		260	μs
	変換クロック周波数		0.05		1	MHz
V _N	入力電圧		GND		VREF	V
	入力周波数帯域			38.5		kHz
V _{NT}	内蔵基準電圧		1.0	1.1	1.2	V
R _{AN}	アナログ入力インピーダンス			100		M

注: 値は暫定値です。



23.7. パラレル プログラミング特性

図 23-4. パラレル プログラミング タイミング (一般的な必要条件)

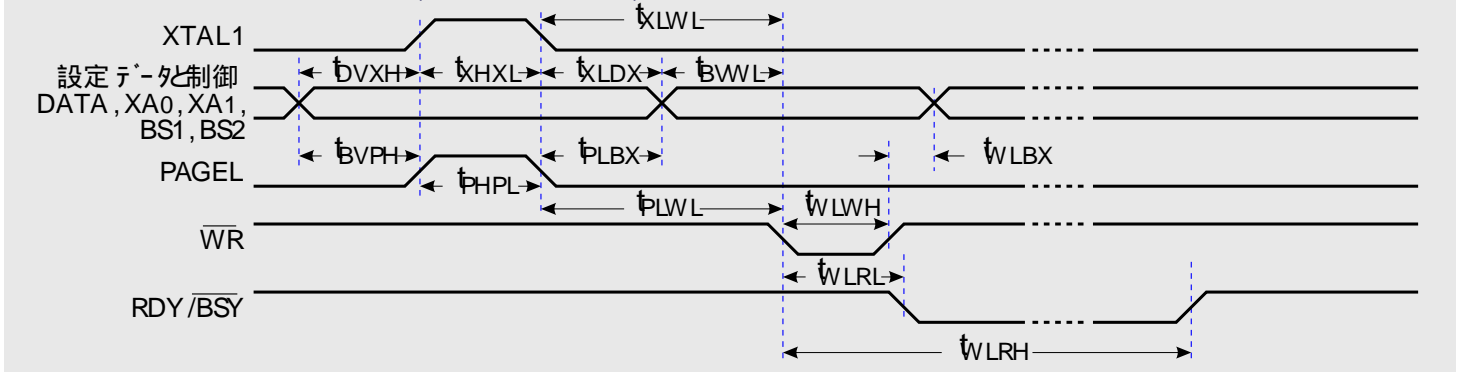
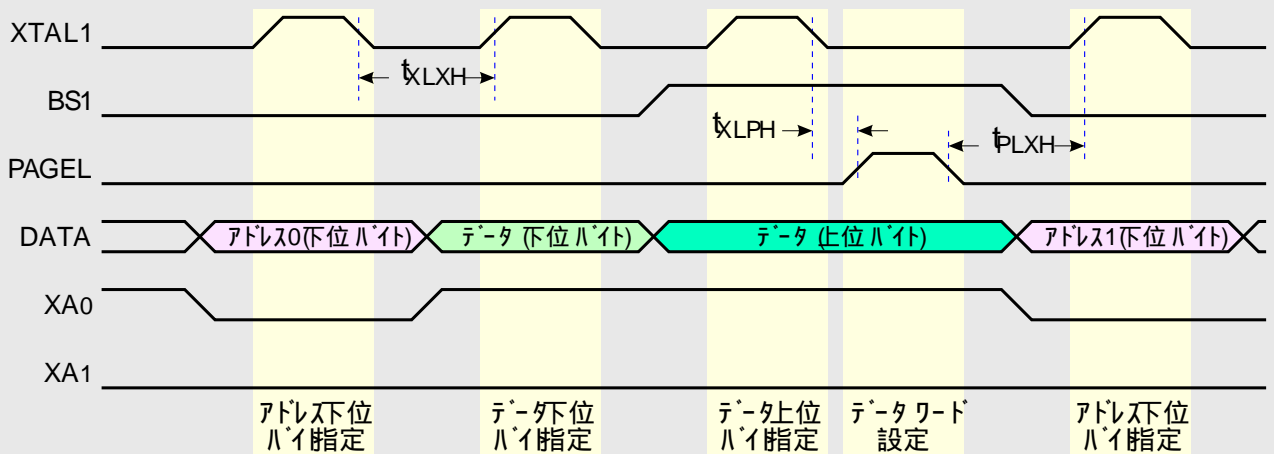
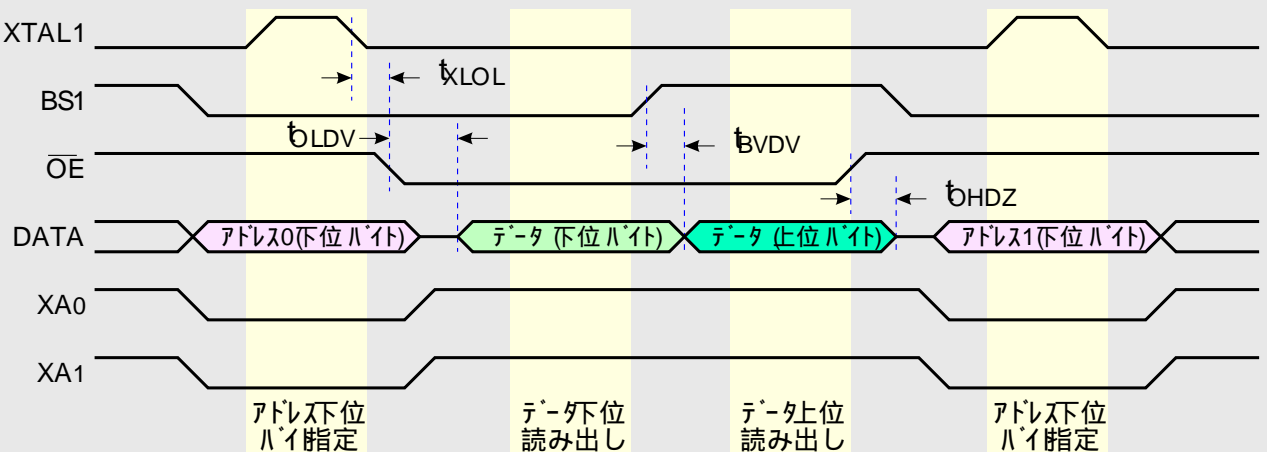


図 23-5. パラレル プログラミング タイミング (A⁰-1設定での必要条件)



注: 図 23-4で示されるタイミング必要条件 (即ち、 t_{VXH} , t_{HXL} , t_{LDX}) は設定操作にも適用されます。

図 23-6. パラレル プログラミング タイミング (同一A⁰-1読み出しでの必要条件)



注: 図 23-4で示されるタイミング必要条件 (即ち、 t_{VXH} , t_{HXL} , t_{LDX}) は読み出し操作にも適用されます。





表 23-6. パラレル プログラミング特性 (VCC=5V±10%)

シンボル	項目	Min	Typ	Max	単位
V _{PP}	プログラミング許可電圧	11.5		12.5	V
I _P	プログラミング許可電流			250	μA
t _{VXH}	XTAL1 に対するデータ制御のセットアップ時間	67			ns
t _{XLH}	XTAL1 から次 XTAL1 までの待機時間	200			
t _{HXL}	XTAL1 Highパルス幅	150			
t _{LDX}	XTAL1パルス 後のデータ制御の保持時間	67			
t _{LWL}	XTAL1パルス 後のWR 待機時間	0			
t _{LPH}	XTAL1パルス 後のPAGELパルス 待機時間	0			
t _{PLXH}	PAGELパルス 後のXTAL1パルス 待機時間	150			
t _{BVPH}	PAGELパルス に対するBS1セットアップ時間	67			
t _{PHPL}	PAGEL Highパルス幅	150			
t _{PLBX}	PAGELパルス 後のBS保持時間	67			
t _{WLBX}	WRパルス 後のBS1,BS2保持時間	67			
t _{PLWL}	PAGELパルス 後のWRパルス 待機時間	67			
t _{BWL}	WRパルス に対するBS1セットアップ時間	67			
t _{WLWH}	WR Lowパルス幅	150			
t _{WLRL}	WRパルス 後のRDY/BSY 遅延時間	0		1	
t _{WLRH}	書き込み時間 (WR からRDY/BSY) 注1)	3.7		4.5	ms
t _{WLRH_CE}	チップ消去時間 (WR からRDY/BSY) 注2)	7.5		9	
t _{XLCL}	XTAL1パルス 後のOE 待機時間	0			ns
t _{BVDV}	BS有効からのDATA遅延時間	0		250	
t _{LDV}	OE 後のDATA出力遅延時間			250	
t _{OHDZ}	OE 後のDATAフローティング遅延時間			250	

注 1: フラッシュメモリ、EEPROM、ヒューズビット、ロックビット書き込みコマンドに対して有効です。

注 2: チップ消去コマンドに対して有効です。



23.8. シリアルプログラミング特性

図 23-7. シリアルプログラミングハイ通信波形

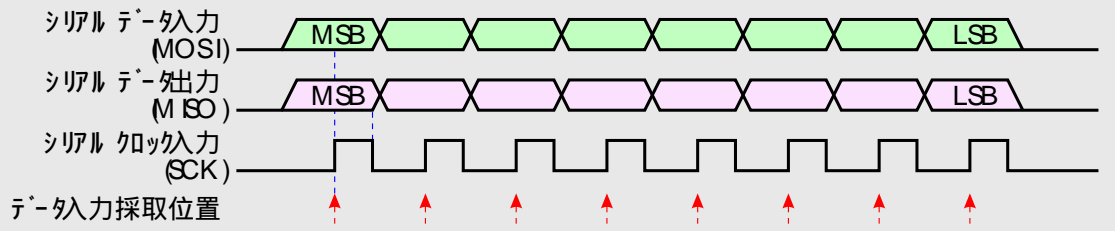


図 23-8. シリアルプログラミングタイミング

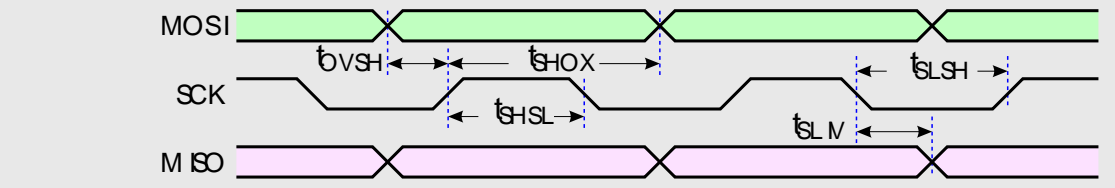


表 23-7. シリアルプログラミング特性 (特記条件を除いて、 $T_A = -40 \sim 85$, $V_{CC} = 1.8 \sim 5.5V$)

シンボル	項目	Min	Typ	Max	単位
$1/t_{LCL}$	発振器周波数	1.8~ 2.7V	0	4	MHz
		2.7~ 4.5V	0	10	
		4.5~ 5.5V	0	20	
t_{LCL}	発振器周期	1.8~ 2.7V	250		ns
		2.7~ 4.5V	100		
		4.5~ 5.5V	50		
t_{HSL}	SCKパルスレベル幅 (注1)	$2 t_{LCL}$			ns
t_{LSH}	SCKパルスレベル幅 (注1)	$2 t_{LCL}$			
t_{VSH}	SCK に対するMOSIセットアップ時間	t_{LCL}			
t_{HOX}	SCK に対するMOS保持時間	$2 t_{LCL}$			
t_{SLM}	SCK に対するMISO出力遅延時間		TBD		

注 1: $f_{CK} < 12MHz$ 時 $2 t_{LCL}$, $f_{CK} \geq 12MHz$ 時 $3 t_{LCL}$



24. 代表特性

本項内に含まれたデータは同じプロセスと設計法の類似デバイスの特徴付けとシミュレーションを主に基としています。従って、このデータはデバイスがどう反応するかについての指標として扱われるべきです。

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。すべての消費電流測定は全 I/O ピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使用されています。

パワーダウン動作での消費電力はクロック選択と無関係です。

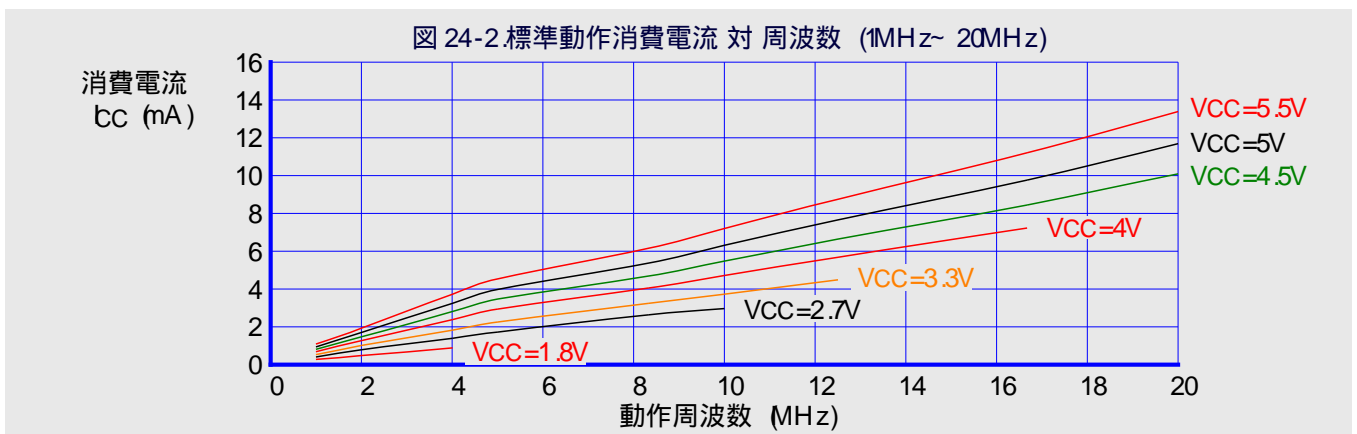
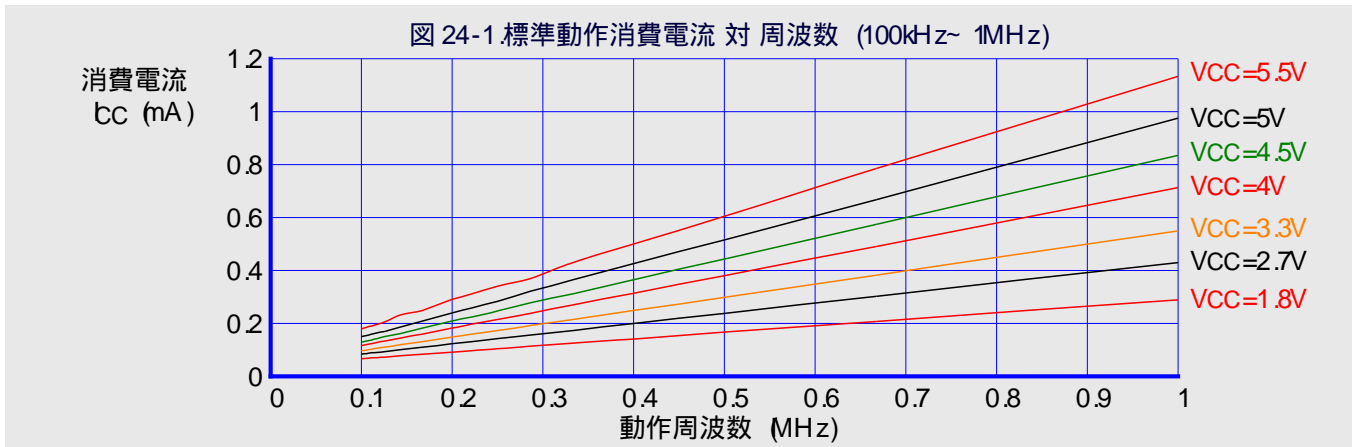
消費電流は動作電圧、動作周波数、I/O ピンの負荷、I/O ピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

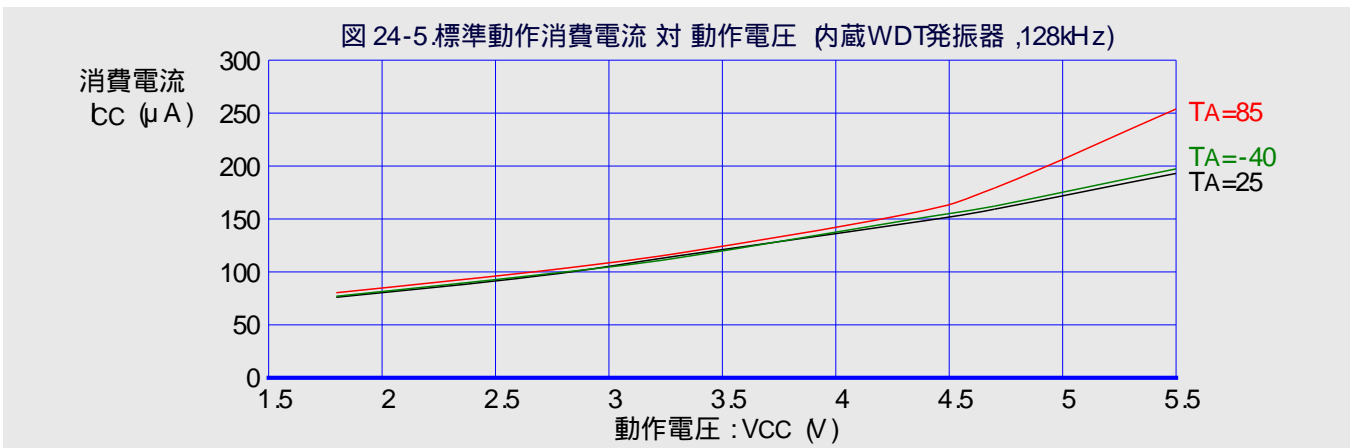
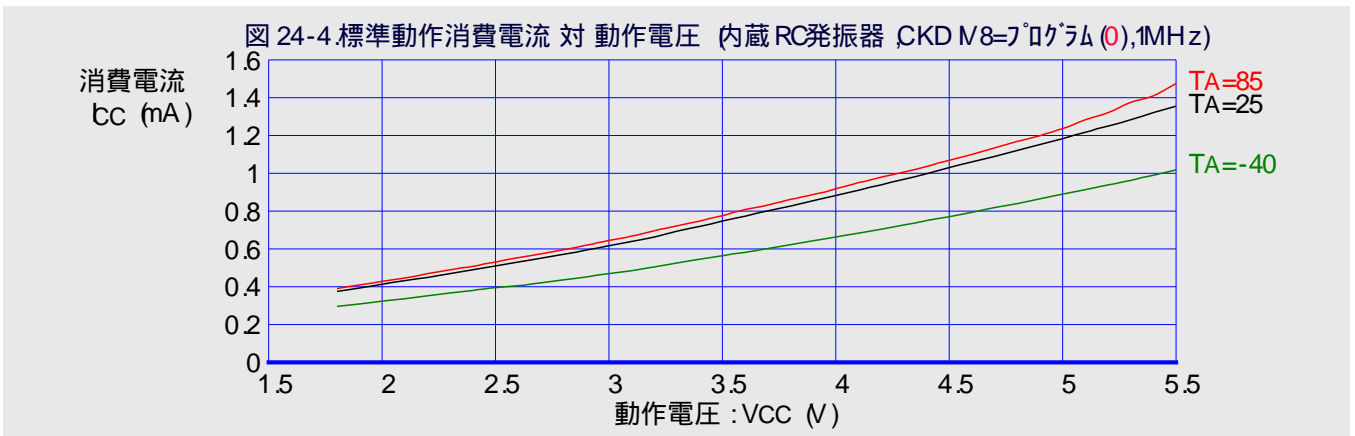
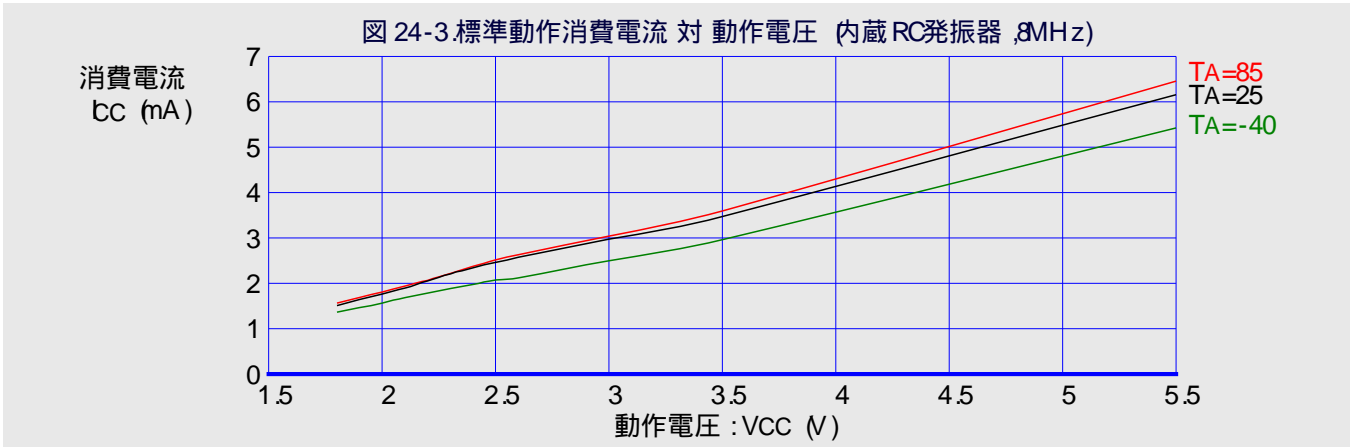
容量性負荷のピンの引き込み電流は (1つのピンに対して) $C_L \text{ 負荷容量} \times V_{CC} \text{ 動作電圧} \times f \text{ (I/O ピンの平均切り替え周波数)}$ として推測できます。

デバイスは検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグ タイム許可のパワーダウン動作での消費電流とウォッチドッグ タイム禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグ タイムにより引き込んだ消費した差電流を表します。

24.1 標準動作消費電流





24.2.7.アイドル動作消費電流

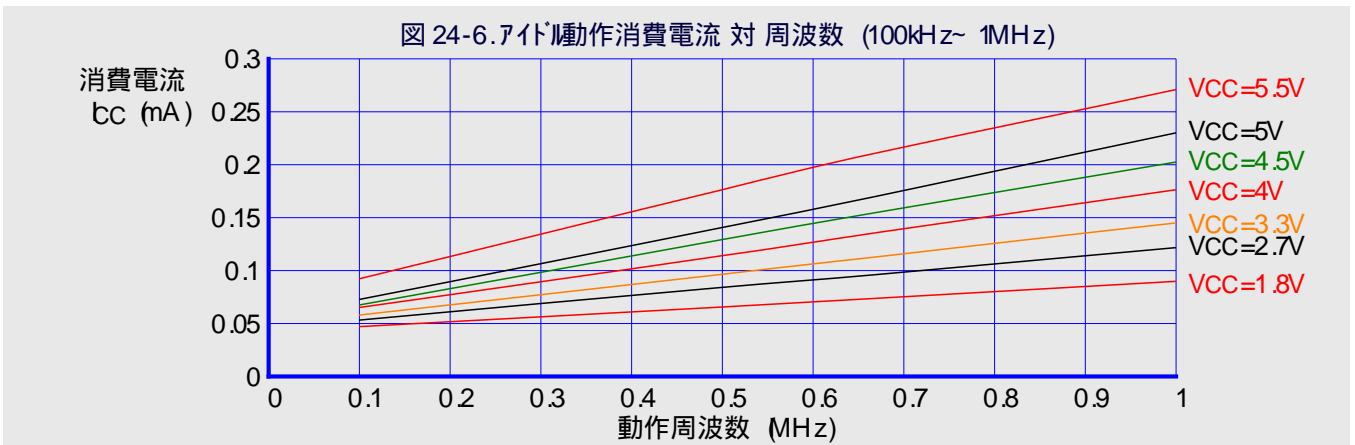




図 24-7.アイド動作消費電流 対 周波数 (1MHz~ 20MHz)

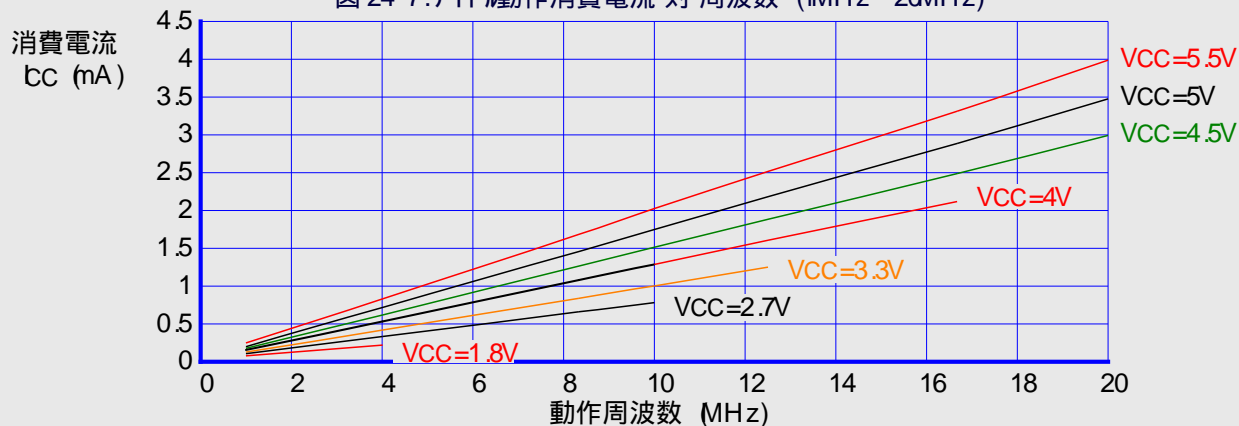


図 24-8.アイド動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)

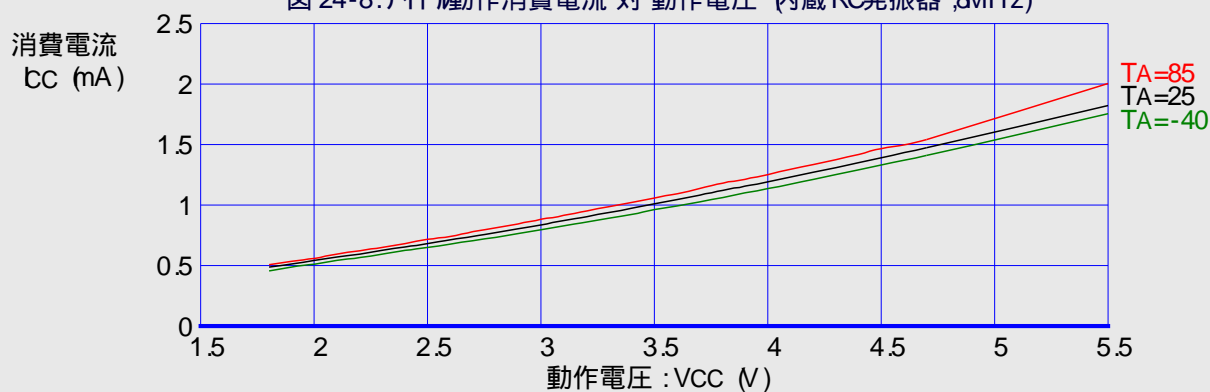


図 24-9.アイド動作消費電流 対 動作電圧 (内蔵RC発振器, CKD M8=プログラム(0), 1MHz)

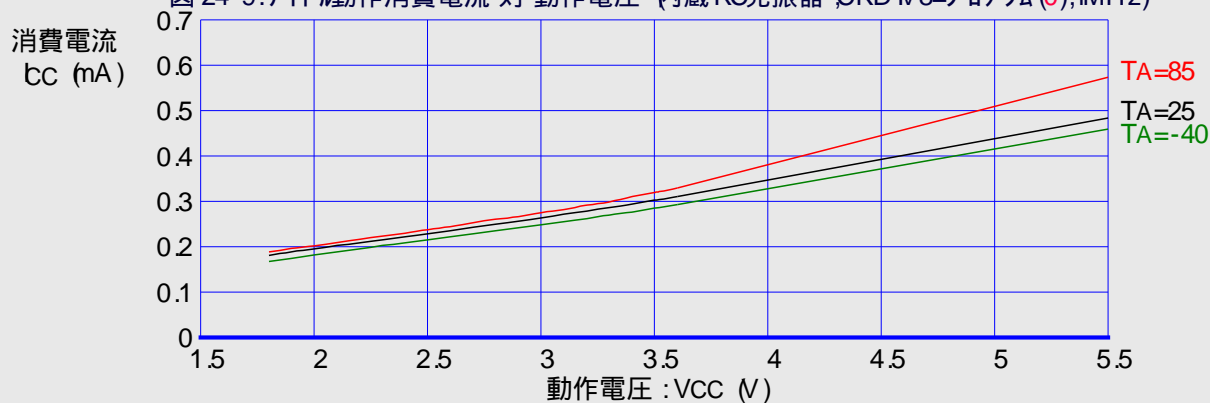
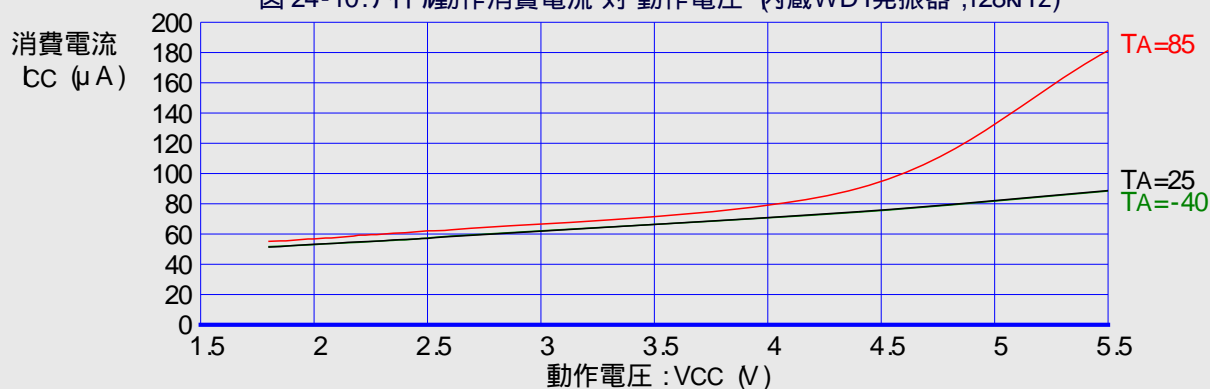


図 24-10.アイド動作消費電流 対 動作電圧 (内蔵WDT発振器, 128kHz)



24.3. 周辺機能部供給電流

以下の表と式は通常動作とアイドル動作で個別周辺機能部に対する追加消費電流の計算に使用できます。周辺機能部の許可や禁止は電力削減レジスタにより制御されます。詳細については23頁の電力削減レジスタ(PPR)をご覧ください。

表 24-1. 各部追加消費電流 絶対値 (μA)

PPR内ビット	1MHz, 2V	4MHz, 3V	8MHz, 5V
PRT M1	65	423	1787
PRT M0	7	39	165
PRUSI	5	25	102
PRADC	18	111	457

表 24-2. 各部追加消費電流 相対値 (%)

PPR内ビット	標準動作 (図 24-1, 図 24-2)	アイドル動作 (図 24-6, 図 24-7)
PRT M1	26.9	103.7
PRT M0	2.6	10.0
PRUSI	1.7	6.5
PRADC	7.1	27.3

表 24-1 で一覧される以外の VCC と周波数設定については、表 24-2 からの数値を元に代表的な消費電流を計算できます。

例: VCC=2V, f=1MHz で USI, タイマ/カウンタ, A/D変換器が許可されたアイドル動作での予測される消費電流を計算します。表 24-2 のアイドル動作列から USI が 6.5%, タイマ/カウンタが 10%, A/D変換器が 27.3% 追加する必要があります。図 24-6 を読み、VCC=2V, f=1MHz でのアイドル動作消費電流が約 0.085mA であることを得ます。USI, タイマ/カウンタ, A/D変換器許可のアイドル動作での総消費電流を得ます。

$$\text{総消費電流} = 0.085\text{mA} \times (1 + 0.065 + 0.1 + 0.273) = 0.122\text{mA}$$

24.4. ハワ-ダウン動作消費電流

図 24-11. ハワ-ダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

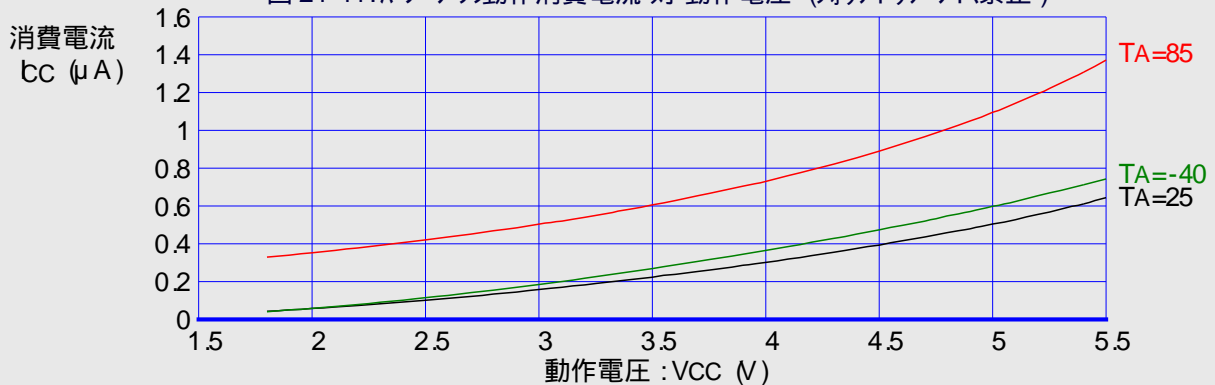
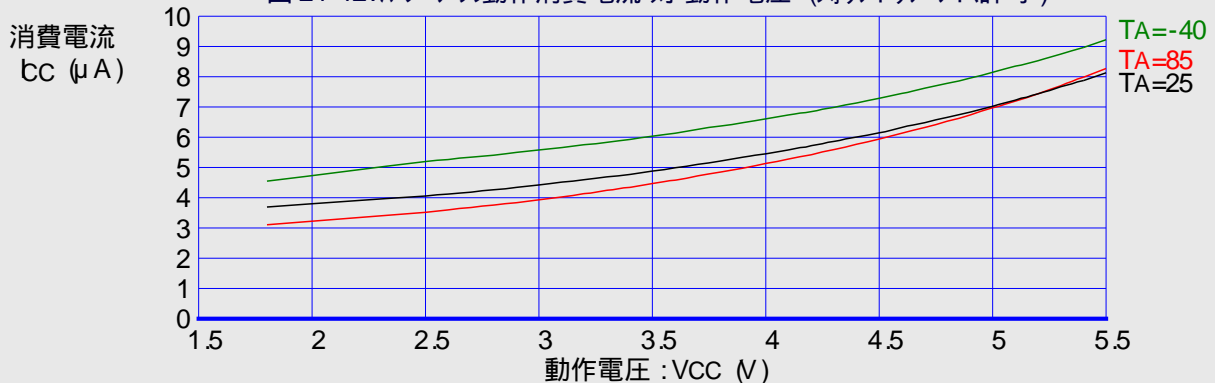


図 24-12. ハワ-ダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)



24.5. ヒンプルアップ

図 24-13. I/Oヒンプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

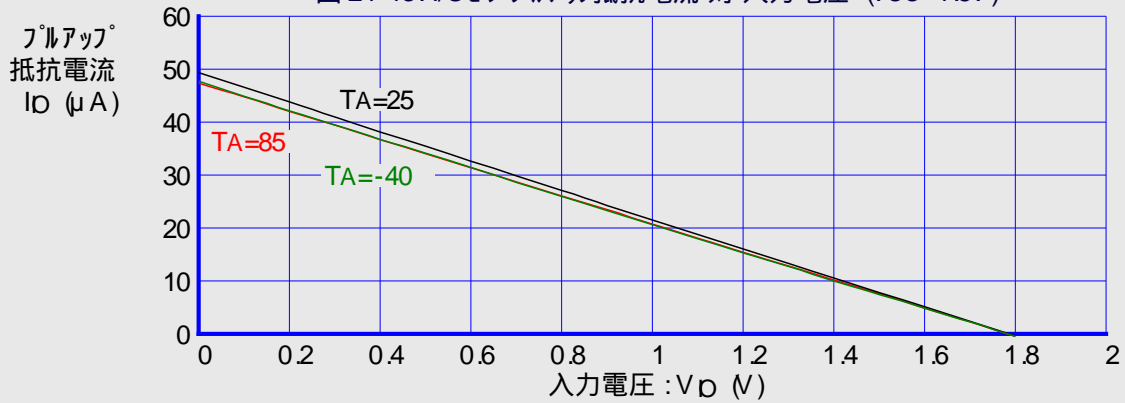


図 24-14. I/Oヒンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

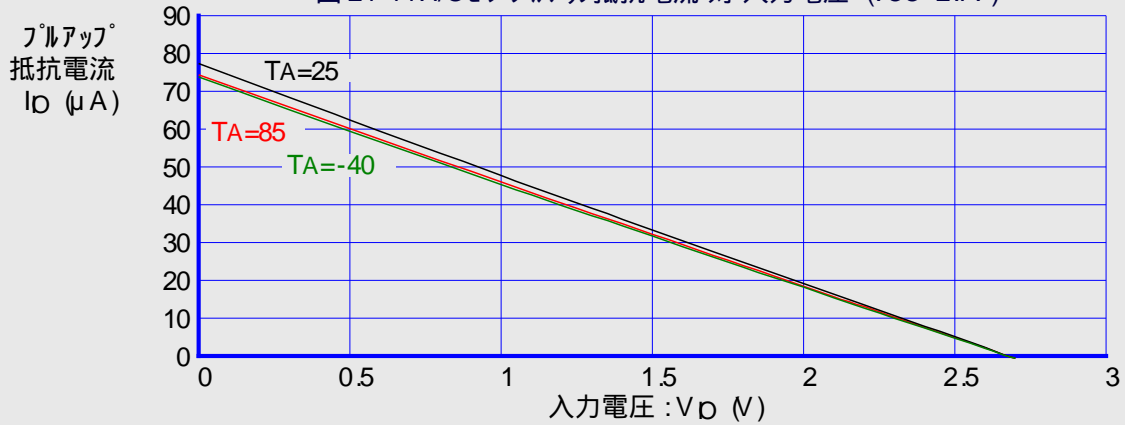


図 24-15. I/Oヒンプルアップ抵抗電流 対 入力電圧 (VCC=5V)



図 24-16. RESETヒンプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

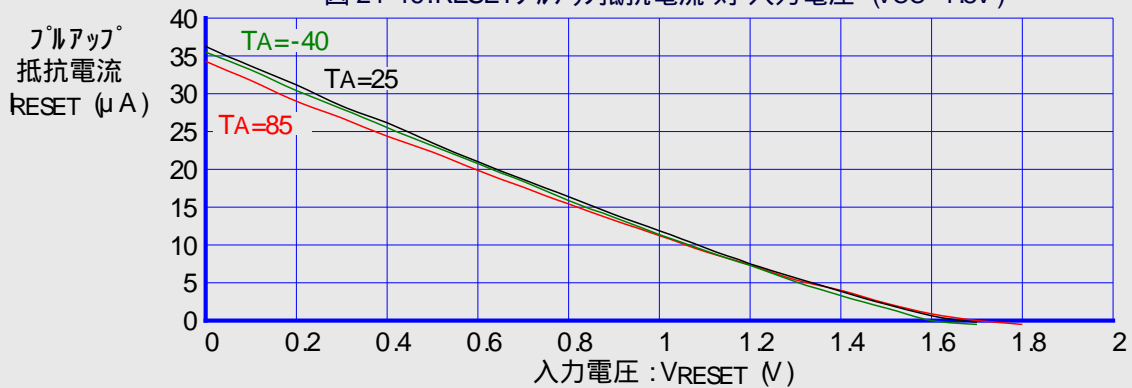


図 24-17. RESETプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

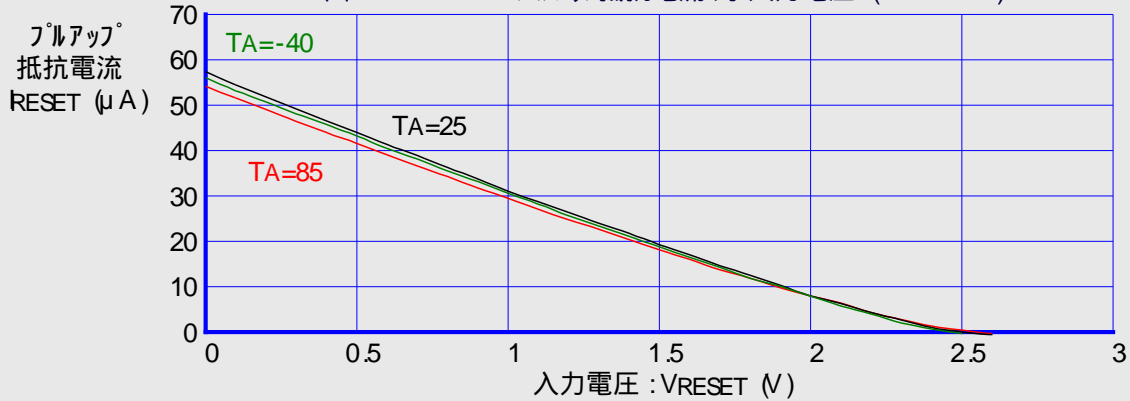
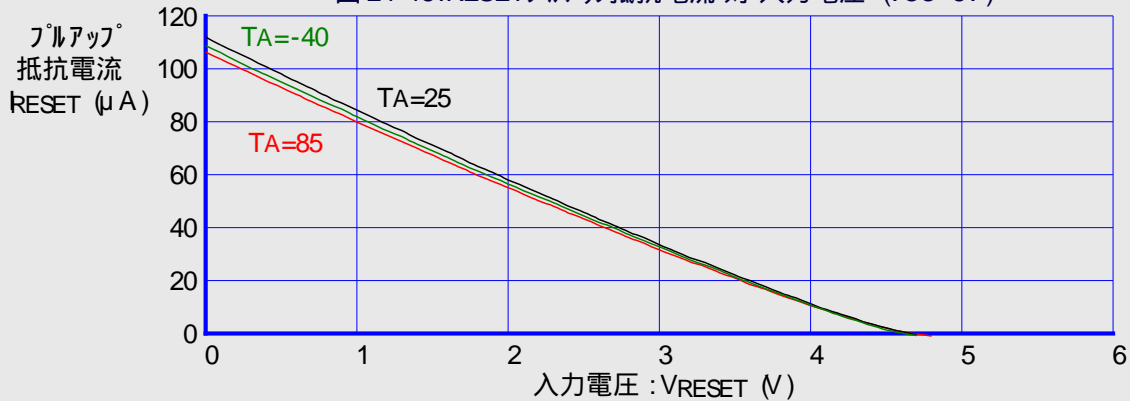


図 24-18. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)



24.6. I/O駆動能力

図 24-19. I/O出力電圧 対 シン電流 (VCC=3V)

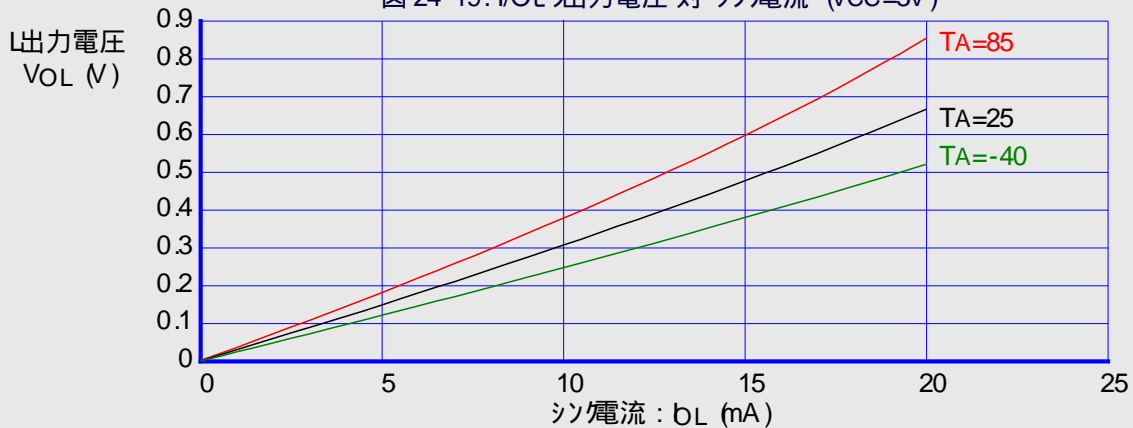


図 24-20. I/O出力電圧 対 シン電流 (VCC=5V)

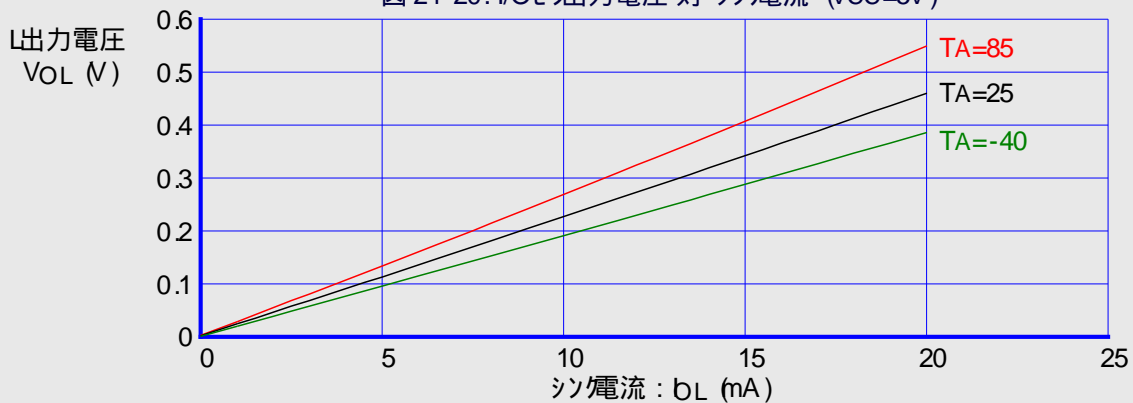




図 24-21. I/Oピン出力電圧 対 ソース電流 (VCC=3V)

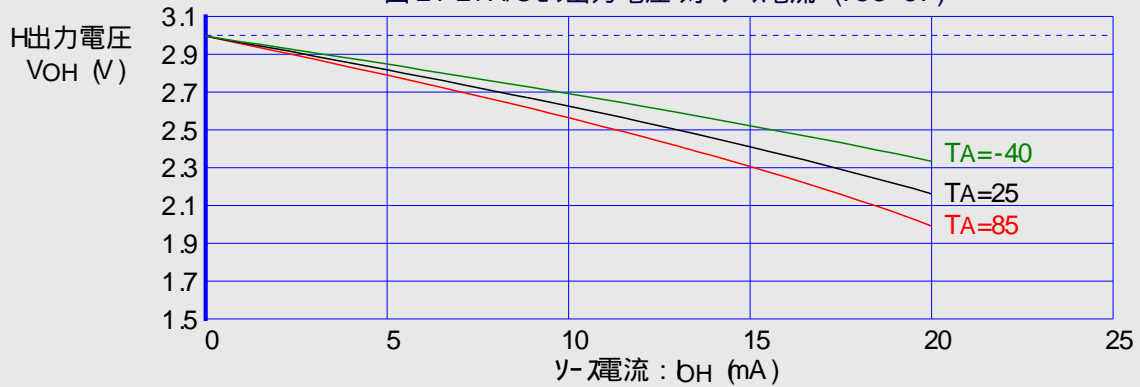
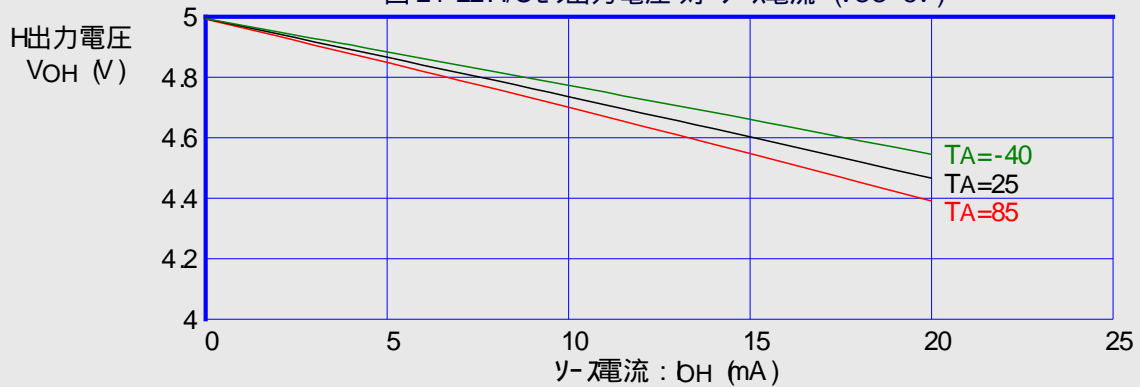


図 24-22. I/Oピン出力電圧 対 ソース電流 (VCC=5V)



24.7. ピン閾値とヒステリシス

図 24-23. I/Oピン入力閾値 (スレッショルド電圧 対 動作電圧 (VH, 読み値))

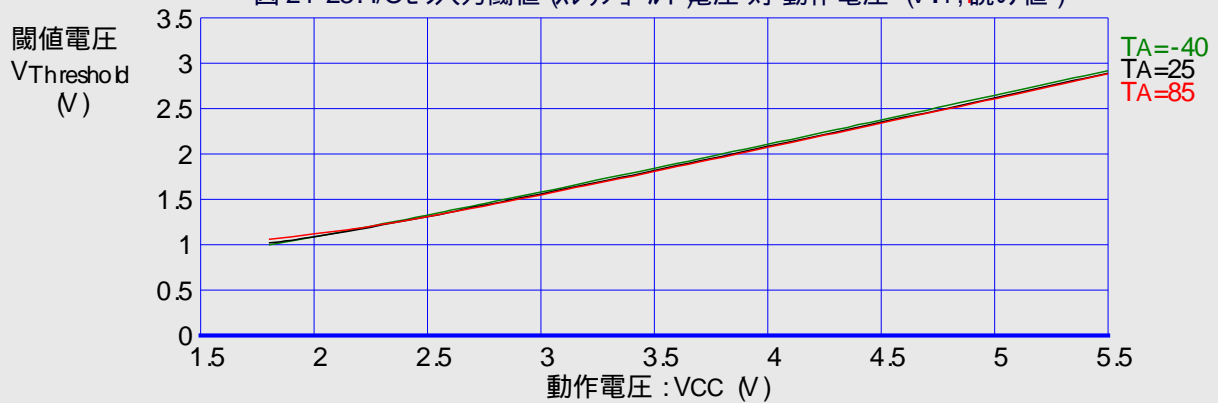


図 24-24. I/Oピン入力閾値 (スレッショルド電圧 対 動作電圧 (VL, 読み値))

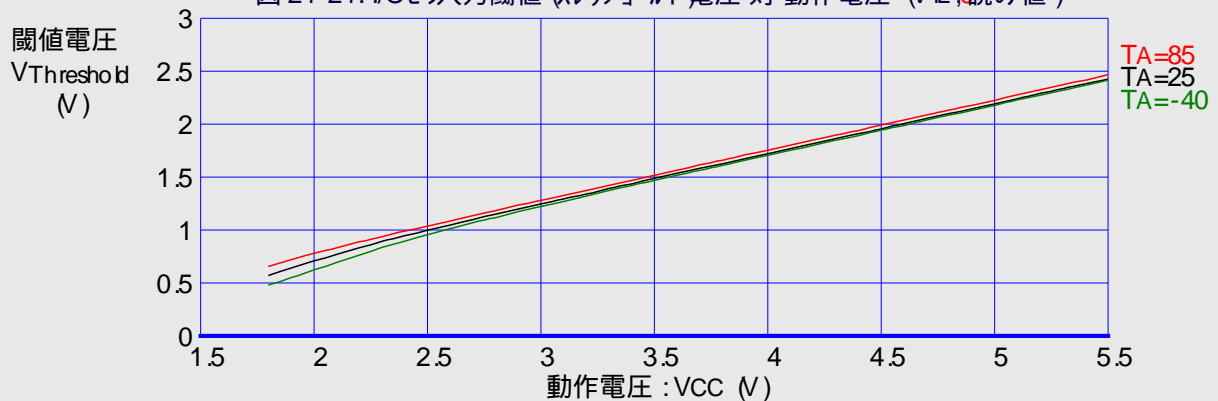


図 24-25. I/Oピン入力ヒステリシス電圧 対 動作電圧

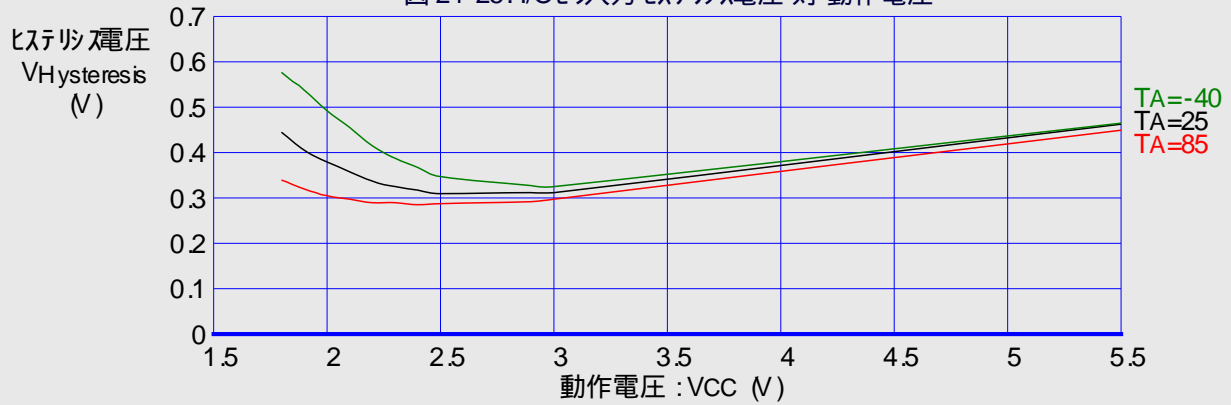


図 24-26. RESET入力閾値 (スレッショルド電圧 対 動作電圧 (V_H, 読み値))

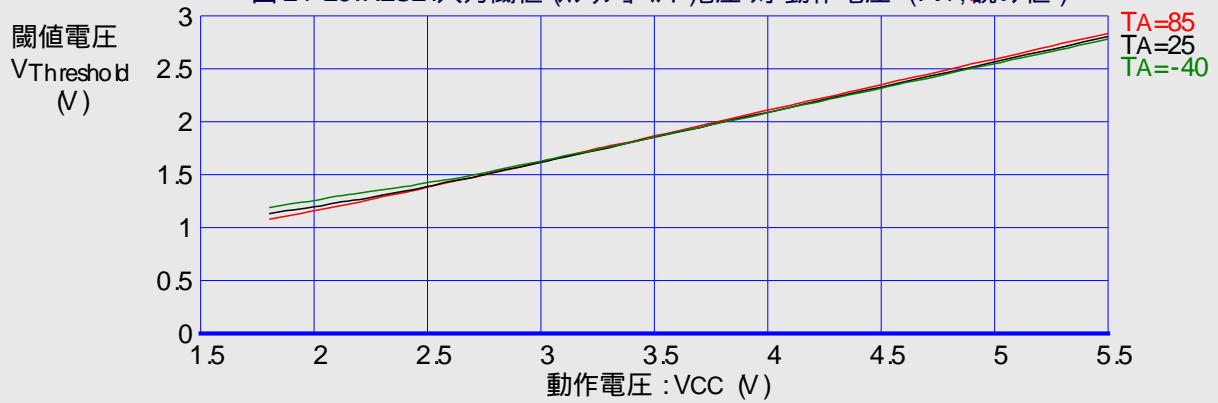


図 24-27. RESET入力閾値 (スレッショルド電圧 対 動作電圧 (V_L, 読み値))

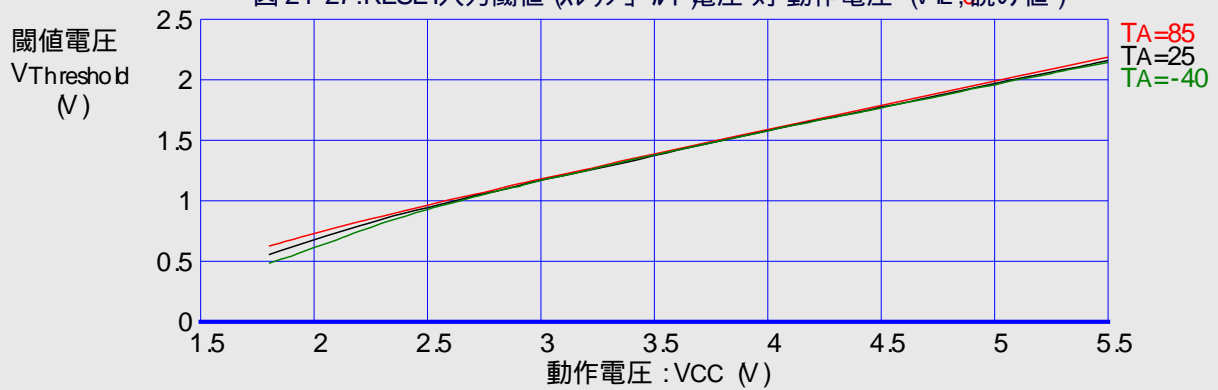
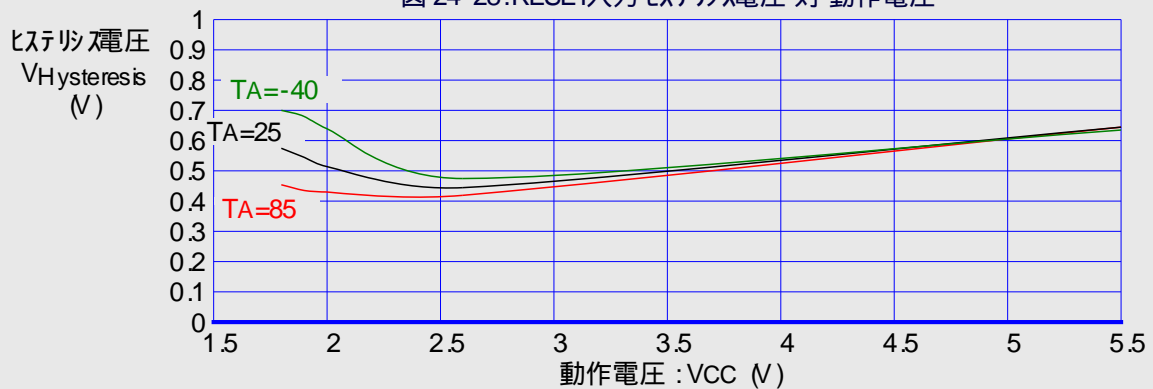
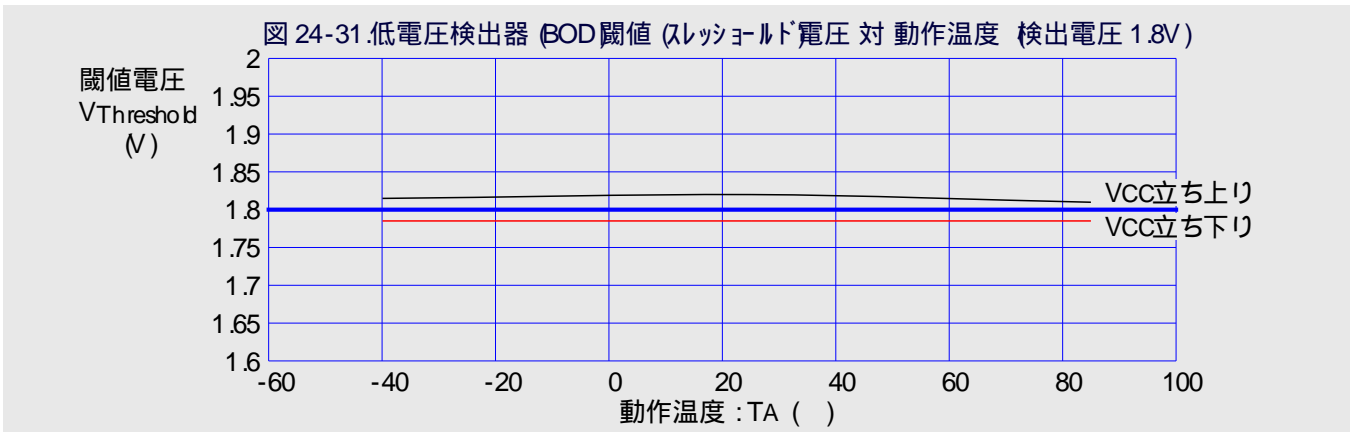
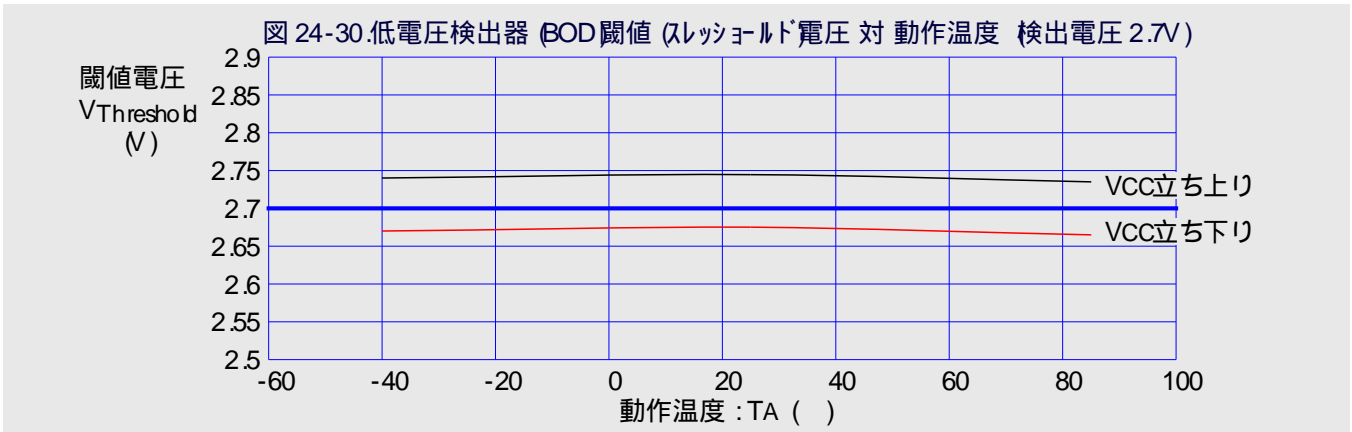
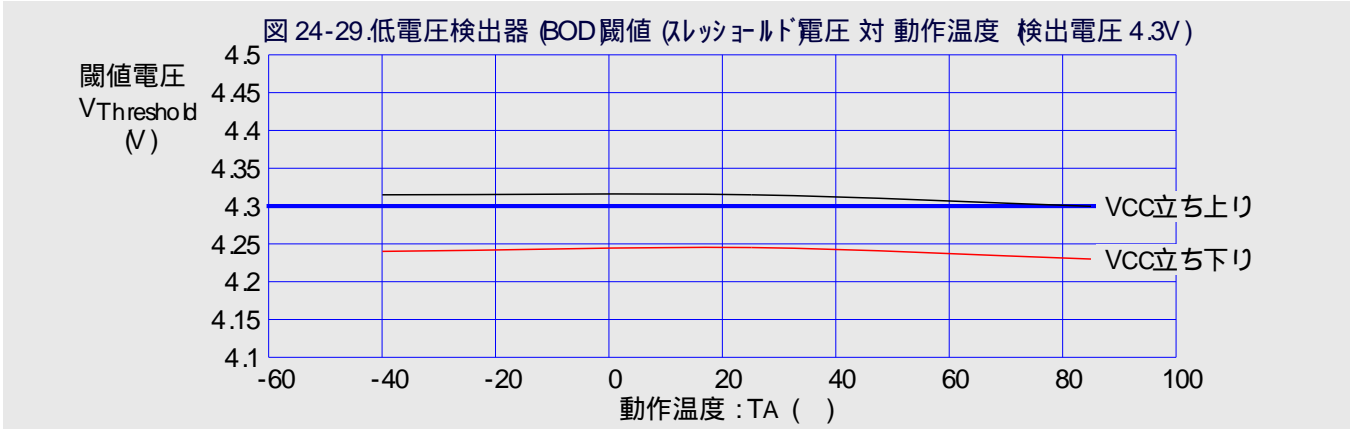


図 24-28. RESET入力ヒステリシス電圧 対 動作電圧





24.8.低電圧検出器 (BOD 閾値)



24.9.内部発振器周波数

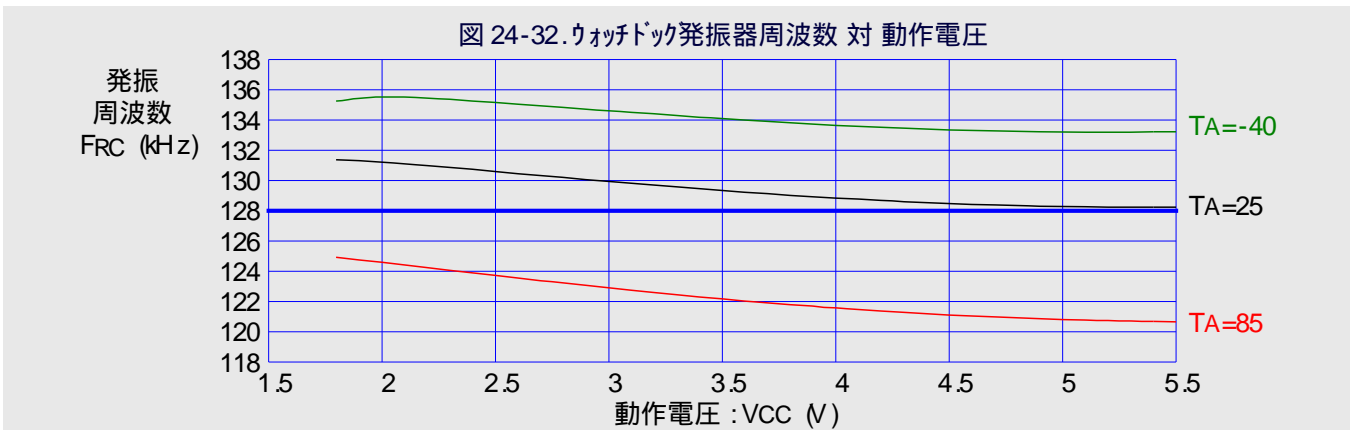


図 24-33 校正済み 8MHz 内蔵 RC 発振器周波数 対 動作電圧

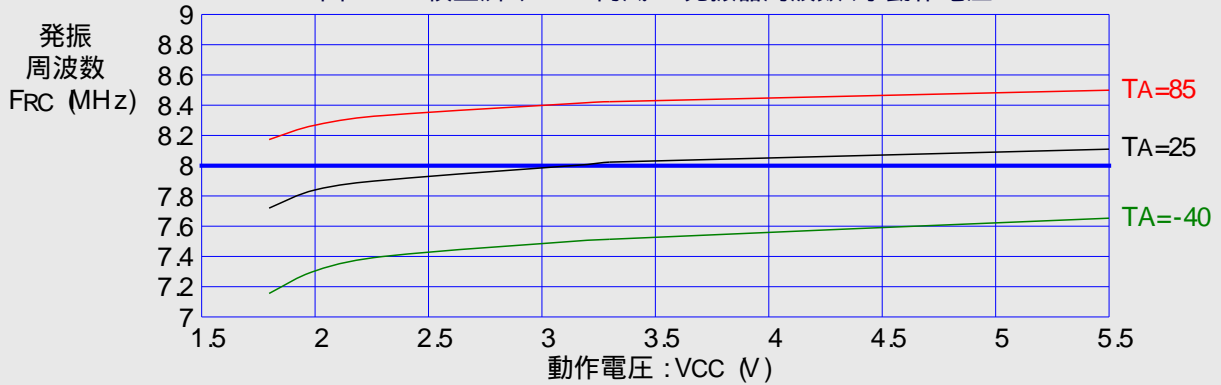


図 24-34 校正済み 8MHz 内蔵 RC 発振器周波数 対 動作温度

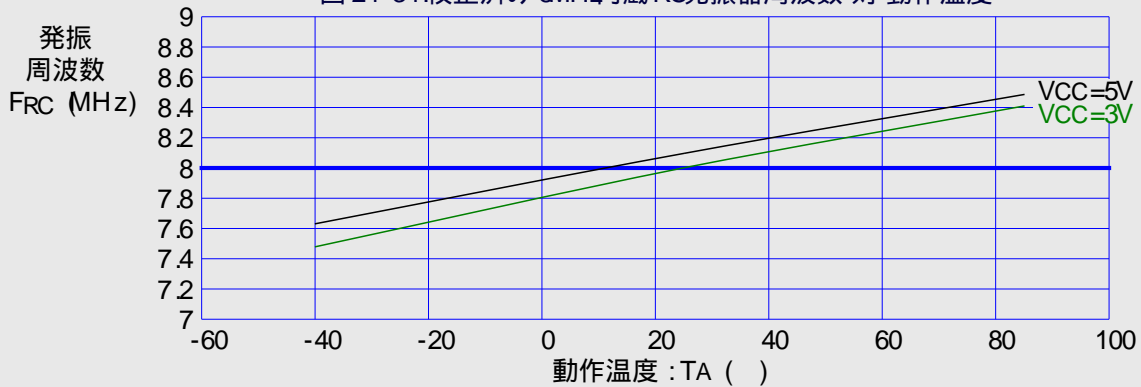
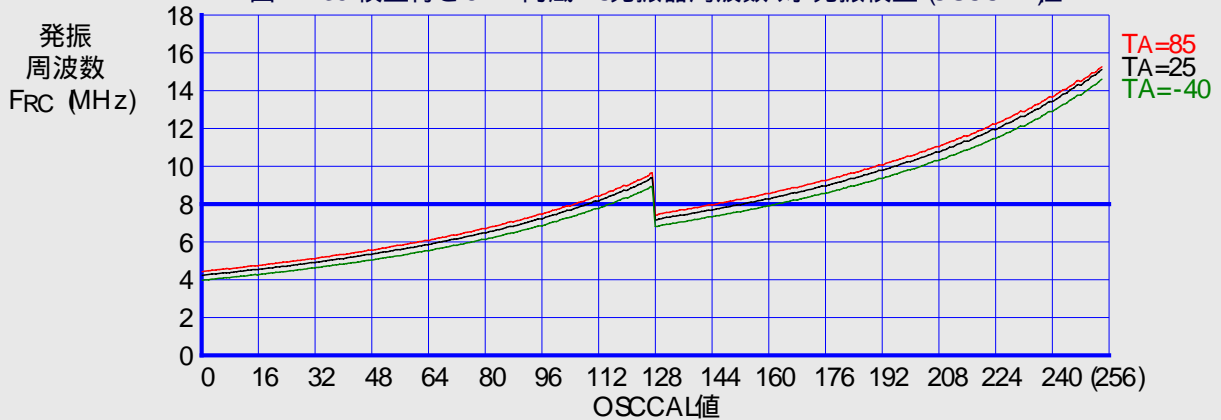


図 24-35 校正付き 8MHz 内蔵 RC 発振器周波数 対 発振校正 OSCCAL 値



24.10 周辺機能部消費電流

図 24-36.A/D変換器消費電流 対 動作電圧 (AREF=AVCC)

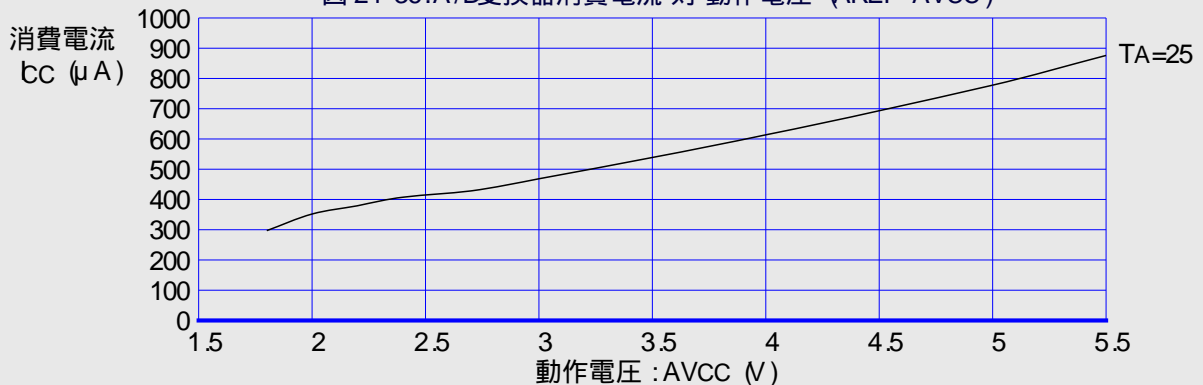




図 24-37 外部基準電圧 (AREF電流 対 動作電圧)

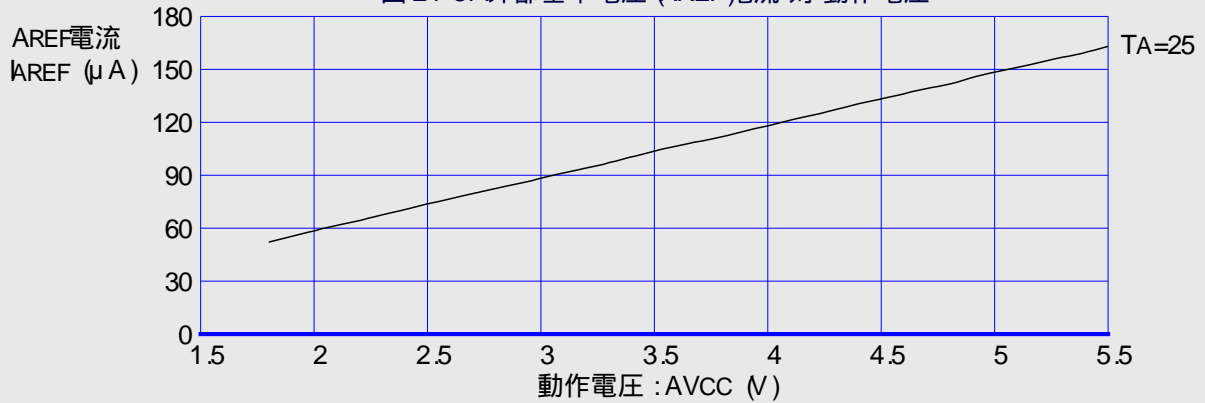


図 24-38.710比較器消費電流 対 動作電圧

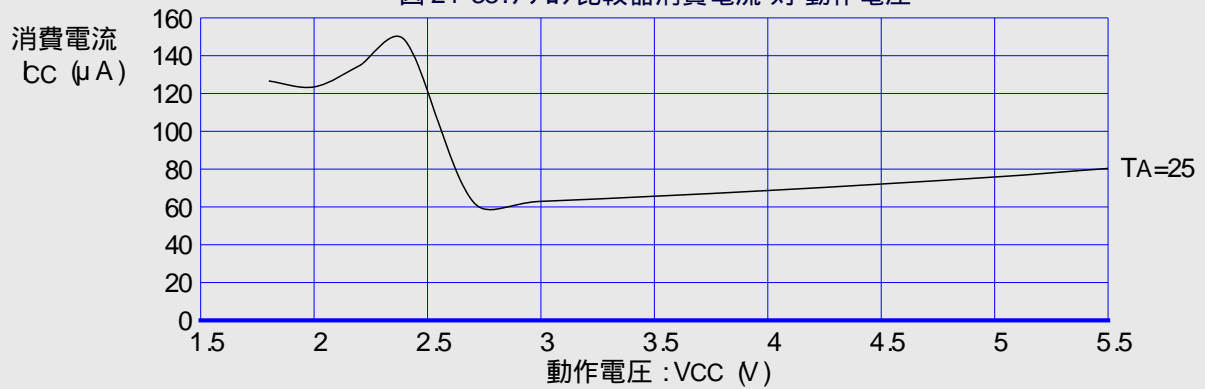


図 24-39.低電圧検出器 (BOD)消費電流 対 動作電圧

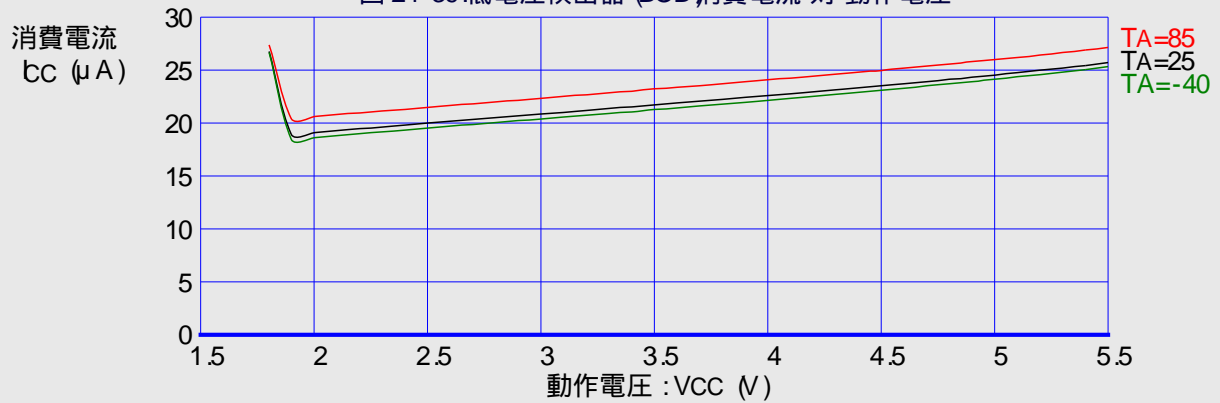


図 24-40.プログラミング電流 対 動作電圧

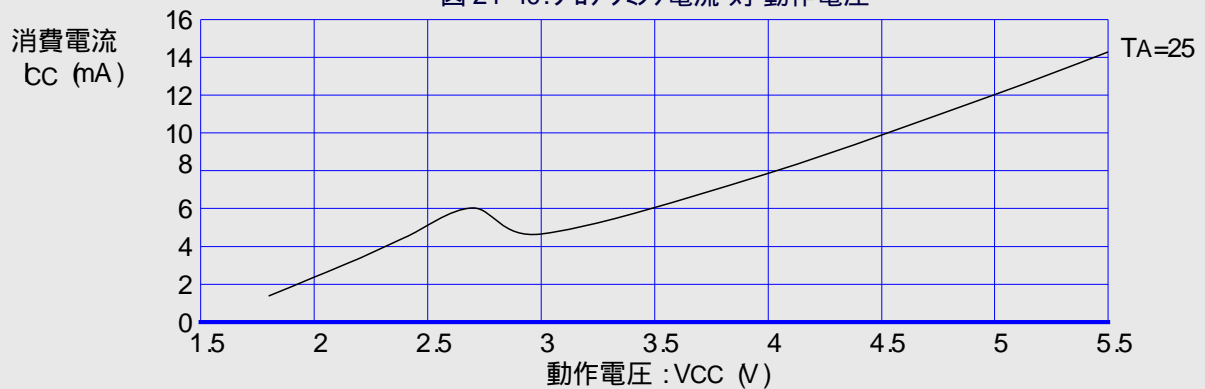
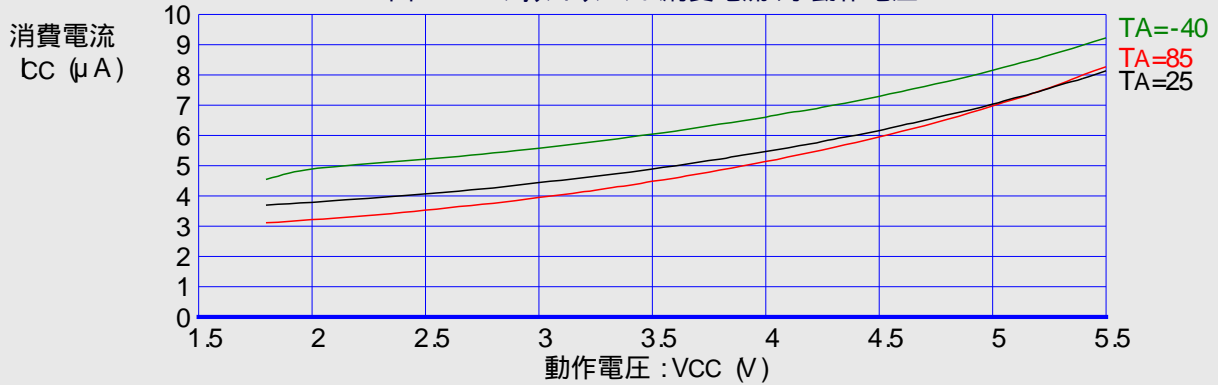


図 24-41. ウォッチドッグ タイプ消費電流 対 動作電圧



24.11. レット消費電流とレットハル幅

図 24-42. レット消費 供給電流 対 周波数 (100kHz~ 1MHz RESETフルアップ電流を除く)

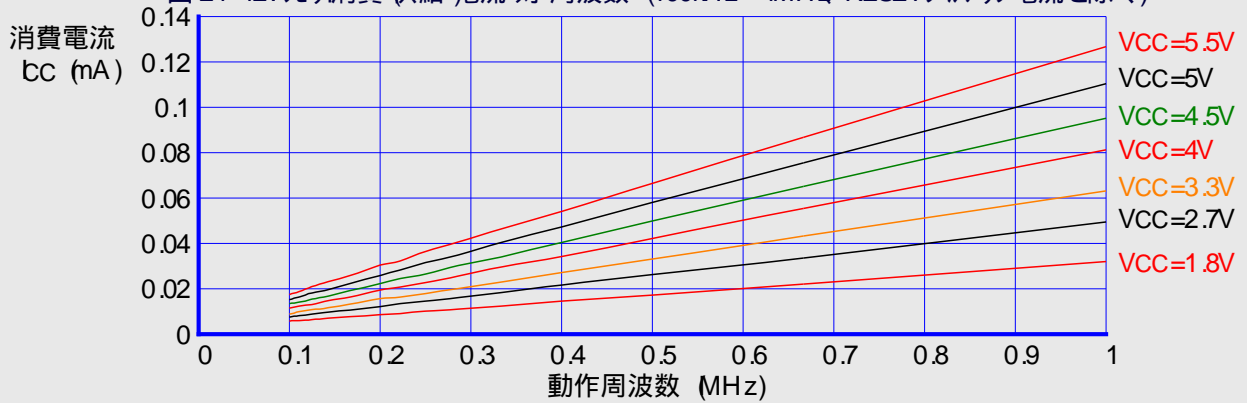


図 24-43. レット消費 供給電流 対 周波数 (1MHz~ 20MHz RESETフルアップ電流を除く)

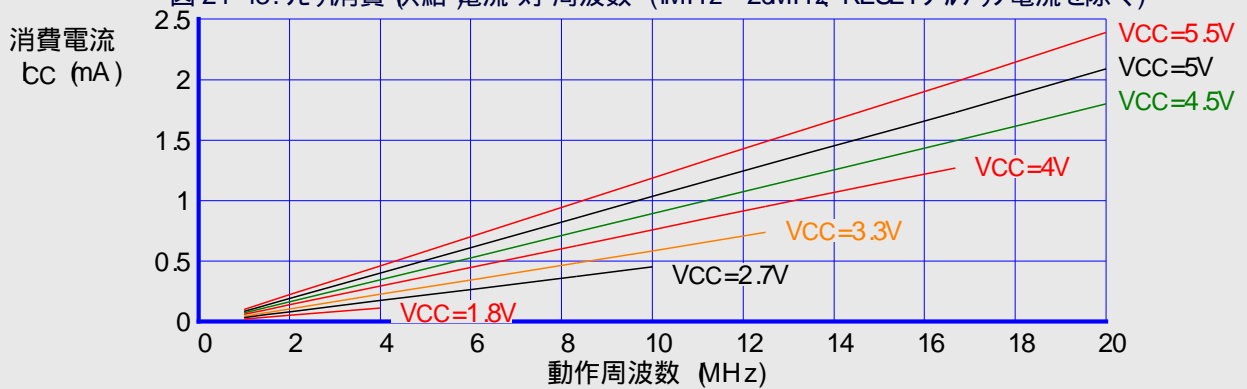
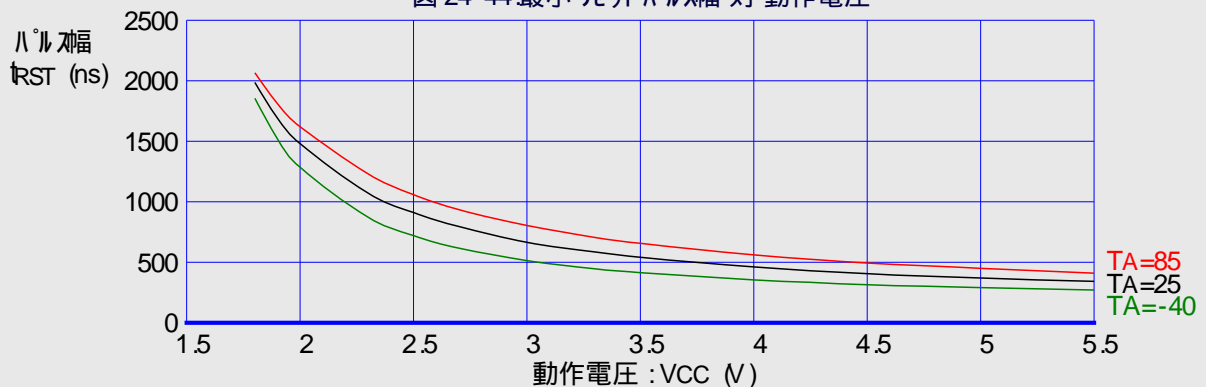


図 24-44. 最小レットハル幅 対 動作電圧





25. I/Oレジスタ一覧

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	6
\$3E (\$5E)	SPH	-	-	-	-	-	-	(SP9)	(SP8)	7
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	7
\$3C (\$5C)	予約									
\$3B (\$5B)	GMSK	NT1	NT0	PC E1	PC E0	-	-	-	-	31
\$3A (\$5A)	GIFR	NTF1	NTF0	PC IF	-	-	-	-	-	31
\$39 (\$59)	TMSK	OC E1D	OC E1A	OC E1B	OC E0A	OC E0B	TO E1	TO E0	T C E0	80,55
\$38 (\$58)	TIFR	OCF1D	OCF1A	OCF1B	OCF0A	OCF0B	TOV1	TOV0	CF0	80,55
\$37 (\$57)	SFMCSCR	-	-	-	CTPB	RFLB	PGWRT	PGERS	SPMEN	107
\$36 (\$56)	PRR	-	-	-	-	PRT M1	PRT M0	PRUS1	PRADC	23
\$35 (\$55)	MCUCR	-	FUD	SE	SM1	SM0	-	ISC01	ISC00	42,23,30
\$34 (\$54)	MCUSR	-	-	-	-	WDRF	BORF	EXTRF	PORF	27
\$33 (\$53)	TCCR0B	-	-	-	TSM	PSR0	CS02	CS01	CS00	44
\$32 (\$52)	TCNTOL	タイマ/カウンタ0 (下位バイト)								54
\$31 (\$51)	OSCCAL	内蔵RC発振器 発振校正値レジスタ								19
\$30 (\$50)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	PWM1A	PWM1B	73
\$2F (\$4F)	TCCR1B	FWM1X	PSR1	DTPS11	DTPS10	CS13	CS12	CS11	CS10	75,57
\$2E (\$4E)	TCNT1	タイマ/カウンタ1 (下位バイト)								78
\$2D (\$4D)	OCR1A	タイマ/カウンタ1比較Aレジスタ								79
\$2C (\$4C)	OCR1B	タイマ/カウンタ1比較Bレジスタ								79
\$2B (\$4B)	OCR1C	タイマ/カウンタ1比較Cレジスタ								79
\$2A (\$4A)	OCR1D	タイマ/カウンタ1比較Dレジスタ								79
\$29 (\$49)	PLLCSR	LSM	-	-	-	-	PKCE	PLLE	PLOCK	56
\$28 (\$48)	CLKPR	CLKPCE	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	20
\$27 (\$47)	TCCR1C	COM1A1S	COM1A0S	COM1B1S	COM1B0S	COM1D1	COM1D0	FOC1D	PWM1D	76
\$26 (\$46)	TCCR1D	FPE1	FPEN1	FPNC1	FPES1	FPAC1	FPF1	WGM11	WGM10	77
\$25 (\$45)	TC1H	-	-	-	-	-	-	TC19	TC18	78
\$24 (\$44)	DT1	DT1H3	DT1H2	DT1H1	DT1H0	DT1L3	DT1L2	DT1L1	DT1L0	81
\$23 (\$43)	PCMSK0	PCNT7	PCNT6	PCNT5	PCNT4	PCNT3	PCNT2	PCNT1	PCNT0	32
\$22 (\$42)	PCMSK1	PCNT15	PCNT14	PCNT13	PCNT12	PCNT11	PCNT10	PCNT9	PCNT8	32
\$21 (\$41)	WDTCSR	WDF	WDE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	27
\$20 (\$40)	DWDR	デバッグWREデータレジスタ								104
\$1F (\$3F)	EEARH	-	-	-	-	-	-	-	(EEAR8)	13
\$1E (\$3E)	EEARL	(EEAR7)	EEPROMアドレスレジスタ (EEAR6~0)							13
\$1D (\$3D)	EEDR	EEPROMデータレジスタ								13
\$1C (\$3C)	EEDR	-	-	EEDR7	EEDR6	EEDR5	EEDR4	EEDR3	EEDR2	13
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	42
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	42
\$19 (\$39)	PINA	PNA7	PNA6	PNA5	PNA4	PNA3	PNA2	PNA1	PNA0	42
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	42
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	42
\$16 (\$36)	PINB	PNB7	PNB6	PNB5	PNB4	PNB3	PNB2	PNB1	PNB0	42
\$15 (\$35)	TCCR0A	TCW0	CEN0	CNC0	CES0	ACIC0	-	-	WGM00	53
\$14 (\$34)	TCNT0H	タイマ/カウンタ0上位バイト								54
\$13 (\$33)	OCR0A	タイマ/カウンタ0比較Aレジスタ								54
\$12 (\$32)	OCR0B	タイマ/カウンタ0比較Bレジスタ								54
\$11 (\$31)	USPP	-	-	-	-	-	-	-	USPOS	89
\$10 (\$30)	USBR	USIハッパレジスタ								87
\$0F (\$2F)	USDR	USIデータレジスタ								87
\$0E (\$2E)	USIF	USIF	USDIF	USPF	USDC	USCNT3	USCNT2	USCNT1	USCNT0	87
\$0D (\$2D)	USCR	USSE	USDE	USWM1	USWM0	USCS1	USCS0	USCLK	USITC	88
\$0C (\$2C)	GPDR2	汎用 I/Oレジスタ2								14
\$0B (\$2B)	GPDR1	汎用 I/Oレジスタ1								14
\$0A (\$2A)	GPDR0	汎用 I/Oレジスタ0								14
\$09 (\$29)	ACSRB	HSEL	HLEV	-	-	-	ACM2	ACM1	ACM0	92
\$08 (\$28)	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACME	ACIS1	ACIS0	91
\$07 (\$27)	ADMUX	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	100
\$06 (\$26)	ADCSRA	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	101
\$05 (\$25)	ADCH	A/Dデータレジスタ上位バイト (ADC9~またはADC9~2)								102
\$04 (\$24)	ADCL	A/Dデータレジスタ下位バイト (ADC7~またはADC1~0)								102
\$03 (\$23)	ADCSRB	BN	GSEL	-	REFS2	MUX5	ADTS2	ADTS1	ADTS0	101
\$02 (\$22)	DDR1	ADC10D	ADC9D	ADC8D	ADC7D	-	-	-	-	103
\$01 (\$21)	DR0	ADC6D	ADC5D	ADC4D	ADC3D	AREFD	ADC2D	ADC1D	ADC0D	103
\$00 (\$20)	TCCR1E	-	-	OC10E5	OC10E4	OC10E3	OC10E2	OC10E1	OC10E0	78

注：将来のデバイスとの共通性のため、予約ビットを書く場合は0を書くべきです。予約 I/O メモリアドレスは決して書かれるべきではありません。
 ・アドレス範囲 \$00~\$1F の I/O レジスタは CB と SB 命令の使用で直接アクセス可能です。これらのレジスタの単一ビットは CB と SB 命令の使用により検査できます。
 ・いくつかの状態ビットはそれらへ論理 1 を書くことによりクリア (0) されます。他の多くの AVR と異なり、CB と SB 命令は指定ビットだけ操作し、従ってこのような状態フラグを含むレジスタで使用できることに注意してください。CB と SB 命令は \$00~\$1F のレジスタだけで動作します。



26.命令一覧 (1/2)

二ノモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	Rd Rd + Rr	I TH SV N Z C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd Rd + Rr + C	I TH SV N Z C	1
ADW	Rd,K6	即値のワート長加算	RdH RdL RdH RdL + K6	I TH SV N Z C	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd Rd - Rr	I TH SV N Z C	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd Rd - K	I TH SV N Z C	1
SBW	Rd,K6	即値のワート長減算	RdH RdL RdH RdL - K6	I TH SV N Z C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd Rd - Rr - C	I TH SV N Z C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd Rd - K - C	I TH SV N Z C	1
AND	Rd,Rr	汎用レジスタ間の論理積 (AND)	Rd Rd AND Rr	I TH S O N Z C	1
ANDI	Rd,K	汎用レジスタと即値の論理積 (AND)	Rd Rd AND K	I TH S O N Z C	1
OR	Rd,Rr	汎用レジスタ間の論理和 (OR)	Rd Rd OR Rr	I TH S O N Z C	1
ORI	Rd,K	汎用レジスタと即値の論理和 (OR)	Rd Rd OR K	I TH S O N Z C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和 (Ex-OR)	Rd Rd EOR Rr	I TH S O N Z C	1
COM	Rd	1の補数 (論理反転)	Rd \$FF - Rd	I TH S O N Z C	1
NEG	Rd	2の補数	Rd \$00 - Rd	I TH SV N Z C	1
SBR	Rd,K	汎用レジスタの複数ビットセット(1)	Rd Rd OR K	I TH SV N Z C	1
CBR	Rd,K	汎用レジスタの複数ビットクリア(0)	Rd Rd AND (\$FF - K)	I TH S O N Z C	1
INC	Rd	汎用レジスタのインクリメント(+1)	Rd Rd + 1	I TH SV N Z C	1
DEC	Rd	汎用レジスタのデクリメント(-1)	Rd Rd - 1	I TH SV N Z C	1
TST	Rd	汎用レジスタのゼロとマイナスイテック	Rd Rd AND Rd	I TH S O N Z C	1
CLR	Rd	汎用レジスタの全ビット設定 (= \$00)	Rd Rd EOR Rd	I TH 0 0 0 1 C	1
SER	Rd	汎用レジスタの全ビット設定 (= \$FF)	Rd \$FF	I TH SV N Z C	1
分岐命令					
RJMP	k	相対分岐	PC PC + k + 1	I TH SV N Z C	2
IJMP		Zレジスタ間接分岐	PC Z	I TH SV N Z C	2
RCALL	k	相対サブルーチン呼び出し	STACK PC, PC PC + k + 1	I TH SV N Z C	3
CALL		Zレジスタ間接サブルーチン呼び出し	STACK PC, PC Z	I TH SV N Z C	3
RET		サブルーチンからの復帰	PC STACK	I TH SV N Z C	4
RETI		割り込みからの復帰	PC STACK	I TH SV N Z C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rなら, PC PC + 2or3	I TH SV N Z C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd - Rr	I TH SV N Z C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd - Rr - C	I TH SV N Z C	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd - K	I TH SV N Z C	1
SBRC	Rr,b	汎用レジスタのビットがクリア(0)でスキップ	Rr(b)=0なら, PC PC + 2or3	I TH SV N Z C	1/2,3
SBRSC	Rr,b	汎用レジスタのビットがセット(1)でスキップ	Rr(b)=1なら, PC PC + 2or3	I TH SV N Z C	1/2,3
SBIC	P,b	I/Oレジスタのビットがクリア(0)でスキップ	P(b)=0なら, PC PC + 2or3	I TH SV N Z C	1/2,3
SBIS	P,b	I/Oレジスタのビットがセット(1)でスキップ	P(b)=1なら, PC PC + 2or3	I TH SV N Z C	1/2,3
BRBS	s,k	ステータスフラグがセット(1)で分岐	SREG(s)=1なら, PC PC + K + 1	I TH SV N Z C	1/2
BRBC	s,k	ステータスフラグがクリア(0)で分岐	SREG(s)=0なら, PC PC + K + 1	I TH SV N Z C	1/2
BREQ	k	一致で分岐	Z=1なら, PC PC + K + 1	I TH SV N Z C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC PC + K + 1	I TH SV N Z C	1/2
BRCS	k	キャリーフラグがセット(1)で分岐	C=1なら, PC PC + K + 1	I TH SV N Z C	1/2
BRCC	k	キャリーフラグがクリア(0)で分岐	C=0なら, PC PC + K + 1	I TH SV N Z C	1/2
BRSH	k	符号なしの > で分岐	C=0なら, PC PC + K + 1	I TH SV N Z C	1/2
BRLO	k	符号なしの < で分岐	C=1なら, PC PC + K + 1	I TH SV N Z C	1/2
BRMI	k	- (マイナス) で分岐	N=1なら, PC PC + K + 1	I TH SV N Z C	1/2
BRPL	k	+ (プラス) で分岐	N=0なら, PC PC + K + 1	I TH SV N Z C	1/2
BRGE	k	符号付きの > で分岐	(N EOR V)=0なら, PC PC + K + 1	I TH SV N Z C	1/2
BRLT	k	符号付きの < で分岐	(N EOR V)=1なら, PC PC + K + 1	I TH SV N Z C	1/2
BRHS	k	オーバーフローフラグがセット(1)で分岐	H=1なら, PC PC + K + 1	I TH SV N Z C	1/2
BRHC	k	オーバーフローフラグがクリア(0)で分岐	H=0なら, PC PC + K + 1	I TH SV N Z C	1/2
BRTS	k	テンポラリフラグがセット(1)で分岐	T=1なら, PC PC + K + 1	I TH SV N Z C	1/2
BRTC	k	テンポラリフラグがクリア(0)で分岐	T=0なら, PC PC + K + 1	I TH SV N Z C	1/2
BRVS	k	オーバーフローフラグがセット(1)で分岐	V=1なら, PC PC + K + 1	I TH SV N Z C	1/2
BRVC	k	オーバーフローフラグがクリア(0)で分岐	V=0なら, PC PC + K + 1	I TH SV N Z C	1/2
BRE	k	割り込み許可で分岐	I=1なら, PC PC + K + 1	I TH SV N Z C	1/2
BRD	k	割り込み禁止で分岐	I=0なら, PC PC + K + 1	I TH SV N Z C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~ R31) X, Y, Z : X, Y, Zレジスタ
 b : ビット(0~ 7) k : アドレス定数 (7,12,16ビット) q : 符号なし6ビット定数 変位) s : ステータスフラグ(C Z N, V X H, T, I)





命令一覧 (2/2)

二モニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	Rd Rr	I,TH,SV,N,Z,C	1
MOVV	Rd,Rr	汎用レジスタ間の複写	Rd+1Rd Rr+1Rr	I,TH,SV,N,Z,C	1
LDI	Rd,K	即値の取得	Rd K	I,TH,SV,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	Rd (X)	I,TH,SV,N,Z,C	2
LD	Rd,X+	後インクリメント付きXレジスタ間接での取得	Rd (X),X X+1	I,TH,SV,N,Z,C	2
LD	Rd,-X	前デクリメント付きXレジスタ間接での取得	X X-1,Rd (X)	I,TH,SV,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	Rd (Y)	I,TH,SV,N,Z,C	2
LD	Rd,Y+	後インクリメント付きYレジスタ間接での取得	Rd (Y),Y Y+1	I,TH,SV,N,Z,C	2
LD	Rd,-Y	前デクリメント付きYレジスタ間接での取得	Y Y-1,Rd (Y)	I,TH,SV,N,Z,C	2
LDD	Rd,Y+q	ディスプレイメント付きYレジスタ間接での取得	Rd (Y+q)	I,TH,SV,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	Rd (Z)	I,TH,SV,N,Z,C	2
LD	Rd,Z+	後インクリメント付きZレジスタ間接での取得	Rd (Z),Z Z+1	I,TH,SV,N,Z,C	2
LD	Rd,-Z	前デクリメント付きZレジスタ間接での取得	Z Z-1,Rd (Z)	I,TH,SV,N,Z,C	2
LDD	Rd,Z+q	ディスプレイメント付きZレジスタ間接での取得	Rd (Z+q)	I,TH,SV,N,Z,C	2
LDS	Rd,k	データ空間 (SRAM) から直接取得	Rd (k)	I,TH,SV,N,Z,C	2
ST	X Rr	Xレジスタ間接での設定	(X) Rr	I,TH,SV,N,Z,C	2
ST	X+Rr	後インクリメント付きXレジスタ間接での設定	(X) Rr,X X+1	I,TH,SV,N,Z,C	2
ST	-X Rr	前デクリメント付きXレジスタ間接での設定	X X-1,(X) Rr	I,TH,SV,N,Z,C	2
ST	Y Rr	Yレジスタ間接での設定	(Y) Rr	I,TH,SV,N,Z,C	2
ST	Y+Rr	後インクリメント付きYレジスタ間接での設定	(Y) Rr,Y Y+1	I,TH,SV,N,Z,C	2
ST	-Y Rr	前デクリメント付きYレジスタ間接での設定	Y Y-1,(Y) Rr	I,TH,SV,N,Z,C	2
STD	Y+qRr	ディスプレイメント付きYレジスタ間接での設定	(Y+q) Rr	I,TH,SV,N,Z,C	2
ST	Z Rr	Zレジスタ間接での設定	(Z) Rr	I,TH,SV,N,Z,C	2
ST	Z+Rr	後インクリメント付きZレジスタ間接での設定	(Z) Rr,Z Z+1	I,TH,SV,N,Z,C	2
ST	-Z Rr	前デクリメント付きZレジスタ間接での設定	Z Z-1,(Z) Rr	I,TH,SV,N,Z,C	2
STD	Z+qRr	ディスプレイメント付きZレジスタ間接での設定	(Z+q) Rr	I,TH,SV,N,Z,C	2
STS	kRr	データ空間 (SRAM) に直接設定	(k) Rr	I,TH,SV,N,Z,C	2
LFM		プログラム領域からZレジスタ間接での取得	R0 (Z)	I,TH,SV,N,Z,C	3
LFM	Rd,Z	同上 (任意のレジスタへ)	Rd (Z)	I,TH,SV,N,Z,C	3
LFM	Rd,Z+	同上 (後インクリメント付き)	Rd (Z),Z Z+1	I,TH,SV,N,Z,C	3
SFM		プログラム領域へZレジスタ間接での設定	(Z) R1R0	I,TH,SV,N,Z,C	-
N	Rd,P	I/Oレジスタからの入力	Rd P	I,TH,SV,N,Z,C	1
OUT	P Rr	I/Oレジスタへの出力	P Rr	I,TH,SV,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	STACK Rr	I,TH,SV,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	Rd STACK	I,TH,SV,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビットセット(1)	I/O (P,b) 1	I,TH,SV,N,Z,C	2
CBI	P,b	I/Oレジスタのビットクリア(0)	I/O (P,b) 0	I,TH,SV,N,Z,C	2
LSL	Rd	論理的左シフト	Rd(n+1) Rd(n),Rd(0) 0	I,TH,SV,N,Z,C	1
LSR	Rd	論理的右シフト	Rd(n) Rd(n+1),Rd(7) 0	I,TH,SV,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	Rd(0) C,Rd(n+1) Rd(n),C Rd(7)	I,TH,SV,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	Rd(7) C,Rd(n) Rd(n+1),C Rd(0)	I,TH,SV,N,Z,C	1
ASR	Rd	算術的右シフト	Rd(n) Rd(n+1),n=0~6	I,TH,SV,N,Z,C	1
SWAP	Rd	ニブル(4ビット止位)下位交換	Rd(7~4) Rd(3~0)	I,TH,SV,N,Z,C	1
BSET	s	ステータスレジスタのビットセット(1)	SREG(s) 1	1,1,1,1,1,1,1,1	1
BCLR	s	ステータスレジスタのビットクリア(0)	SREG(s) 0	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットをテンポラリへ移動	T Rr(b)	I,TH,SV,N,Z,C	1
BLD	Rd,b	テンポラリを汎用レジスタのビットへ移動	Rd(b) T	I,TH,SV,N,Z,C	1
SEC		キャリーフラグをセット(1)	C 1	I,TH,SV,N,Z,C	1
CLC		キャリーフラグをクリア(0)	C 0	I,TH,SV,N,Z,C	1
SEN		負フラグをセット(1)	N 1	I,TH,SV,1,Z,C	1
CLN		負フラグをクリア(0)	N 0	I,TH,SV,0,Z,C	1
SEZ		ゼロフラグをセット(1)	Z 1	I,TH,SV,N,1,C	1
CLZ		ゼロフラグをクリア(0)	Z 0	I,TH,SV,N,0,C	1
SEI		全割込み許可	I 1	1,TH,SV,N,Z,C	1
CLI		全割込み禁止	I 0	0,TH,SV,N,Z,C	1
SES		符号フラグをセット(1)	S 1	I,TH,1,SV,N,Z,C	1
CLS		符号フラグをクリア(0)	S 0	I,TH,0,SV,N,Z,C	1
SEV		2の補数オーバーフローフラグをセット(1)	V 1	I,TH,S,1,N,Z,C	1
CLV		2の補数オーバーフローフラグをクリア(0)	V 0	I,TH,S,0,N,Z,C	1
SET		テンポラリフラグをセット(1)	T 1	I,1,TH,SV,N,Z,C	1
CLT		テンポラリフラグをクリア(0)	T 0	I,0,TH,SV,N,Z,C	1
SEH		ハーフキャリーフラグをセット(1)	H 1	I,T,1,SV,N,Z,C	1
CLH		ハーフキャリーフラグをクリア(0)	H 0	I,T,0,SV,N,Z,C	1
MCU制御命令					
NOP		無操作		I,TH,SV,N,Z,C	1
SLEEP		スリープ動作開始	スリープ動作参照	I,TH,SV,N,Z,C	1
WDR		ウォッチドッグタイマーリセット	ウォッチドッグタイマー参照	I,TH,SV,N,Z,C	1
BREAK		一時停止	内蔵デバッグWDR機能専用	I,TH,SV,N,Z,C	N/A



27. 注文情報

デバイス	速度 (MHz)	電源電圧	注文コード <small>(注2)</small>	外囲器	動作範囲
ATtiny261	10 <small>(注3)</small>	1.8~ 5.5V	ATtiny261V-10PU	20P3	工業用 (-40 ~ 85)
			ATtiny261V-10SU	20S2	
			ATtiny261V-10MU	32M1-A	
	20 <small>(注3)</small>	2.7~ 5.5V	ATtiny261-20PU	20P3	
			ATtiny261-20SU	20S2	
			ATtiny261-20MU	32M1-A	
ATtiny461	10 <small>(注3)</small>	1.8~ 5.5V	ATtiny461V-10PU	20P3	工業用 (-40 ~ 85)
			ATtiny461V-10SU	20S2	
			ATtiny461V-10MU	32M1-A	
	20 <small>(注3)</small>	2.7~ 5.5V	ATtiny461-20PU	20P3	
			ATtiny461-20SU	20S2	
			ATtiny461-20MU	32M1-A	
ATtiny861	10 <small>(注3)</small>	1.8~ 5.5V	ATtiny861V-10PU	20P3	工業用 (-40 ~ 85)
			ATtiny861V-10SU	20S2	
			ATtiny861V-10MU	32M1-A	
	20 <small>(注3)</small>	2.7~ 5.5V	ATtiny861-20PU	20P3	
			ATtiny861-20SU	20S2	
			ATtiny861-20MU	32M1-A	

注: このデバイスはウェル-チップ単体形状でも供給できます。最低数量と詳細な注文情報については最寄のATMEL営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令 (RoHS指令) 適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

注3: 速度と電源電圧の関係については12頁の [図 23-1](#) と [図 23-2](#) をご覧ください。

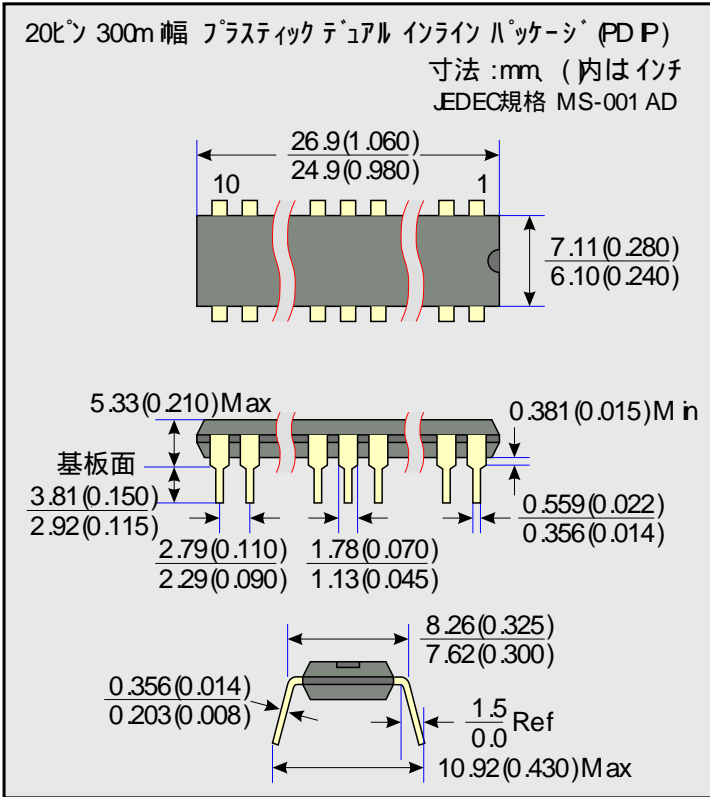
27.1. 外囲器形式

20P3	20ピン 300μm 幅 プラスティックデュアル インライン パッケージ (DIP)
20S2	20ピン 300μm 幅 プラスティック スモール アウトライン パッケージ (SOL)
32M1-A	32ピン 5x 5x 1mm 0.5mmピッチ クワッドフラットノーリード/マイクロリード フレーム パッケージ (QFN/MLF)

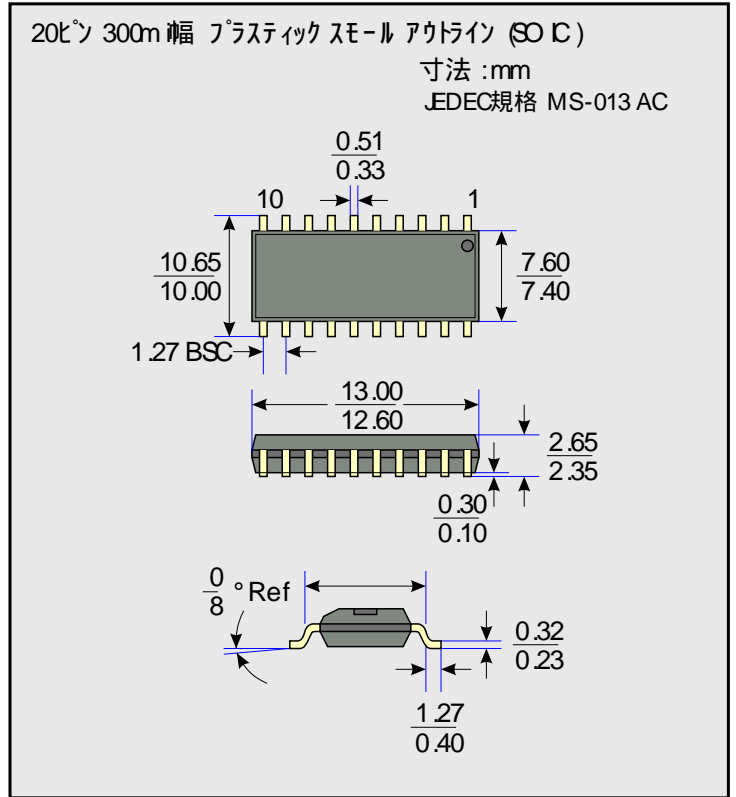


28. 外圍器形状

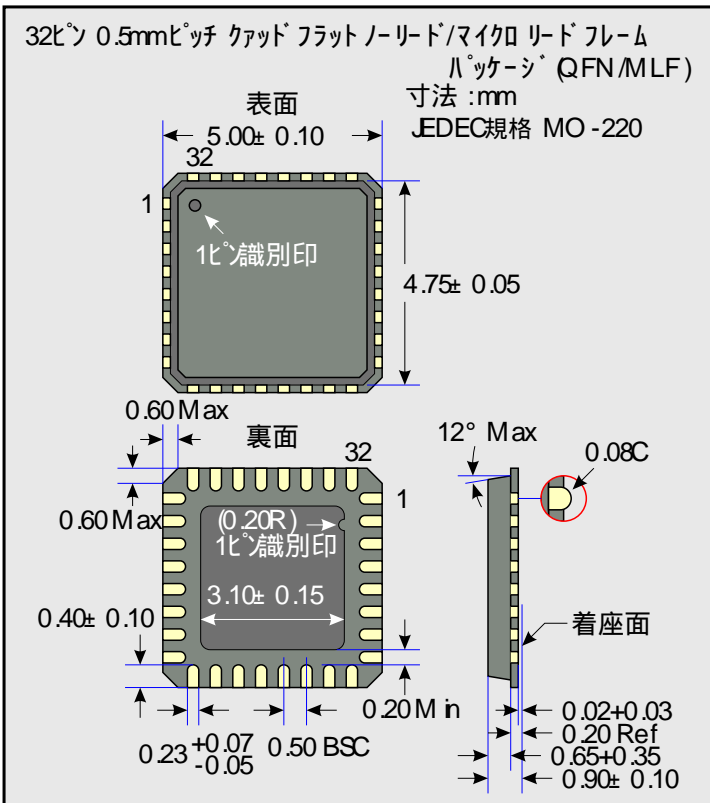
28.1. 20P3



28.2. 20S2



28.3. 32M1-A



29. 障害情報

この章のバージョン番号は、ATtiny261/461/861(V)デバイスとのバージョンを参照してください。

- ATtiny261 RevA 既知の障害はありません。
- ATtiny461 RevA 既知の障害はありません。
- RevB 改善品。既知の障害はありません。
- ATtiny461 RevA 試供されていません。
- RevB 既知の障害はありません。





30.更新記録

この章内の参照頁番号は、この資料が参照されていることに注意してください。この章内のRev番号は資料のRev番号を参照してください。

30.1. 2588A-10/06 1. 初版

30.2. 2588B-11/06 1. 141頁の「注文情報」を更新
2. 142頁の「外形情報」を更新



目次

特徴	1	122. 標準デジタル入出力としてのポート	33
1. ピン配置	2	123. 兼用ポート機能	36
1.1. お断り	2	124. I/Oポート用レジスタ	42
2. 概要	3	13. タイマ/カウンタの前置分周器	43
2.1. 構成図	3	13.1. タイマ/カウンタ前置分周器関係レジスタ	44
2.2. ピン説明	4	14. タイマ/カウンタ0	45
3. 資料	4	14.1. 特徴	45
4. コード例について	4	14.2. 概要	45
5. AVR CPUコア	5	14.3. タイマ/カウンタのクロック	46
5.1. 概要	5	14.4. カウンタユニット	46
5.2. ALU (Arithmetic Logic Unit)	5	14.5. 動作種別	47
5.3. ステータスレジスタ	6	14.6. 捕獲入力部	48
5.4. 汎用レジスタファイル	7	14.7. 比較部	49
5.5. スタックポインタ	7	14.8. タイマ/カウンタのタイミング	50
5.6. 命令実行タイミング	8	14.9. 16ビット動作でのレジスタアクセス	51
5.7. レジスタ割り込みの扱い	8	14.10. タイマ/カウンタ用レジスタ	53
6. AVR メモリ	10	15. タイマ/カウンタ1の前置分周器	56
6.1. 実装書き換え可能なプログラム用フラッシュメモリ	10	15.1. タイマ/カウンタ前置分周器関係レジスタ	56
6.2. テーブルSRAMメモリ	10	16. タイマ/カウンタ1	58
6.3. テーブルEEPROMメモリ	11	16.1. 特徴	58
6.4. I/Oメモリ (レジスタ)	13	16.2. 概要	58
6.5. メモリ関係レジスタ	13	16.3. カウンタユニット	60
7. システムクロックとクロック任意選択	15	16.4. 比較出力部	61
7.1. クロックシステムとその配給	15	16.5. 沈黙時間生成器	62
7.2. クロック元	16	16.6. 比較一致出力部	63
7.3. 既定のクロック元	16	16.7. 動作種別	64
7.4. 外部クロック信号	16	16.8. タイマ/カウンタのタイミング	69
7.5. 高周波数PLLクロック-PLLCLK	17	16.9. 誤り保護部	70
7.6. 校正付き内蔵RC発振器	17	16.10. 10ビットレジスタのアクセス	71
7.7. 128kHz内部発振器	17	16.11. タイマ/カウンタ1用レジスタ	73
7.8. 低周波数クリスタル用発振器	18	17. 多用途シリアルインターフェース (USI)	82
7.9. クリスタル用発振器	18	17.1. 特徴	82
7.10. システムクロック出力バッファ	19	17.2. 概要	82
7.11. システムクロック前置分周器	19	17.3. 機能説明	83
7.12. クロック関係レジスタ	19	17.4. USIでの代替使用	86
8. 電力管理とスリープ動作	21	17.5. USI用レジスタ	87
8.1. スリープ動作種別	21	18. アナログ比較器	90
8.2. アイドル動作	21	18.1. アナログ比較器入力選択	90
8.3. A/D変換ノイズ低減動作	21	18.2. アナログ比較器用レジスタ	91
8.4. パワーダウン動作	21	19. A/D変換器	93
8.5. スタンバイ動作	21	19.1. 特徴	93
8.6. 電力削減 (電力削減レジスタ)	22	19.2. 概要	93
8.7. 消費電力の最小化	22	19.3. 操作	94
8.8. 電力管理用レジスタ	23	19.4. 変換の開始	94
9. システム制御とレジット	24	19.5. 前置分周と変換タイミング	95
9.1. 内部基準電圧	26	19.6. チャンネル変更と基準電圧選択	96
9.2. ウォッチドッグタイマ	26	19.7. ノイズ低減機能	97
9.3. ウォッチドッグタイマ設定変更の時間制限手順	26	19.8. A/D変換の結果	98
9.4. レジット関係レジスタ	27	19.9. 温度測定	99
10. 割り込み	29	19.10. A/D変換用レジスタ	100
10.1. ATtiny261/461/861の割り込みベクタ	29	20. デバッグWRE内蔵デバッグ機能	104
11. 外部割り込み	30	20.1. 特徴	104
11.1. ピン変化割り込みタイミング	30	20.2. 概要	104
11.2. 外部割り込み用レジスタ	30	20.3. 物理インターフェース	104
12. 入出力ポート	33	20.4. ソフトウェアブレイクポイント	104
12.1. 概要	33	20.5. デバッグWREの制限	104
		20.6. デバッグWRE用レジスタ	104



21. フラッシュの自己プログラミング	105
21.1. 自己プログラミングでのフラッシュアドレス指定	105
21.2. 自己プログラミング用レジスタ	107
22. メモリプログラミング	108
22.1. プログラムメモリとデータメモリ用ロックビット	108
22.2. ヒューズビット	109
22.3. 識票バイト	110
22.4. 校正値バイト	110
22.5. ページ容量	110
22.6. パラレルプログラミング	111
22.7. パラレルプログラミング手順	112
22.8. シリアルプログラミング	117
22.9. シリアルプログラミング手順	117
23. 電気的特性	120
23.1. 絶対最大定格	120
23.2. DC特性	120
23.3. 最高速と動作電圧	121
23.4. クラック特性	121
23.5. システムとリセットの特性	122
23.6. A/D変換器特性 (暫定)	122
23.7. パラレルプログラミング特性	123
23.8. シリアルプログラミング特性	125
24. 代表特性	126
24.1. 標準動作消費電流	126
24.2. アイドル動作消費電流	127
24.3. 周辺機能部供給電流	129
24.4. パワーダウン動作消費電流	129
24.5. ピンプルアップ	130
24.6. ピン駆動能力	131
24.7. ピン閾値とヒステリシス	132
24.8. 低電圧検出器 (BOD 閾値)	134
24.9. 内部発振器周波数	134
24.10. 周辺機能部消費電流	135
24.11. リセット消費電流とリセットパルス幅	137
25. I/Oレジスタ一覧	138
26. 命令一覧	139
27. 注文情報	141
28. 外形情報	142
29. 障害情報	143
30. 更新記録	144





本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Room 1219
Chinachem Golden Plaza
77 Mody Road Tsimhatsui
East Kowloon
Hong Kong
TEL (852) 2721-9778
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033東京都中央区
新川1-24-8
東熱新川ビル9F
アトメルジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chantrerie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2006.

ATMEL製品は、ウェブサイトにあるATMELの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。ATMEL製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はATMELの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2008.

本データシートはATMELのATtiny261/461/86英語版データシート(Rev.2588B-11/06)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力レジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には(内に英語表記や略称などを残す形で表記しています)。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。

