



DS28E04-100

带 PIO 的可编址 1-Wire

4096 位 EEPROM

www.maxim-ic.com.cn

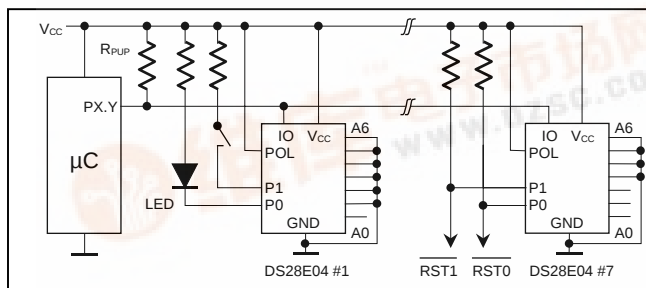
概述

DS28E04-100 是 4096 位 1-Wire® EEPROM 芯片，带有 7 个地址输入端。这些地址直接映射到 1-Wire 器件的 64 位器件 ID 码中，易于主机系统在多个从器件的 1-Wire 网络环境里识别 DS28E04-100 的物理位置，或相关功能。4096 位的 EEPROM 阵列共分为 16 页，每页为 32 个字节，另外 DS28E04-100 还集成有写操作需要的 32 字节暂存器。EEPROM 存储器页可分别进行写保护或置于 EPROM 仿真模式，在 EPROM 仿真模式下各位数据的状态只能由 1 写为 0。除存储器之外，DS28E04-100 还有两个通用 I/O 口，它们可被作为输入口，也可用来产生电平或脉冲输出。状态变化寄存器还能够捕捉端口状态的变化。DS28E04-100 通过一条 1-Wire 总线进行通信，该通信遵循 Dallas Semiconductor 的标准 1-Wire 协议。

应用

- 自动配置的模块化系统如中心局交换机、蜂窝基站、接入产品、光网络单元和 PBX。
- 配件/PCB 识别。

典型工作电路



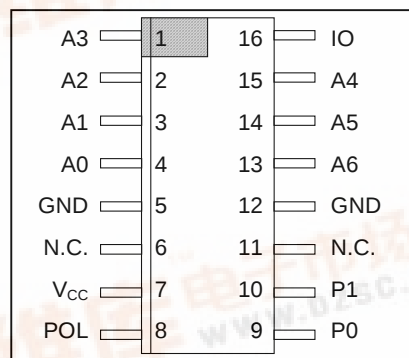
特性

- 4096 位 EEPROM 存储器分为 16 页，每页 256 位。
- 7 个地址输入用于设定物理位置。
- 两个具有脉冲输出能力的通用 PIO 引脚。
- 独立的存储器页面，可以分别进行永久写保护或置于 OTP EPROM 仿真模式(“写入 0”)。
- 通过单条数字信号线即可与主机通信，通信速率为 15.3kbps 或 111kbps (遵循 1-Wire 协议)。
- 寄生电源或 Vcc 供电。
- 可基于 PIO 状态或 PIO 状态变化进行条件搜索。
- 切换点滞回及滤波特性优化了抗噪声性能。
- 读/写操作可在 2.8V 至 5.25V 宽电源电压范围和 -40°C~+85°C 温度范围内进行。
- 16 引脚、150mil SO 封装。

订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS28E04S-100	-40°C to +85°C	16 SO (150 mils)
DS28E04S-100/T&R	-40°C to +85°C	Tape-and-Reel

引脚排列



SO (150mil)

为清晰起见，命令、寄存器及模式均用大写字母表示。
1-Wire 是 Dallas Semiconductor Corp. 的注册商标。



ABSOLUTE MAXIMUM RATINGS

All Pins: Voltage to GND	-0.5V, +6V
All Pins: Sink Current	20mA
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-40°C to +85°C
Soldering Temperature	See IPC/JEDEC J-STD-020A

Stresses beyond those listed under “Absolute Maximum Ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{PUP} = 2.8V$ to $5.25V$, $V_{CC} = V_{PUP}$, floated or grounded, $T_A = -40^\circ C$ to $+85^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Ground Current	I_{GND}	(Notes 1, 2, 3)			20	mA
Supply Current	I_{CC}	$V_{CC} = V_{PUP}$ (Note 3)			1	mA
Standby Supply Current	I_{CCS}	Device idle; A0 to A6 floating			11	μA
PINS A0 TO A6						
Input Low Voltage	V_{ILA}	(Note 1)			0.30	V
Input High Voltage	V_{IHA}	$V_X = \max(V_{PUP}, V_{CC})$ (Note 1)	$V_X - 0.3V$			V
Input Load Current	I_{LA}	Pin at GND (Note 4)	-1.1			μA
POL PIN						
Input Low Voltage	V_{ILPOL}	(Note 1)			0.30	V
Input High Voltage	V_{IHPOL}	$V_X = \max(V_{PUP}, V_{CC})$ (Note 1)	$V_X - 0.3V$			V
Leakage Current	I_{LKPOL}	Pin at 5.25V			1	μA
PIO PINS						
Input Low Voltage	V_{ILP}	(Note 1)			0.30	V
Input High Voltage	V_{IHP}	$V_X = \max(V_{PUP}, V_{CC})$ (Note 1)	$V_X - 0.3V$			V
Output Low Voltage at 4mA	V_{OLP}	(Note 5)			0.4	V
Leakage Current	I_{LKP}	Pin at 5.25V			1	μA
Minimum Sensed PIO Pulse	t_{PWMIN}	(Note 6)	1		10	μs
Output Pulse Duration	t_{PULSE}	(Note 7)	250		1000	ms
IO PIN GENERAL DATA						
1-Wire Pullup Resistance	R_{PUP}	(Notes 1, 8)	0.3		2.2	k Ω
Input Capacitance	C_{IO}	(Notes 3, 9)		100	800	pF
Input Load Current	I_L	IO pin at V_{PUP} , A0 to A6 floating, V_{CC} at GND	0.05		11.00	μA
		IO pin at V_{PUP} , A0 to A6 floating, V_{CC} at V_{PUP}	0.05		8.25	
High-to-Low Switching Threshold	V_{TL}	(Notes 3, 10, 11)	0.46		4.40	V
Input Low Voltage	V_{IL}	(Notes 1, 12)			0.3	V
Input High Voltage	V_{IH}	$V_X = \max(V_{PUP}, V_{CC})$ (Note 1)	$V_X - 0.3V$			V
Low-to-High Switching Threshold	V_{TH}	(Notes 3, 10, 13)	1.0		4.9	V
Switching Hysteresis	V_{HY}	(Notes 3, 10, 14)	0.21		1.70	V
Output Low Voltage	V_{OL}	At 4mA Current Load (Note 5)			0.4	V
Recovery Time (Notes 1, 15)	t_{REC}	Standard speed, $R_{PUP} = 2.2k\Omega$	5			μs
		Overdrive speed, $R_{PUP} = 2.2k\Omega$	2			
		Overdrive speed, directly prior to reset pulse; $R_{PUP} = 2.2k\Omega$	5			
Rising-Edge Hold-Off Time (Note 3)	t_{REH}	Standard speed (Note 16)	0.5		5.0	μs
		Overdrive speed	Not applicable (0)			
Time Slot Duration (Note 1)	t_{SLOT}	Standard speed	65			μs
		Overdrive speed	9			

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IO PIN, 1-Wire RESET, PRESENCE DETECT CYCLE						
Reset Low Time (Note 1)	t _{RSTL}	Standard speed, V _{PUP} > 4.5V	480		640	μs
		Standard speed (Note 17)	504		640	
		Overdrive speed, V _{PUP} > 4.5V	48		80	
		Overdrive speed (Note 17)	53		80	
Presence-Detect High Time	t _{PDH}	Standard speed	15		60	μs
		Overdrive speed (Note 17)	2		7	
Presence-Detect Fall Time (Notes 3, 18)	t _{FPD}	Standard speed, V _{PUP} > 4.5V	1.10		3.75	μs
		Standard speed	1.1		7.0	
		Overdrive speed	0		1.1	
Presence-Detect Low Time	t _{PDL}	Standard speed	60		240	μs
		Overdrive speed, V _{PUP} > 4.5V	8		24	
		Overdrive speed (Note 17)	8		26	
Presence-Detect Sample Time (Note 1)	t _{MSP}	Standard speed, V _{PUP} > 4.5V	64		75	μs
		Standard speed	67		75	
		Overdrive speed	8.1		10	
IO PIN, 1-Wire WRITE						
Write-0 Low Time (Note 1)	t _{W0L}	Standard speed	60		120	μs
		Overdrive speed (Note 17)	7		16	
Write-1 Low Time (Notes 1, 19)	t _{W1L}	Standard speed	5		15 - ε	μs
		Overdrive speed	1		2 - ε	
IO PIN, 1-Wire READ						
Read Low Time (Notes 1, 20)	t _{RL}	Standard speed	5		15 - δ	μs
		Overdrive speed	1		2 - δ	
Read Sample Time (Notes 1, 20)	t _{MSR}	Standard speed	t _{RL} + δ		15	μs
		Overdrive speed	t _{RL} + δ		2	
EEPROM						
Programming Current	I _{PROG}	(Note 21)			1	mA
Programming Time	t _{PROG}	(Note 22)			10	ms
Write/Erase Cycles (Endurance)	N _{CY}	At +25°C	200k			—
		At +85°C (worst case)	50k			
Data Retention	t _{DR}	At +85°C (worst case)	10			years

Note 1: System requirement.

Note 2: Maximum instantaneous pulldown current through all pins combined.

Note 3: Guaranteed by design, simulation only. Not production tested.

Note 4: This load current is caused by the internal weak pullup, which asserts a logical 1 to address pins that are not connected. The logical state of the address pins must not change during the execution of ROM function commands during those time slots in which these bits are relevant.

Note 5: The I-V characteristic is linear for voltages less than 1V.

Note 6: Width of the narrowest pulse that trips the activity latch. Back to back pulses that are active for $< t_{PWMIN}$ (max) and that have an intermediate inactive time $< t_{PWMIN}$ (max) are not guaranteed to be filtered.

Note 7: The Pulse function requires that V_{CC} power is available; otherwise the command will not be executed.

Note 8: Maximum allowable pullup resistance is a function of the number of 1-Wire devices in the system and 1-Wire recovery times. The specified value here applies to systems with only one device and with the minimum 1-Wire recovery times. For more heavily loaded systems, an active pullup such as that found in the DS2482-x00, DS2480B, or DS2490 may be required.

Note 9: Capacitance on the data pin could be 800pF when V_{PUP} is first applied. If a 2.2k Ω resistor is used to pull up the data line, 2.5 μs after V_{PUP} has been applied the parasitic capacitance will not affect normal communications.

Note 10: V_{TL} , V_{TH} , and V_{HY} are a function of the internal supply voltage.

Note 11: Voltage below which, during a falling edge on IO, a logic 0 is detected.

Note 12: The voltage on IO needs to be less than or equal to V_{ILMAX} whenever the master drives the line low.

Note 13: Voltage above which, during a rising edge on IO, a logic 1 is detected.

Note 14: After V_{TH} is crossed during a rising edge on IO, the voltage on IO has to drop by at least V_{HY} to be detected as logic '0'.

Note 15: Applies to a single DS28E04-100 without V_{CC} supply, attached to a 1-Wire line.

Note 16: The earliest recognition of a negative edge is possible at t_{REH} after V_{TH} has been previously reached.

Note 17: Highlighted numbers are NOT in compliance with legacy 1-Wire product standards. See comparison table.

Note 18: Interval during the negative edge on IO at the beginning of a Presence Detect pulse between the time at which the voltage is 80% of V_{PUP} and the time at which the voltage is 20% of V_{PUP} .

Note 19: ϵ represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to V_{TH} .

Note 20: δ represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to the input high threshold of the bus master.

Note 21: Current drawn during the EEPROM programming interval. If the device does not get V_{CC} power, the pullup circuit on IO during the programming interval should be such that the voltage at IO is greater than or equal to $V_{PUP(min)}$. If V_{PUP} in the system is close to $V_{PUP(min)}$ then a low-impedance bypass of R_{PUP} that can be activated during programming may need to be added.

Note 22: The t_{PROG} interval begins t_{REHmax} after the trailing rising edge on IO for the last time slot of the E/S byte for a valid Copy Scratchpad sequence. Interval ends once the device's self-timed EEPROM programming cycle is complete and the current drawn by the device has returned from I_{PROG} to I_L or I_{CCS} , respectively.

PARAMETER	LEGACY VALUES				DS28E04-100 VALUES			
	STANDARD SPEED		OVERDRIVE SPEED		STANDARD SPEED		OVERDRIVE SPEED	
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX
t_{SLOT} (incl. t_{REC})	61 μ s	(undef)	7 μ s	(undef)	65 μ s ¹⁾	(undef)	9 μ s	(undef)
t_{RSTL}	480 μ s	(undef)	48 μ s	80 μ s	504 μ s	640 μ s	53 μ s	80 μ s
t_{PDH}	15 μ s	60 μ s	2 μ s	6 μ s	15 μ s	60 μ s	2 μ s	7 μ s
t_{PDL}	60 μ s	240 μ s	8 μ s	24 μ s	60 μ s	240 μ s	8 μ s	26 μ s
t_{WOL}	60 μ s	120 μ s	6 μ s	16 μ s	60 μ s	120 μ s	7 μ s	16 μ s

¹⁾ Intentional change, longer recovery time requirement due to modified 1-Wire front end.

引脚描述

引脚号	引脚名称	功能
1	A3	地址位输入 (地址值 = 8), 带弱上拉。
2	A2	地址位输入 (地址值 = 4), 带弱上拉。
3	A1	地址位输入 (地址值 = 2), 带弱上拉。
4	A0	地址位输入的最低有效位 (位值 = 1), 带弱上拉。
5, 12	GND	参考地。
6, 11	N.C.	空脚。
7	V_{CC}	芯片可选电源端, 不用时浮空或接地。
8	POL	P0 和 P1 上电时的极性(逻辑状态): 带弱下拉。
9	P0	远端控制 I/O 脚, 漏极开路, 带弱下拉。
10	P1	远端控制 I/O 脚, 漏极开路, 带弱下拉。
13	A6	地址位输入 (地址值 = 64), 带弱上拉。
14	A5	地址位输入 (地址值 = 32), 带弱上拉。
15	A4	地址位输入 (地址值 = 16), 带弱上拉。
16	IO	1-Wire 总线接口。漏极开路, 需外接上拉电阻。

详细描述

DS28E04-100 内含 4096 位 EEPROM、16 字节的控制页、两个通用 PIO 引脚、7 个外部地址引脚以及功能完善的 1-Wire 接口。PIO 输出为漏极开路, 最大导通阻抗为 100 Ω 。PIO 使用的通道访问通信协议考虑周到, 可确保 PIO 输出设置变化时不会出现错误。此外, DS28E04-100 还有一个被称做暂存器的存储区, 当向主存储器或控制页写入数据时起到缓冲器的作用。主机首先将数据写入暂存器, 然后再从暂存器中回读, 最后通过复制暂存器命令把数据转存到最终存储单元。每片 DS28E04-100 都有一个 64 位长的器件 ID 号, 用户可通过地址引脚来定义该 ID 号中 7 位的值, 其余 57 位是在出厂前光刻在芯片中的。器件 ID 号是该器件的唯一标识, 在一根公用总线上挂接了多个从器件的多点式 1-Wire 网络中, 主机可利用该 ID 号对从器件进行准确无误的识别, 并且各个从器件可独立工作, 彼此不受影响。DS28E04-100 还支持基于 PIO 状态或上电复位的 1-Wire 条件搜索。DS28E04-100 有一个可选的 V_{CC} 电源端, 当不采用外部电源为器件供电时, 芯片可从 1-Wire 总线上的寄生电源中获得电能。当采用外部电源时, PIO 的状态不会因为加载了外接电源而变化, 维持不变。DS28E04-100 应用包括自动配置和状态监测的模块化系统, 如中心局交换机、蜂窝基站、接入产品、光网络单元、PBX 及配件和 PC 板识别。

总述

DS28E04-100 内部主控制器与存储器的关系框图如图 1 所示。DS28E04-100 内部包括五个主要数据部件：1) 64 位器件 ID 码，2) 32 字节暂存器，3) 16 个 32 字节的 EEPROM 存储器页，4) 特殊功能寄存器，5) PIO 控制寄存器。1-Wire 协议的层次结构如图 2 所示。主机必须首先发出如下八条 ROM 功能命令中的一条：1) Read ROM，2) Match ROM，3) Search ROM，4) Conditional Search ROM，5) Skip ROM，6) Resume，7) Overdrive-Skip ROM，8) Overdrive-Match ROM。如果在标准速率下执行了 Overdrive ROM 命令，则器件将进入高速模式，且此后的所有通信都将以高速模式进行。其 ROM 功能命令所需遵循的协议见图 14。成功执行完一条 ROM 功能命令后，主机就可通过九条存储/控制功能命令中的任一条对存储器进行访问了。存储和控制功能命令所需遵循的协议见图 9。所有数据的读写操作均是低位在前。

图 1. 内部框图

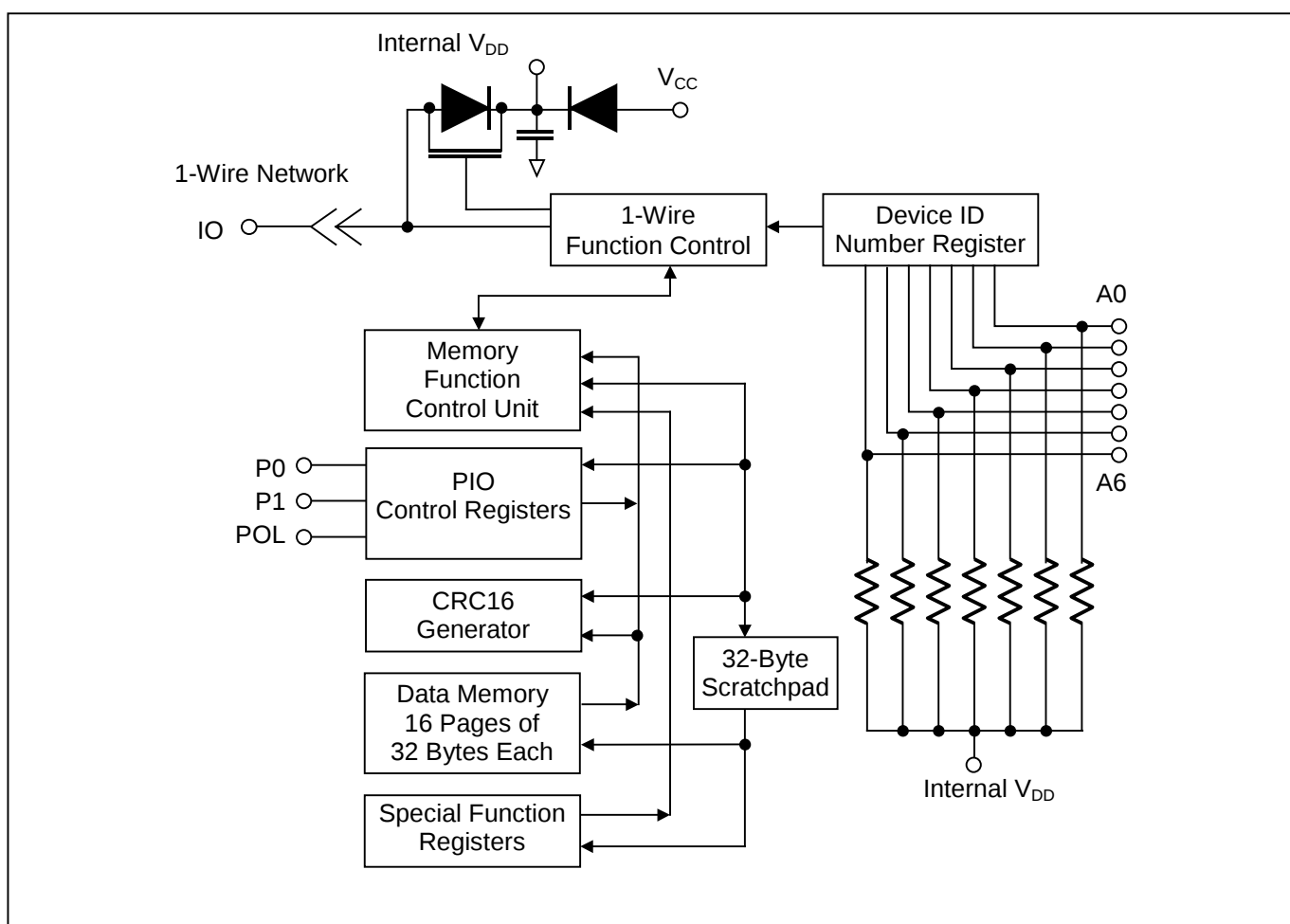
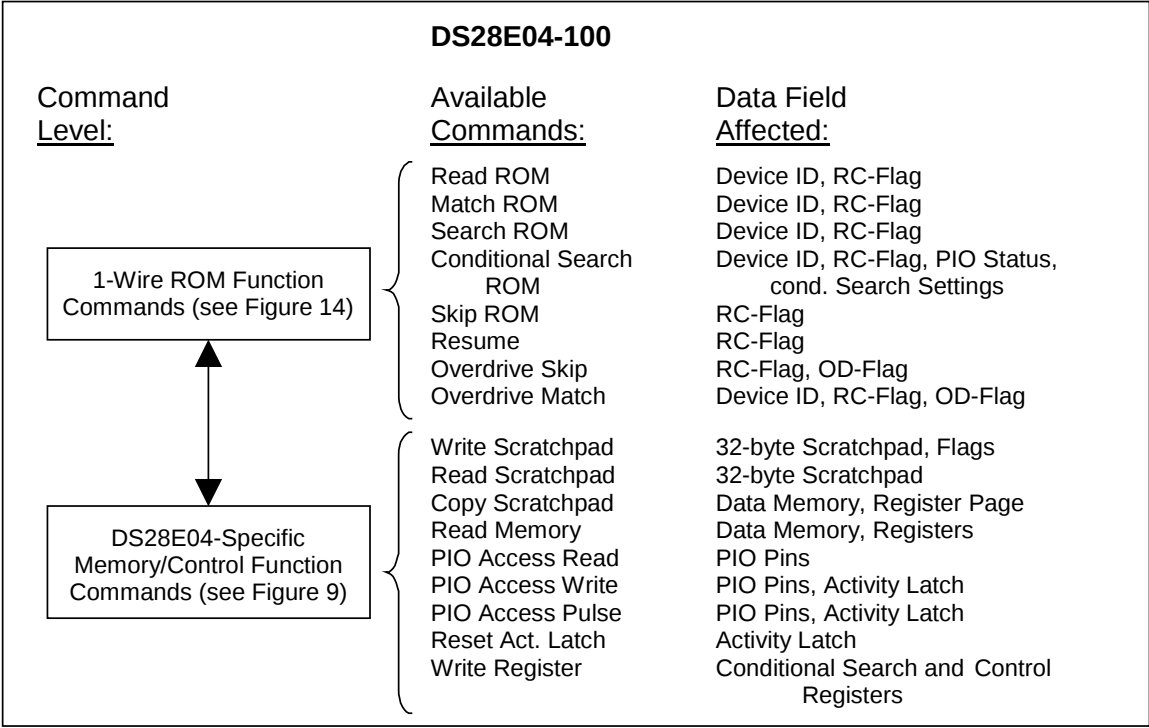


图 2. 1-Wire 协议的层次结构



64 位器件 ID 码(网络地址)

每片DS28E04-100 都有一个唯一的 64 位器件ID码，如图 3 所示。其中前 8 位是 1-Wire家族码，接下来 8 位是外部地址字节，该字节的低 7 位与地址输入脚A0~A6 相连。这样一来，用户就可通过将这 7 个输入脚中的某几位连接到 GND（逻辑 0）或V_{CC}（逻辑 1）或悬空（逻辑 1）的方法来设置部分器件ID码。接下来 40 位是光刻序列码。即便一个 1-Wire 网络中有多个DS28E04-100，并且这些DS28E04-100 的所有地址输入端逻辑状态都相同，或者都悬空（不连接），主机也可通过每个器件的唯一 40 位序列码与器件进行通信，而不会出现地址冲突。最后 8 位是前 56 位的光刻CRC（循环冗余）码，是在假设地址输入端A0~A6 均为逻辑 1 的情况下计算出来的。1-Wire器件的CRC是通过由移位寄存器和异或门（XOR）组成的多项式生成器产生的，见图 4，这个多项式为： $X^8 + X^5 + X^4 + 1$ 。有关器件ID CRC的更多信息可参见文末的CRC码的生成 部分。

图 3. 64 位器件 ID 码

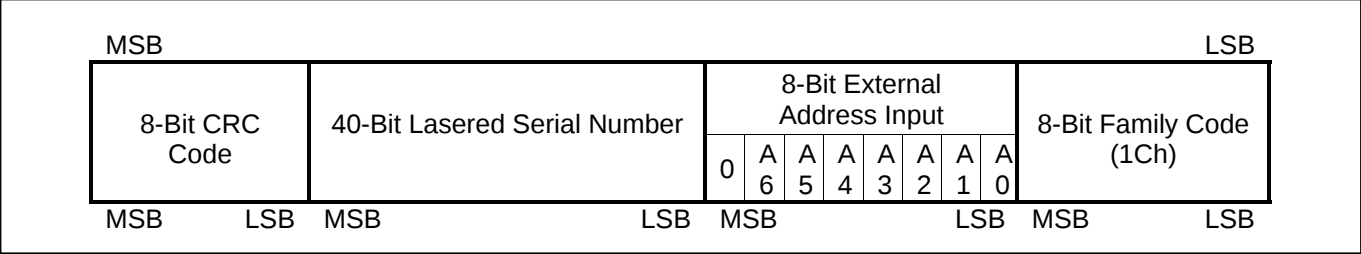
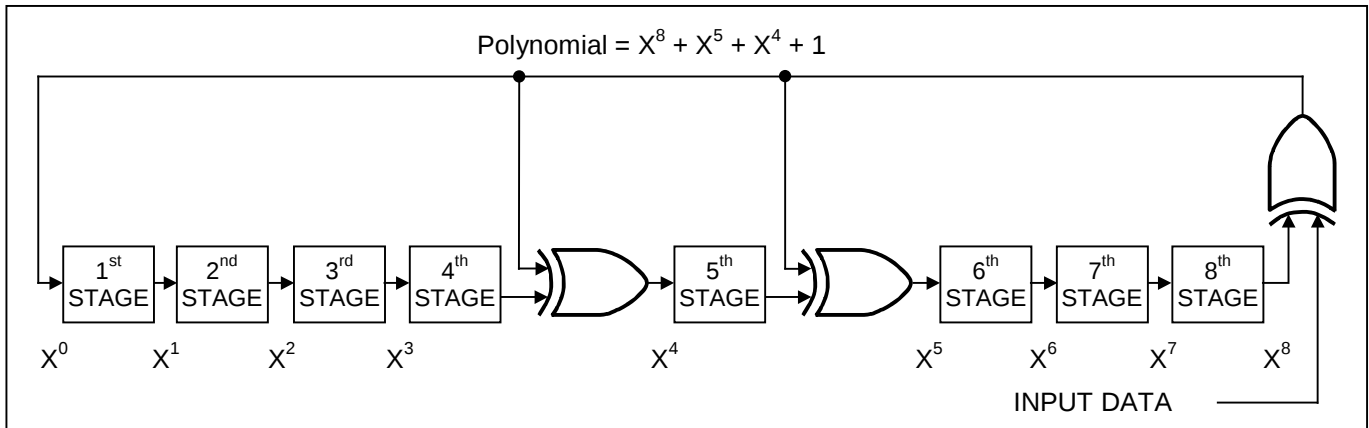


图 4. 1-Wire CRC 生成器



存储器

DS28E04-100 的 EEPROM 阵列包括 17 页，每页 32 字节，从地址 0000h 起至地址 021Fh 结束。所有这一地址范围内的存储器都可被自由读取。数据存储器共 16 页，每页 32 字节。寄存器页从地址 0200h 开始，共 32 字节。该寄存器页中包含 16 个页保护控制字节(每个数据存储器页一个)、一个寄存器锁定字节、一个工厂预置字节以及预留字节。预留字节是留做将来使用的，对器件工作没有影响。

保护控制寄存器和寄存器页锁定字节可用来确定器件是处于写保护模式还是 EPROM 模式，还可用来确定每一个数据存储器页是否处于复制保护状态。保护控制寄存器的值为 55h 时表示相关存储器页处于写保护状态，该寄存器的值为 AAh 时表示处于 EPROM 模式。寄存器页锁字节的值为 55h 或 AAh 时，表明所有被设置为写保护状态的数据存储器页及寄存器页都不能被复制，而处于 EPROM 模式的页则不会受影响。当保护控制寄存器和寄存器页锁字节的值为 55h 或 AAh 时，它们自己也受写保护，而为其它值时则可自由地对其进行写操作。

除 EEPROM 之外，该器件还有一个 32 字节的易失性暂存器。向 EEPROM 阵列写数据的过程可分为两步。首先用 Write Scratchpad 命令将数据写入暂存器，然后再用 Copy Scratchpad 命令将数据复制到主存储器阵列。在将数据复制到主存储器阵列之前，用户可通过 Read Scratchpad 命令验证其正确性。

如果某个存储单元处于写保护状态，则不会将主机通过 Write Scratchpad 命令发往该地址的数据存入暂存器，而是将位于目标地址 EEPROM 中的数据存入暂存器。如果某个存储单元处于 EPROM 模式，那么暂存器中所存储的是主机所发送数据及目标地址 EEPROM 中数据的逻辑“与”。对于处于写保护或 EPROM 模式的存储单元，允许使用 Copy Scratchpad 命令。将允许被写保护的数据在器件内部进行刷新（即用当前数据再编程）。

如果某个存储单元处于复制保护状态，则针对该存储单元的 Copy Scratchpad 命令将不起作用，由成功字节 FFh 指示。复制保护被用于更高的安全级别，只有当全部写保护页和与之相关的保护控制字节被设为最终值以后才能使用该功能。复制保护不能用来阻止数据在器件之间复制，它只能中断执行针对目标地址为写保护存储器页的 Copy Scratchpad 命令。

图 5. 存储器地址分配

地址 0000h~021Fh 是非易失性的，地址 0220h~0225h 是易失性的。

ADDRESS RANGE	TYPE	DESCRIPTION	PROTECTION CODES (NOTES)
0000h to 001Fh	R/(W)	Data Memory Page 0	(Protection controlled by address 0200h)
0020h to 003Fh	R/(W)	Data Memory Page 1	(Protection controlled by address 0201h)
0040h to 005Fh	R/(W)	Data Memory Page 2	(Protection controlled by address 0202h)
0060h to 007Fh	R/(W)	Data Memory Page 3	(Protection controlled by address 0203h)
0080h to 009Fh	R/(W)	Data Memory Page 4	(Protection controlled by address 0204h)
00A0h to 00BFh	R/(W)	Data Memory Page 5	(Protection controlled by address 0205h)
00C0h to 00DFh	R/(W)	Data Memory Page 6	(Protection controlled by address 0206h)
00E0h to 00FFh	R/(W)	Data Memory Page 7	(Protection controlled by address 0207h)
0100h to 011Fh	R/(W)	Data Memory Page 8	(Protection controlled by address 0208h)
0120h to 013Fh	R/(W)	Data Memory Page 9	(Protection controlled by address 0209h)
0140h to 015Fh	R/(W)	Data Memory Page 10	(Protection controlled by address 020Ah)
0160h to 017Fh	R/(W)	Data Memory Page 11	(Protection controlled by address 020Bh)
0180h to 019Fh	R/(W)	Data Memory Page 12	(Protection controlled by address 020Ch)
01A0h to 01BFh	R/(W)	Data Memory Page 13	(Protection controlled by address 020Dh)
01C0h to 01DFh	R/(W)	Data Memory Page 14	(Protection controlled by address 020Eh)
01E0h to 01FFh	R/(W)	Data Memory Page 15	(Protection controlled by address 020Fh)
0200h ¹⁾ to 020Fh ¹⁾	R/(W)	Protection Control Pages 0 to 15	55h: Write Protected; AAh: EPROM mode. Address 0200h is associated with memory page 0, address 0201h with page 1, etc.
0210h ¹⁾	R/(W)	Register Page Lock	(See text)
0211h	R	Factory Byte	(Reads 55h or AAh)
0212h to 021Dh	N/A	Reserved	
021Eh to 021Fh	R	Factory Bytes	(Undefined value)
220h	R	PIO Logic State	(The lower two bits are valid)
221h	R	PIO Output Latch State	(The lower two bits are valid)
222h	R	PIO Activity Latch State	(The lower two bits are valid)
223h	R/W ²⁾	Conditional Search PIO Selection Mask	
224h	R/W ²⁾	Conditional Search Polarity Selection	
225h	R/W ²⁾	Conditional Search Control and Status Register	

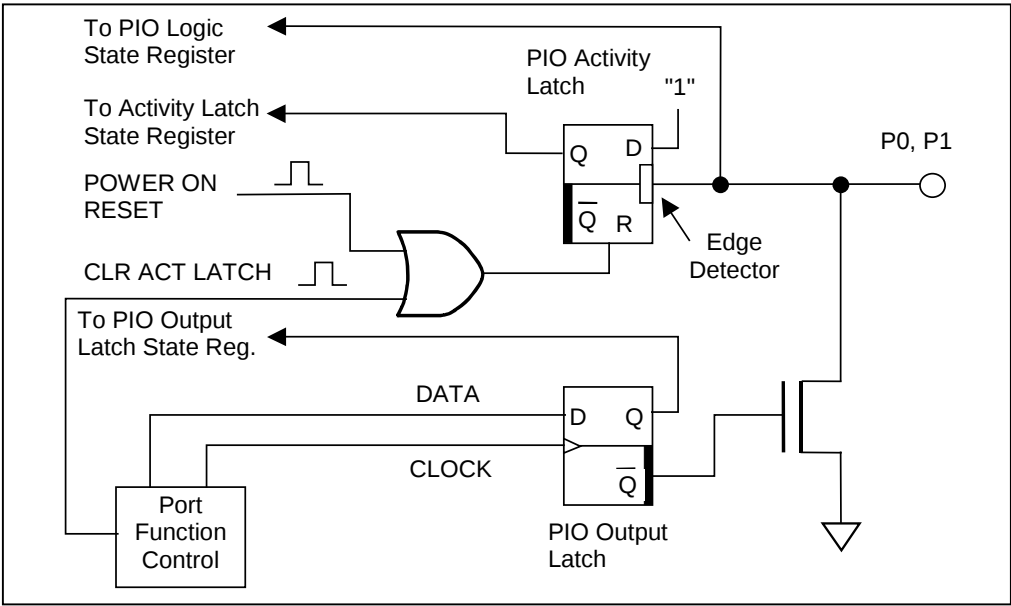
¹⁾一旦被设置为AAh 或 55h，该地址将变为只读。如果设置为其它数值，则既不能对该地址起到写保护作用，也不激活任何功能。

²⁾通过Write Register命令限制写操作。

与 PIO 相关的寄存器

PIO 通道的简化逻辑图如图 6 所示。与 PIO 引脚有关的寄存器位于地址 0220h~0225h，这些寄存器都是易失性的，也就是说，当器件掉电时，它们中的数据会丢失。与数据存储一样，所有与 PIO 相关的寄存器都是可读的。使用特定命令可以控制各 PIO 的输入(读)、输出(写)，脉冲生成及复位状态变化锁存器。

图 6. PIO 简化逻辑框图



PIO 逻辑状态寄存器

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
0220h	1	1	1	1	1	1	P1	P0

该寄存器是只读的，用 Read Memory 命令读取它可以获知各 PIO 引脚的逻辑状态。寄存器中的各位分别对应 PIO 通道的相应引脚。位 2~位 7 没有定义功能，它们的值始终为 1。该寄存器数据反映在上个字节最高位采样到的 PIO 状态。详见 PIO Access Read 命令部分的描述。

PIO 输出锁存状态寄存器

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
0221h	1	1	1	1	1	1	PL1	PL0

该寄存器中的数据是通过 PIO Access Write 命令向 PIO 写入的最新数据。该寄存器可以通过 Read Memory 命令进行读取。即使器件在受到 ESD 冲击之后自动初始化，该寄存器的值也不会受到影响。寄存器中的各位分别对应 PIO 通道的输出锁存。位 2~位 7 没有定义功能，它们的值始终为 1。该寄存器的触发器在上电时的极性取决于 POL 引脚的状态。如果要求芯片上电时所有 PIO 通道处于关闭状态，则 POL 引脚需置为逻辑“1”。

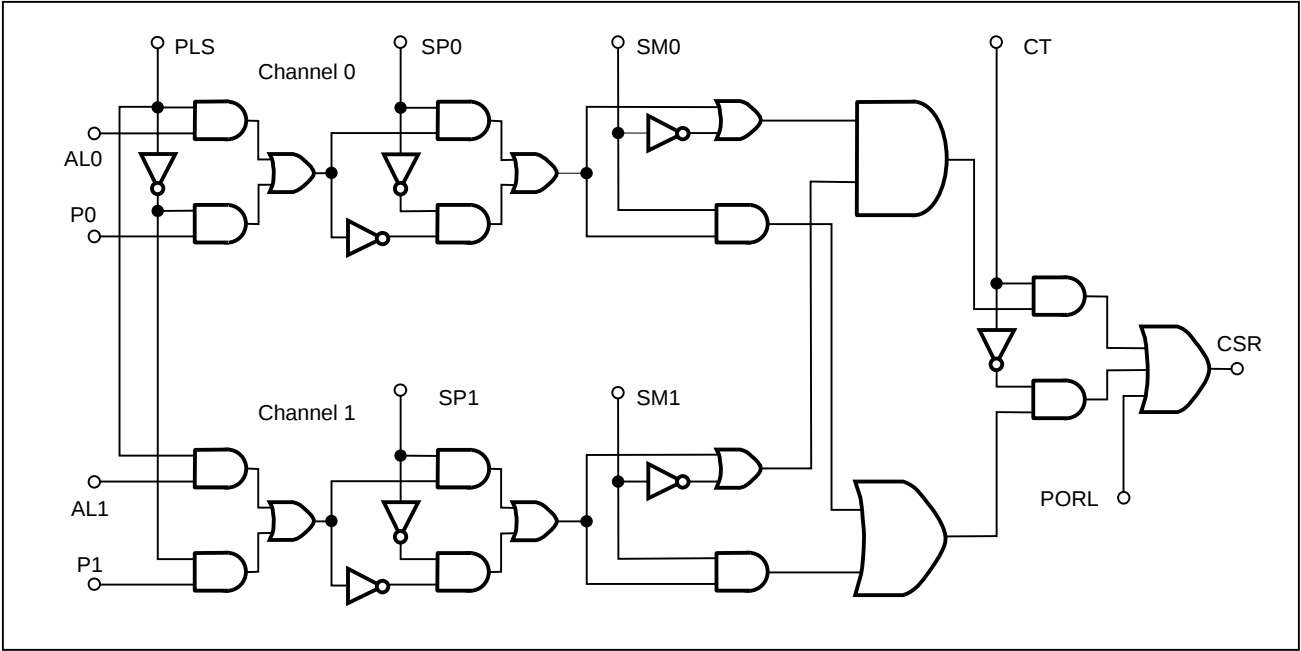
PIO 状态变化锁存器

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
0222h	0	0	0	0	0	0	AL1	AL0

该寄存器中的数据是PIO 状态变化锁存器的当前状态。该寄存器为只读，通过Read Memory命令进行读取。寄存器中的各位分别对应PIO通道的状态变化锁存器。位 2~位 7 没有定义功能，它们的值始终为 0。如果PIO 引脚状态由高变低或由低变高的持续时间大于 t_{PWMIN} ，那么寄存器的相关位就会被置 1。器件上电复位或成功执行Reset Activity Latches命令后该寄存器被清为 00h。

下文所述的三个寄存器用来控制器件参与Conditional Search ROM序列。图7给出了确定器件是否对条件搜索作出响应时各种信号的相互作用。其中包括选择屏蔽信号SM（用来选择参与条件搜索的PIO）、极性选择信号SP（用来规定状态为0 的通道还是状态为1 的通道来响应条件搜索）以及PLS位（用来选择将状态变化锁存器或PIO引脚做为输入）。全部通道信号都被送入与门和或门。CT位用来决定是采用两个通道的“与”运算还是采用“或”运算的结果来作为条件搜寻响应信号CSR。若CT为0，那么至少应有一条所选通道的信号符合指定的极性。若CT为1，那么所有通道信号均应符合指定的极性。

图 7. 条件搜索逻辑



条件搜索通道选择屏蔽寄存器

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
0223h	0	0	0	0	0	0	SM1	SM0

该寄存器中的数据用来控制某条 PIO 通道是否有资格参与条件搜索命令。为使某条 PIO 通道能够参与条件搜索命令，寄存器中与该通道对应的位需被置为 1。该寄存器可读写，只有通过 Write Register 命令才能对其进行写操作。PIO 通道与位的对应关系如图 7 所示，位 2~位 7 没有定义功能，它们的值始终为 0 且不能被写为 1。上电复位时该寄存器被清为 00h。

条件搜索极性选择寄存器

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
0224h	0	0	0	0	0	0	SP1	SP0

该寄存器中的数据用来指定每个所选 PIO 通道的极性，以使器件对条件搜索命令作出响应。只有通过 Write Register 命令才能向该寄存器写数据。对于某个 PIO 通道来说，数据源可以来自通道的输入引脚或通道的状态变化锁存器，具体情况由位于地址 0225h 处的控制/状态寄存器的 PLS 位来定义。该寄存器可读写。PIO 通道与位的对应关系如图 7 所示。位 2~位 7 没有定义功能，它们的值始终为 0 且不能被写为 1。上电复位时该寄存器被清为 00h。

控制/状态寄存器

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
0225h	VCCP	POL	0	0	PORL	0	CT	PLS

该寄存器中的数据用来报告状态信息，并可针对条件搜索对器件做更进一步的设置。该寄存器可读写，只有通过 Write Register 命令才能对其进行写操作。上电时 PORL 位为“1”，CT 和 PLS 位为“0”。各位的功能分配见下表。位 2、4、5 没有定义功能，它们的值始终为 0 且不能被写为 1。

控制/状态寄存器详述

位名称	BIT(S)	说明
PLS: 引脚和活动寄存器选择位	b0	用来选择是用 PIO 引脚还是用 PIO 动作锁存器的值来进行条件搜索。 0: 选用引脚(默认值) 1: 选用动作锁存器
CT: 条件搜索逻辑运算选择位	b1	用来选择是将两通道中的数据进行“或”运算还是进行“与”运算， 以使其具有参与搜索的资格并对条件搜索命令做出响应。如果通道选择屏蔽寄存器(0223h)中只选择了一个通道，则 CT 位可为任意值。 0: 按位“或”（默认值） 1: 按位“与”
PORL: 上电复位锁存位	b3	辨别器件是否执行过上电复位。只有向控制/状态寄存器中写数据才能将该位清零。该位为 1 时，器件将始终响应 Conditional Search ROM 命令。
POL: PIO 默认输出极性(只读)	b6	表示 POL 引脚的状态。POL 引脚状态决定了 PIO 引脚 P0 和 P1 上电时为高电平还是低电平。PIO 引脚上产生的脉冲的极性与该引脚上电时的逻辑状态相反。 0: 0 上电时 PIO 引脚为 0 1: 上电时 PIO 引脚为 1
VCCP: V _{CC} 电源状态 (只读)	b7	当采用 V _{CC} 为芯片供电时，V _{CC} 引脚需相连至电源电压 V _{PUP} 0: 未连接 V _{CC} 电源 1: V _{CC} 电源工作

地址寄存器和传输状态

DS28E04-100用到了三个地址寄存器：TA1、TA2和E/S (见图8)。寄存器TA1和TA2用于保存数据写入和读出的存储器目标地址。E/S寄存器是只读的传输状态寄存器，用来验证写命令的数据完整性。E/S寄存器的低5位是32位暂存器的最终偏移地址。E/S寄存器的第5位称为PF位，如果主机发送的数据位不是8的整数倍或由于掉电而造成暂存器中的数据无效时，该位将被置为1。E/S寄存器的第6位没有定义功能，它的值始终为0。注意：目标地址的最低5位也用来确定进行中间数据存储的暂存器地址，该地址被称为字节偏移地址。例如：如果Write命令的目标地址(TA1)为03CH，那么暂存器将从1CH的字节偏移地址开始存储数据，并且仅存入4个字节后就被装满。该例中对应的结束偏移为1FH。为了实现最大的数据带宽，写命令的目标地址要指向每一页面的起始地址，也就是字节偏移应为0，这样32字节的暂存器就可以得到全部利用，此时相应的结束偏移为1FH。无论如何，允许在页内写入一个字节或多个相邻字节。在发出Write命令之后，主机可利用结束偏移和半字节标志位来检测数据的完整性。E/S寄存器的最高位AA仅当PF标志为0时才有效。如果PF为0、且AA为1，则表明复制成功。向暂存器中写数据时将把AA标志位清零。

图 8. 地址寄存器

Bit #	7	6	5	4	3	2	1	0
Target Address (TA1)	T7	T6	T5	T4	T3	T2	T1	T0
Target Address (TA2)	T15	T14	T13	T12	T11	T10	T9	T8
Ending Address with Data Status (E/S) (Read Only)	AA	0	PF	E4	E3	E2	E1	E0

带验证的写操作

向 DS28E04-100 的 EEPROM 写入数据时，必须用暂存器作为中间存储器。首先，主机发送 Write Scratchpad 命令指定存储器目标地址，然后发送要写入暂存器中的数据。在某些情况下（参见 Write Scratchpad 命令），主机将在 Write Scratchpad 命令序列之后接收由命令、地址（发送的实际地址）和数据（主机发出的数据）生成的 CRC16 反码。主机在获得 CRC 码后，与自身计算出的 CRC 码相比较，以判断通信是否成功以及是否可以执行 Copy Scratchpad 命令。如果主机不接收 CRC16，则应该使用 Read Scratchpad 命令来验证数据的完整性。在回送暂存器数据前，DS28E04-100 发送目标地址 TA1、TA2 以及 E/S 寄存器的值。如果 PF 标志位置位，说明数据未能正确送达暂存器，或者上一次写暂存器后发生过断电。这样主机不必继续读取数据，可以重新开始向暂存器中写数据。类似地，如 AA 标志位置位、PF 标志位清零，则说明器件未能认可命令。如果一切正常，这两个标志位均被清零，此时的结束偏移地址就是写入暂存器的最后一个字节地址。之后，主机即可继续读取和验证每个数据字节了。主机完成数据校验后，就可发送 Copy Scratchpad 命令。在这个命令之后，必须紧跟着三个地址寄存器 TA1、TA2 和 E/S 中的数据。主机通过读暂存器可以获知这些寄存器中的内容。

存储/控制功能命令

存储/控制功能流程图 (图9) 描述了访问DS28E04-100存储器和PIO引脚所需的协议。如何使用这些功能的实例请参见本文末尾。主机与DS28E04-100间通信可采用标准速率 (默认值, OD = 0) 也可用高速模式(OD = 1)。如没有明确设置成高速模式, DS28E04-100默认以标准速率通信。

Write Scratchpad 命令 [0Fh]

Write Scratchpad 命令应用于数据存储器和寄存器页中的可写地址。主机发送完 Write Scratchpad 命令后, 必须马上紧跟着发送一个 2 字节的目标地址, 然后是要写入暂存器的数据, 写入暂存器的数据起始地址为字节偏移地址 (T4:T0)。主机停止写数据时的结束偏移 (E4:E0) 就是字节偏移地址。仅接受完整数据字节, 如果最后一个数据字节不完整, 则该数据将被忽略不计, 同时半字节标志 PF 位将被置位。

执行 Write Scratchpad 命令时, DS28E04-100 内部的 CRC 发生器将 (图 18) 计算整个数据流对应的 CRC 码, 这个数据流始于命令代码, 终止于主机发送的最后一个数据字节。采用 CRC16 多项式, 生成这个 CRC 码的过程如下: 首先清空 CRC 发生器, 然后依次移入 Write Scratchpad 命令代码 (0Fh)、主机提供的目标地址 (TA1 和 TA2) 以及所有的数据字节。主机可随时终止 Write Scratchpad 命令。但是, 如果写入数据到达暂存器的上限 (E4:E0 = 11111b) 则主机发送 16 个读时隙并接收 DS28E04-100 生成的 CRC 码。

如果试图对加写保护的存储区执行 Write Scratchpad 命令, 则暂存器将加载存储器中原有的数据, 而不是主机发送的数据。同样, 如果目标地址页为 EPROM 模式, 暂存器中会加载主机发送数据以及存储器中原有数据的按位逻辑“与”。

Read Scratchpad 命令 [AAh]

Read Scratchpad 命令用来验证目标地址和暂存器数据。主机发出 Read Scratchpad 命令后开始读取数据。先读取两字节的目标地址, 再读取结束偏移地址/数据状态字节 (E/S), 接着是暂存器数据, 这些数据可能与主机发送的原始数据有所不同。当目标地址位于寄存器页或位于写保护或 EPROM 模式页时, 这一点尤其重要。详见 Write Scratchpad 命令说明。主机必须先读完 E4:E0-T4:T0+1 个字节, 然后就可以收到 CRC16 的反码, 该 CRC 码根据 DS28E04-100 所发送的数据产生。如果主机在接收到 CRC 后继续读取数据, 得到的所有数据均为逻辑 1。

Copy Scratchpad [55h]

该命令用于将暂存器中的数据复制到数据存储器和可写的寄存器页。主机发出 Copy Scratchpad 命令后, 必须提供一个 3 字节的授权模式。该授权模式应通过紧邻此条命令的前一个 Read Scratchpad 命令获得, 并且必须与三个地址寄存器 (依次为 TA1, TA2, E/S) 中的数据正确匹配。如果授权代码匹配, 目标地址有效, PF 标志未被置位, 目标存储器没加复制保护, AA (授权认可) 标志位被置位, 才能开始执行复制操作。要复制的数据由三个地址寄存器决定, 从起始偏移位置开始到终止偏移位置的暂存器数据将被复制到目标存储器中。通过该命令可以复制 1 至 32 个字节数据。器件的内部数据复制最多耗时 10ms, 且此期间 1-Wire 总线电压不能低于 2.8V。等待 10ms 后, 主机发出读时隙以接收 AAh 确认字节, 直到主机发出复位脉冲时为止。若 PF 标志位置位或目标寄存器处于写保护状态, 则不进行复制, AA 标志位不会被置位。

图 9-1. 存储/控制功能流程图

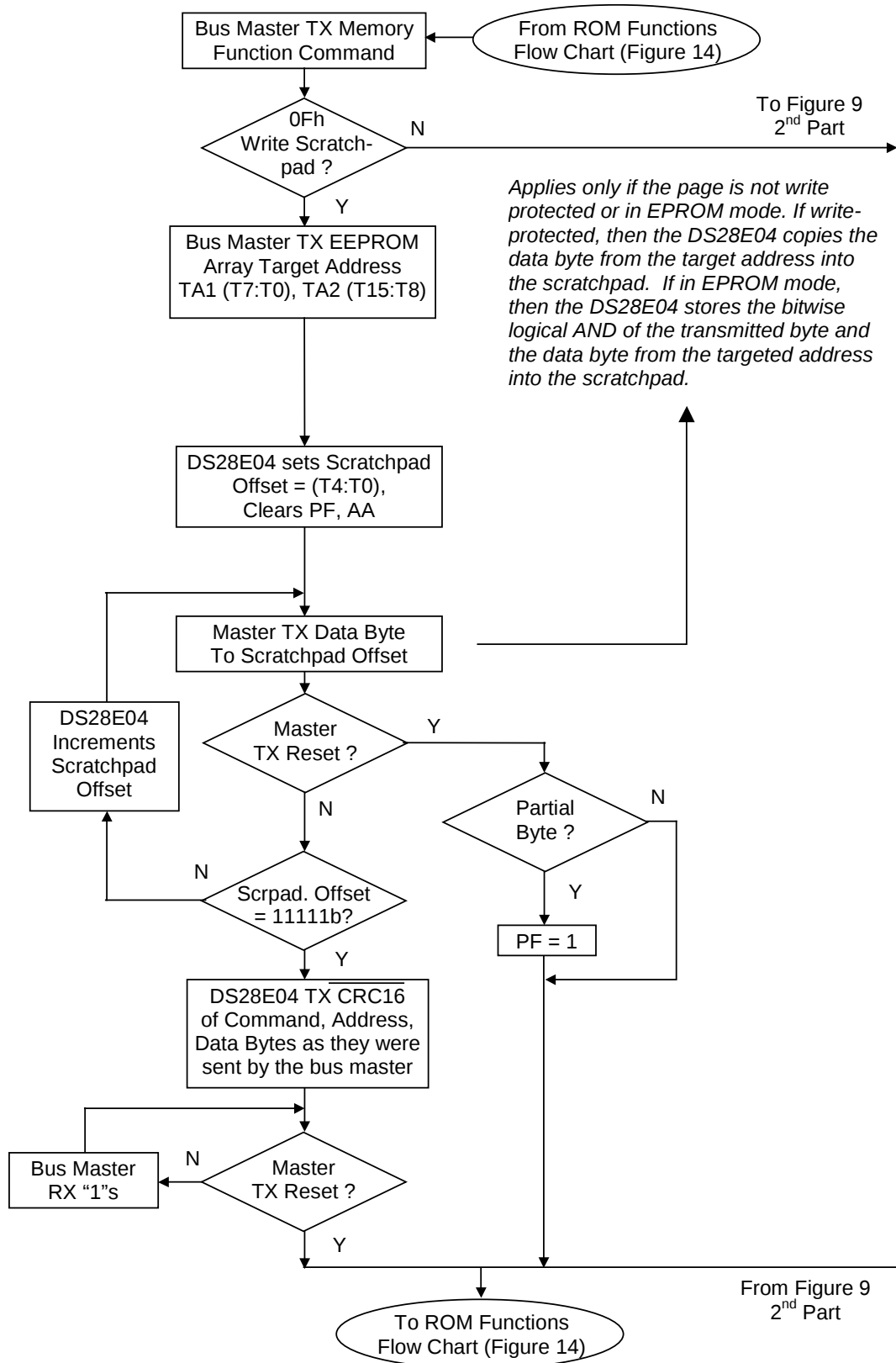


图 9-2. 存储/控制功能流程图 (续)

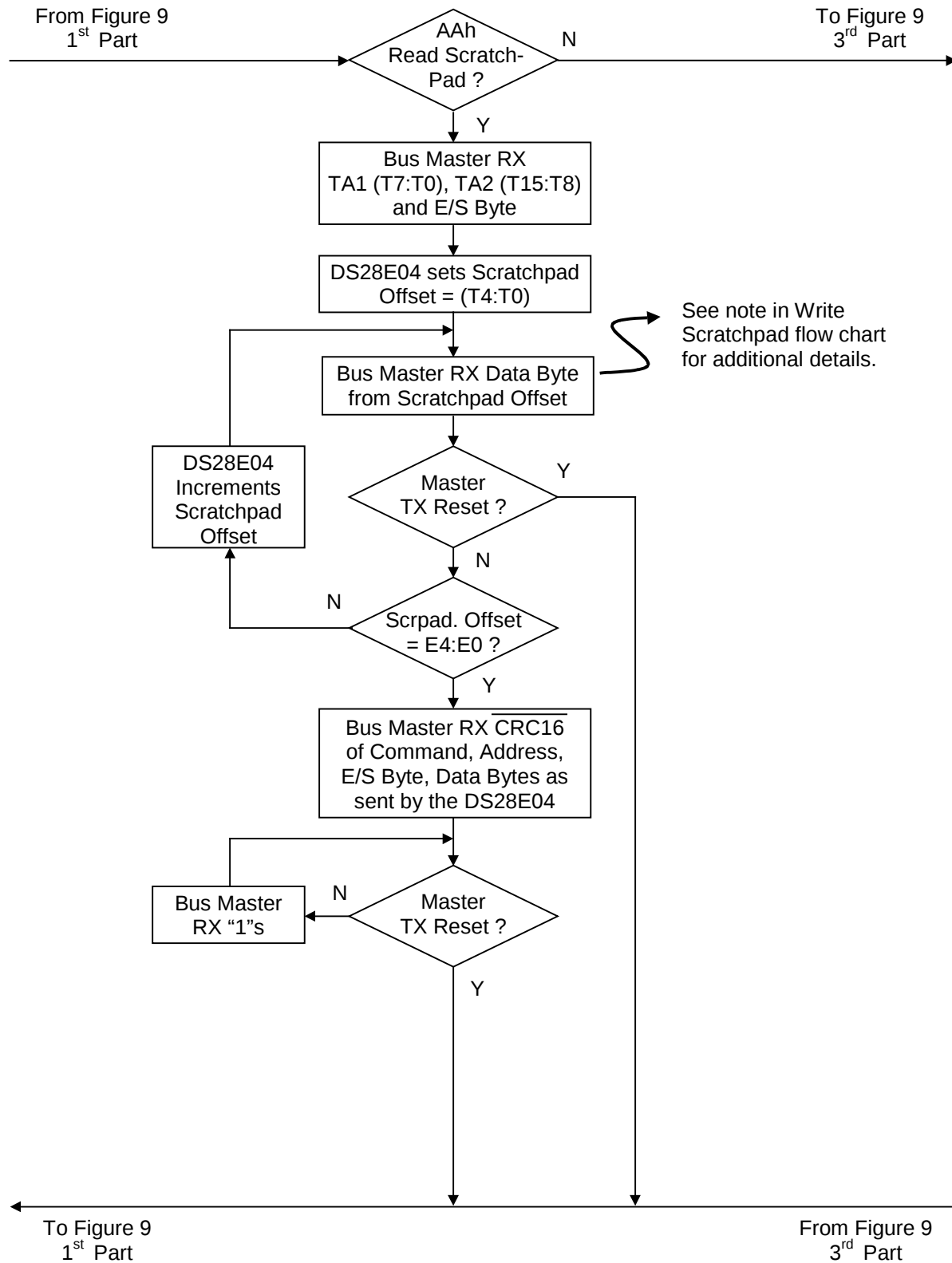


图 9-3. 存储/控制功能流程图(续)

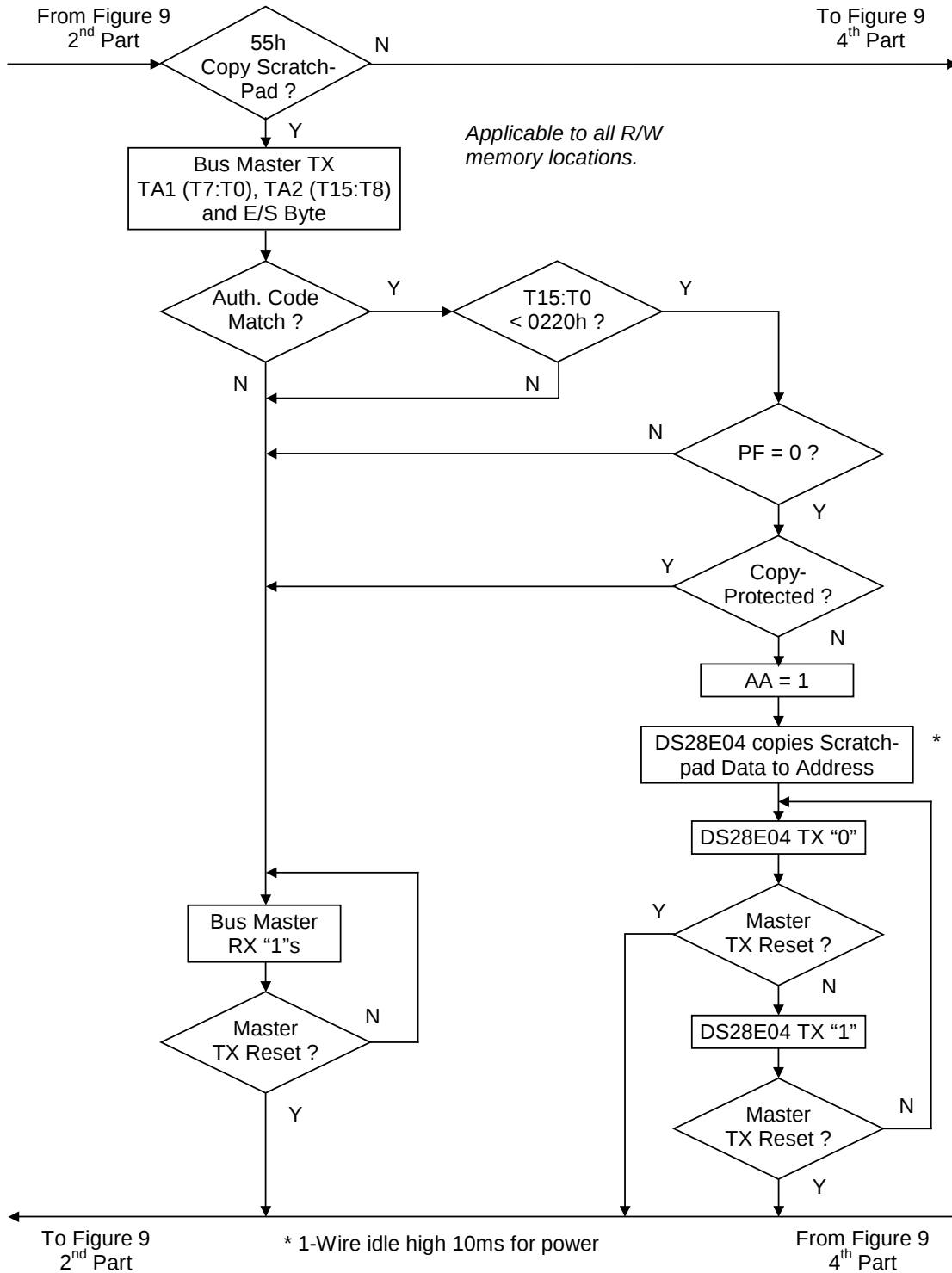


图 9-4. 存储/控制功能流程图(续)

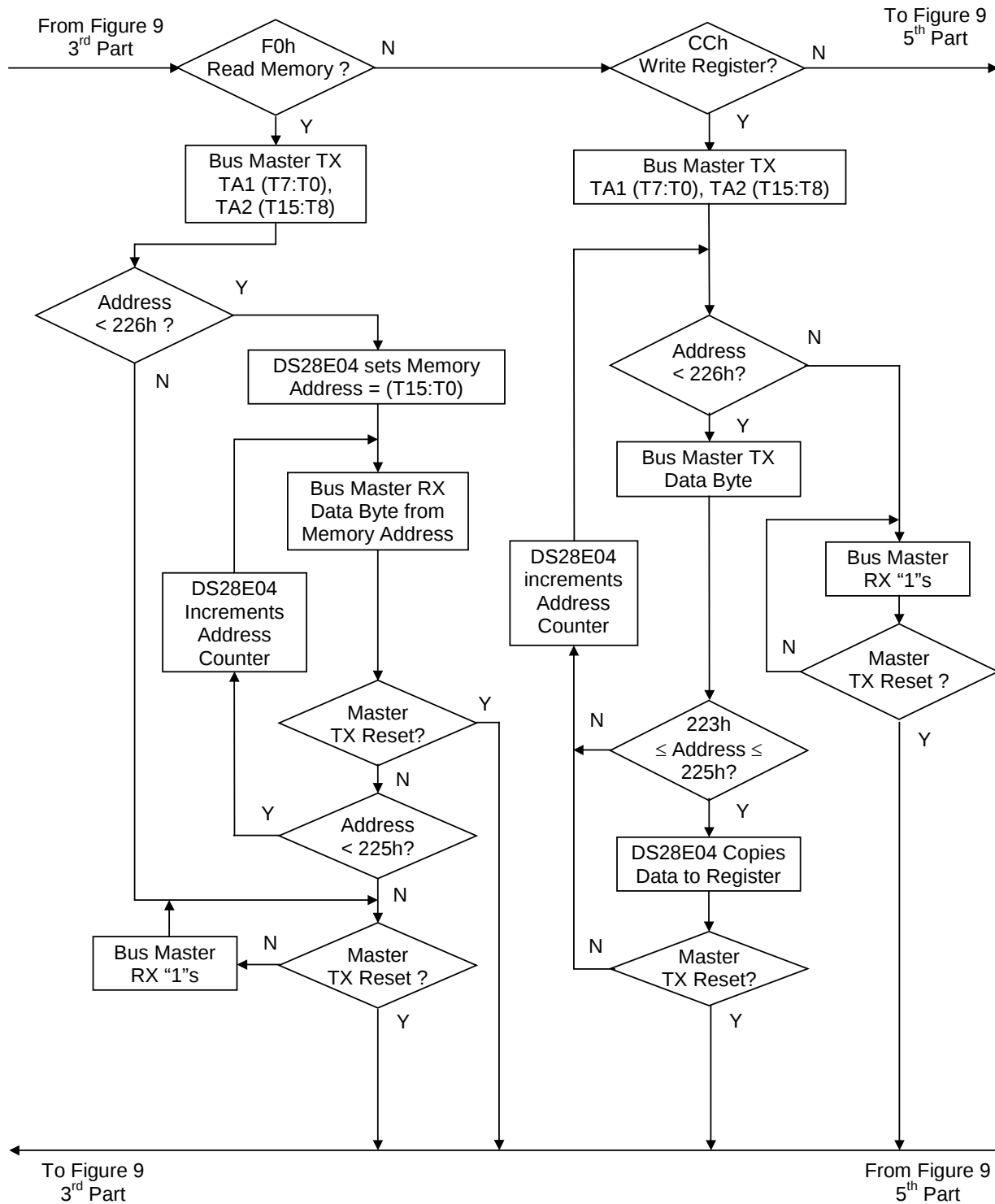


图 9-5. 存储/控制功能流程图(续)

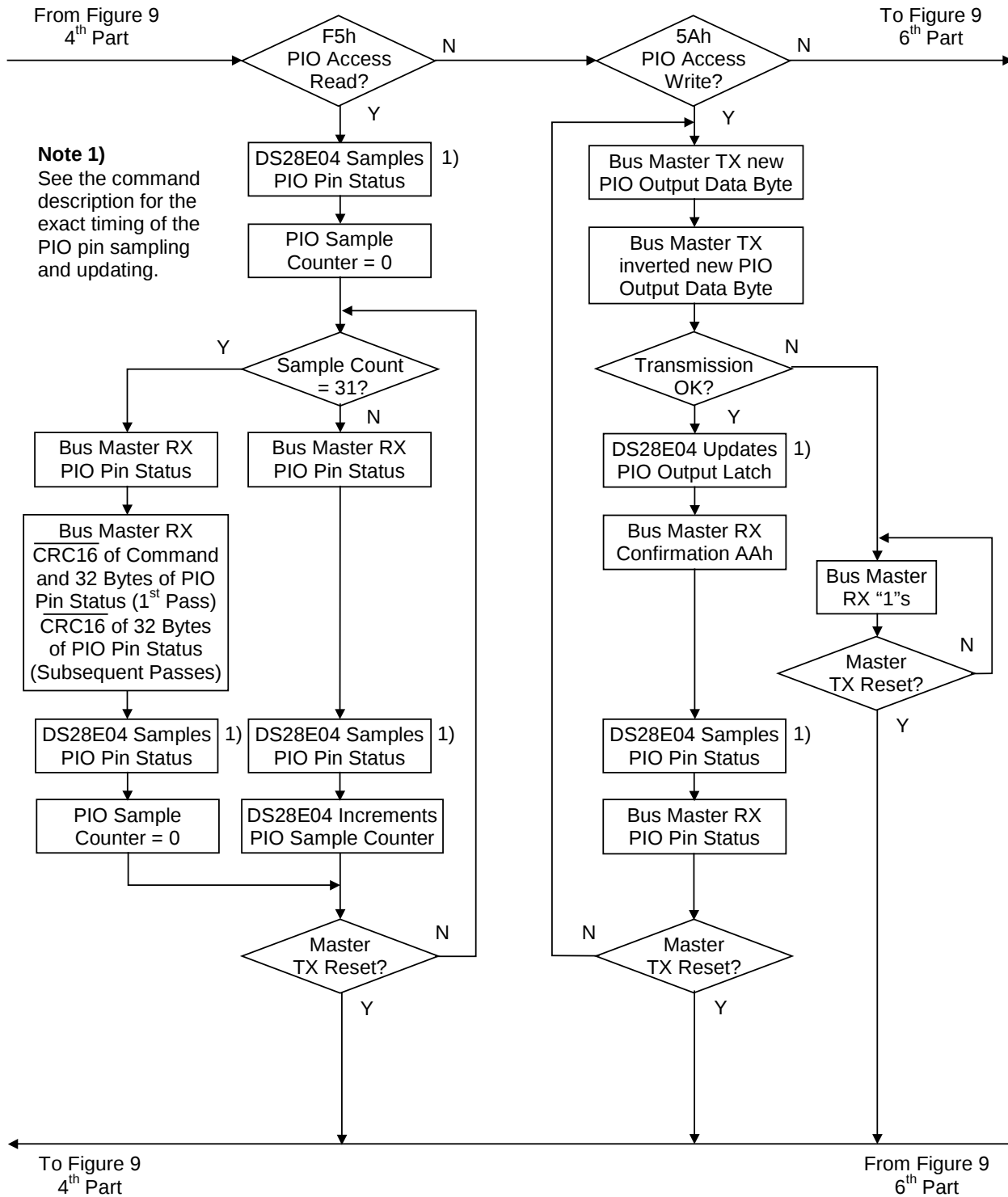
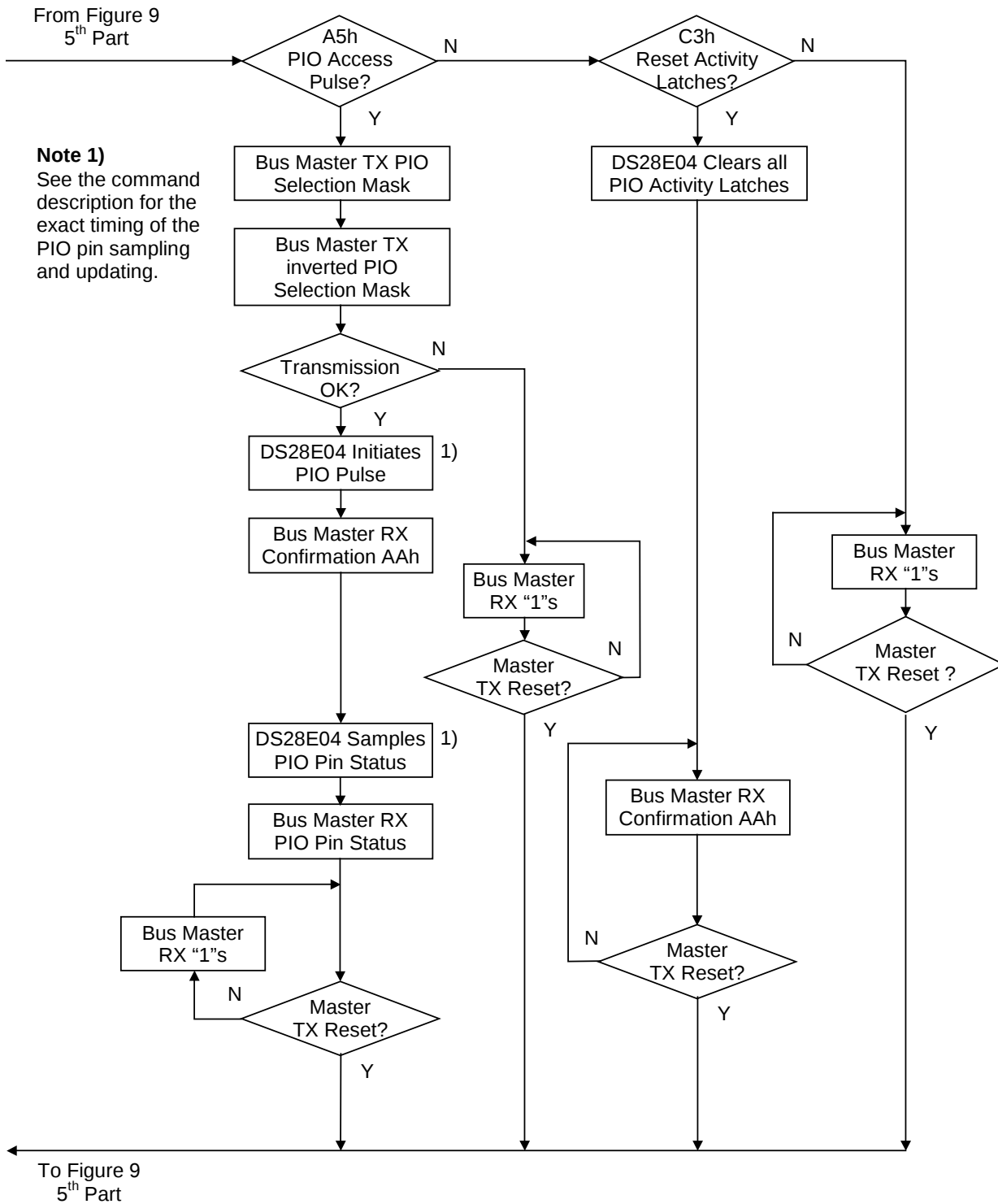


图 9-6. 存储/控制功能流程图(续)



Read Memory [F0h]

Read Memory 通常用于从 DS28E04-100 中读取数据。总线主机发出 Read Memory 命令后，需要提供两字节的目標地址 0000h~0225h。然后主机开始从目标地址开始读取数据，一直读到地址 0225h。如果继续读取，结果将为逻辑 1。器件内部的 TA1、TA2、E/S 及暂存器的内容不受 Read Memory 命令影响。

DS28E04-100 的硬件可提供无差错的存储器写数据操作。为安全地在 1-Wire 环境里读取数据，同时加快数据传输速度，建议将数据打包，每个数据包的大小等于一个存储器页面。这样的数据包通常连同该存储页面数据一起存储一个 16 位 CRC 码，以保证迅速、无差错的数据传输，从而无须通过多次读取来判断所接收到的数据是否正确(推荐使用的文件结构参见应用笔记 114)。

Write Register [CCh]

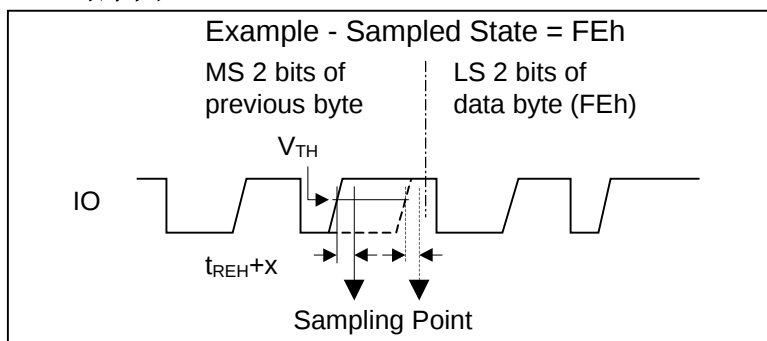
条件搜索设置寄存器和状态/控制寄存器都是易失性的，因此在每次上电后主机都需要通过 Write Register 命令来进行设置。主机发出 Write Register 命令后，紧跟着发送 2 字节的目标地址，应该介于 0223h~0225h 之间。接下来主机发送一个字节到指定的单元。如果地址有效，则立即将数据字节写入它的存储单元。此时主机可发送 1-Wire 复位命令来结束该命令，也可以向更高地址单元写入数据。一旦存储器地址 0225h 被写过后，此后的数据字节将会被忽略。主机必须发送 1-Wire 复位命令来结束该命令。由于 Write Register 命令流程中不包括针对寄存器新数据的任何差错检验，因此通过 Read Memory 命令读寄存器，以验证所写入数据的正确性是十分重要的。

PIO Access Read [F5h]

与从地址 0220h 读取 PIO 逻辑状态的命令相比，该命令可以无限循环地读取 PIO 逻辑状态。在发出 32 个字节的 PIO 引脚状态之后，DS28E04-100 会在数据流中插入 CRC16 的反码，以便主机验证所接收到数据是否正确无误。通过 1-Wire 复位命令可随时终止 PIO Access Read 命令。POL 引脚状态不会影响该命令。

DS28E04-100 对两个 PIO 通道状态的采样是同时进行的，在收到命令码 F5h 的最后一位(最高有效位)后就开始第一次采样。PIO 状态字节的第一位(最低有效位) P0 对应通道 0，下一位 P1 对应通道 1，PIO 状态字节的其它 6 位没有所对应的 PIO 引脚，它们的值始终为 1。当主机收到 PIO 状态字节的最后一位时，就继续进行下一次采样，依此类推，直到主机收到 32 个 PIO 采样值。接下来主机接收由命令码及 32 个 PIO 采样值生成的 CRC16 的反码(第一次读循环)，或仅收到由 32 个 PIO 采样值生成的 CRC (随后的读操作)。一旦 CRC 的最后一位(最高有效位)传送完成，就进行一次 PIO 采样。新的采样从前一字节 MS 位的上升沿之后 $t_{\text{REH}} + x$ 开始，如图 10 所示。“x” 的值约为 0.2μs。

图 10. PIO Access Read 时序图



注释:

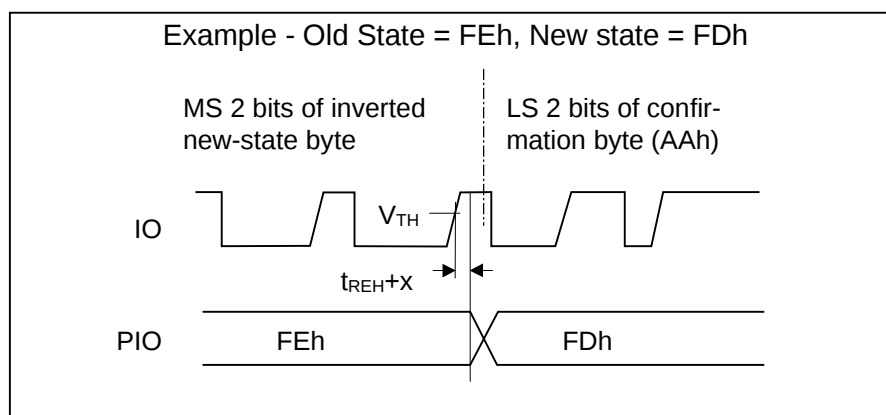
- 1 “previous byte” 可以是 PIO Access Read 命令代码、也可以是上一次 PIO 采样的数据字节或是 CRC16 的 MS 字节。
- 2 该采样点的选择也适用于 PIO Access Write and Pulse 命令，此时的“previous byte”指写确认字节(AAh)。

PIO Access Write [5Ah]

PIO Access Write命令是向PIO输出锁存状态寄存器(地址0221h)写数据的唯一方法，该寄存器可控制PIO通道的开漏输出晶体管。主机可通过该命令先向PIO写入新数据，然后再回读PIO状态，这样一直循环下去。通过这种先写后读的方式可以使主机验证输出状态。通过1-Wire复位命令可随时终止PIO Access Write命令。POL引脚状态不会影响该命令。

主机发送完该命令码，随后发送一个决定PIO输出晶体管新状态的字节，该字节的第一位（最低有效位）对应P0，下一位对应P1，其余6位没有所对应的PIO引脚，这些位始终为1。为使该输出晶体管关断（不导通），其相应位需置1。为使该晶体管导通，相应位需置为0。这样一来，代表新PIO输出状态的数据字节就以其原码形式出现在PIO引脚上。为避免数据传输中出现差错，主机必须再次发送新PIO数据的反码。只有当传输无差错时，PIO状态才会改变。实际上，PIO向新状态的过渡发生在取反后PIO字节MS位的上升沿之后 $t_{REH} + x$ ，“x”的值约为0.2 μ s。为把PIO状态成功转变的消息通知主机，DS28E04-100发送一个确认字节AAh。传送完确认字节的MS位后，DS28E04-100对PIO引脚状态进行采样并将采样值发送给主机，如图10所示。根据数据需要，主机可以继续向PIO写入更多的数据，也可用1-Wire复位信号来结束该命令。

图 11. PIO Access Write 时序图

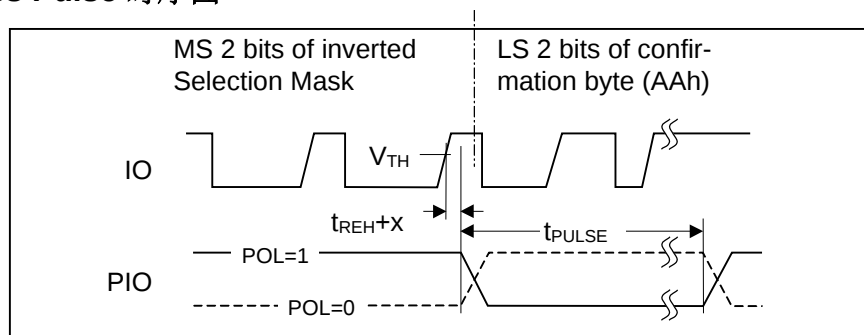


PIO Access Pulse [A5h]

作为PIO Access Write命令的一种替换命令，PIO Access Pulse命令可在所选的PIO输出上产生一个自定时脉冲。该脉冲的极性由POL引脚状态决定。如果POL为1，则脉冲极性为负(低电平有效)，反之亦然。只有当器件由 V_{CC} 供电时才可以使用PIO Access Pulse命令。

主机发送完该命令代码之后，紧跟着发送一个用来指定产生脉冲的PIO的选择屏蔽。与选择屏蔽中置1的位对应的PIO将被选中。选择屏蔽的第1位(最低有效位)对应P0，下一位对应P1。其它6位没有对应的PIO引脚，它们的值始终为“1”，为避免数据传输中出现差错，主机必须再次发送选择屏蔽的反码，只有当传输无差错时，才能产生脉冲。产生脉冲的过程始于选择屏蔽MS位的上升沿之后 $t_{REH} + x$ 。如图12所示。“x”的值约为0.2 μ s。为通知主机脉冲已成功产生，DS28E04-100发送一个确认字节AAh。发送完确认字节的最后一位时，DS28E04-100对PIO引脚状态进行采样并将采样值发送给主机，如图10所示。这时主机可通过1-Wire复位命令来终止该命令，但不会终止PIO引脚上的脉冲。

图 12. PIO Access Pulse 时序图



Reset Activity Latches [C3h]

每个PIO通道都带有一个状态变化锁存器，只要PIO引脚状态发生改变，且持续时间超过 t_{PWIN} ，该锁存器就会被置位。这种状态变化可以由外部事件/信号、向PIO写数据及产生脉冲等引起。根据应用要求，当DS28E04-100捕获并处理某个外部事件后，可能需要复位该状态变化锁存器。由于对PIO 状态变化锁存寄存器只能进行读操作，因此DS28E04-100支持一个特定命令以复位该锁存器。在收到该命令码后，DS28E04-100会立即复位所有状态变化锁存器。主机可通过两种方法来验证Reset Activity Latches命令是否成功执行，其一是：主机发送完命令代码后立即从1-Wire数据线上回读，这时主机将始终读入AAh字节，直到发出1-Wire复位命令为止。另一种方法是读寄存器地址0222h。

1-Wire 总线系统

1-Wire总线系统由一个总线主机和一个或多个从器件组成。在所有应用中，DS28E04-100都作为从器件使用。通常总线主机是一个微控制器。关于1-Wire总线系统的讨论分为3个部分：硬件配置、处理流程和1-Wire信令(信号类型和时序)。1-Wire协议以特定时隙期间的总线状态来定义总线通信方式，该特定时隙起始于总线主机发出的同步脉冲的下降沿。

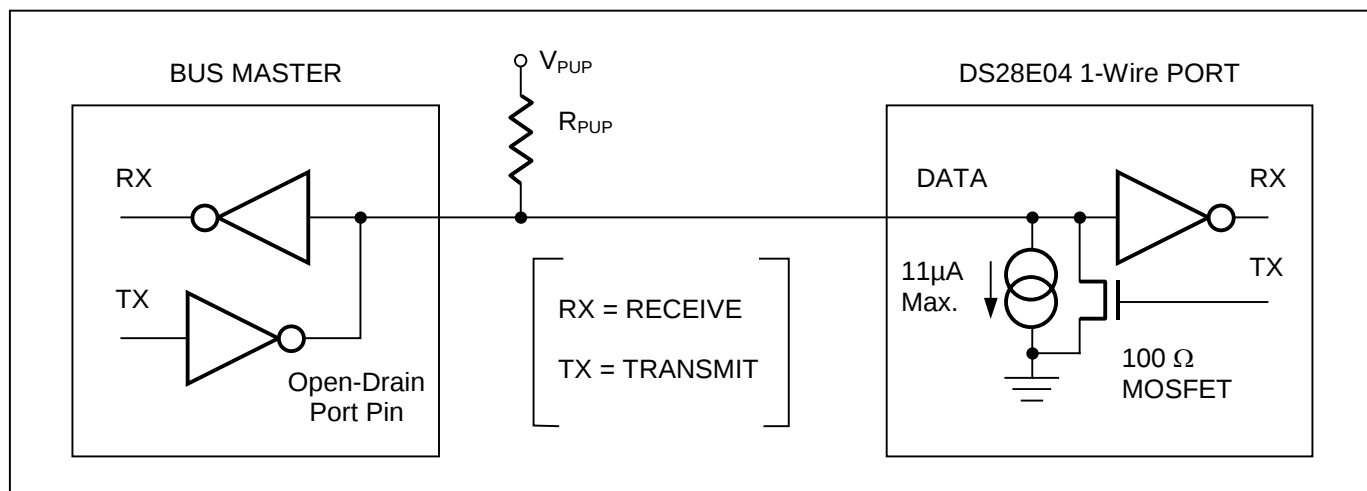
硬件配置

1-Wire总线系统仅定义了一条信号线，因此在合适的时间驱动总线上的各个器件是十分重要的。为使上述操作易于实现，接到1-Wire总线上的每个从器件的输出必须为漏极开路或三态输出。DS28E04-100的1-Wire端口是漏极开路输出，其内部等效电路如图13所示。

多点总线系统由一根1-Wire总线和多个从器件组成。DS28E04-100 分别支持15.4kbps (max) 的标准通信速率和111kbps (max) 的高速通信速率。注意，传统1-Wire器件在标准速度模式和高速模式下的数据传输速度分别为16.3kbps和142kbps。相比传统1-Wire器件，DS28E04-100传输速度有所降低，原因是为增强1-Wire 物理接口对噪声的抑制而增加了恢复时间。上拉电阻的阻值主要取决于网络大小和负载状态。在任何速度模式下，DS28E04-100都需要一个最大值为2.2kΩ的上拉电阻。

1-Wire 总线的空闲状态为高电平。如果由于某种原因需要暂停通信，且要求通信还能恢复时，必须将总线置于空闲状态。如果未置于空闲状态，且总线保持低电平的时间超过16μs (高速模式) 或超过120μs (标准速率) 时，总线上的所有从器件将被复位。

图 13. 硬件配置



处理流程

通过 1-Wire 端口访问 DS28E04-100 的协议如下：

- 初始化
- ROM 功能命令
- 存储/控制功能命令
- 处理/数据

初始化

1-Wire 总线上的所有数据传输均从初始化过程开始。初始化序列由主机发送的复位脉冲和从机发送的应答脉冲组成。应答脉冲用于通知总线主机从器件 DS28E04-100 已挂接在总线上，并已准备就绪。详细内容，请参见 1-Wire 信令一节。

1-Wire ROM 功能命令

一旦总线主机检测到一个在线应答脉冲，就会发出 DS28E04-100 所支持的 8 条 ROM 功能命令中的一个。所有 ROM 功能命令的长度都是 8 位。下面列出了所有的 ROM 命令 (参考图 14 的流程图)。

Read ROM [33h]

总线主机用该命令读取 DS28E04-100 的 8 位家族码、唯一的 40 位序列码、8 位地址字节和 8 位 CRC 码。地址字节的低 7 位可以把引脚 A6~A0 的状态回读回来，参见图 3。该命令只适用于总线上只有一个从器件的情况。如果总线上连接了多个从器件，那么当所有从器件都试图在同一时刻发送数据时就会发生数据冲突(漏极开路产生“线与”结果)，最后导致从机读取的家族码和 48 位序列码与 CRC 码不匹配。注意，当一个或多个外部地址输入连接至 GND 时，从机读取的家族码、48 位序列码也将与 CRC 码不匹配。ROM 中的 CRC 是在假定 A6~A0 都为 1 时产生的，主机应该注意这一点，在计算 ROM CRC 时应进行相应的变化。

Match ROM [55h]

Match ROM 命令后紧接着 64 位 ROM 码，总线主机利用该命令可以访问多点总线上某个特定的 DS28E04-100。只有其内部 ROM 码与主机发出的 64 位 ROM 码 (包括外部地址) 正确匹配的 DS28E04-100 才会响应随后的存储功能命令，而与 64 位 ROM 码不匹配的其它从器件均等待下一个复位脉冲。该命令适用于总线上有一个或多个从器件的情况。

Search ROM [F0h]

当系统启动初始化时，总线主机可能不知道1-Wire 总线上挂接从器件的数量，也不知道各个器件的ID码。利用总线的“线与”特性，总线主机可用排除法来确定所有从器件的ID码。为得到ID码的各个位，总线主机从注册码的最低有效位开始发送三个时隙。在第一个时隙中，参与查询的从器件输出自身器件ID码的真值。在第二个时隙中，参与查询的从器件输出其ID码的反码。第三个时隙中，由主机写入所选位的原码。所有与主机写入位不匹配的从器件都将不再参与搜索。如果主机读取到的从器件的原码和补码均为0，那么，总线主机将认为至少存在两个以上的从器件。选择将1或0写入从器件，总线主机的注册码树就出现了分支。完成最低有效位到最高有效位的整个循环后，总线主机就得到了一个从器件的注册码。其余从器件的注册码可由另外的操作检测出来。更详细的有关Search ROM命令的介绍，请参阅应用笔记187：1-Wire 搜索算法，其中包括一个设计实例。

注意：由于 DS28E04-100 的光刻 ROM CRC 是在假定地址输入均为逻辑 1 的情况下计算出来的，因此与 GND 相连的地址输入均为无效。建议在生成 1-Wire 从器件列表时进行两次搜索。

Conditional Search [ECh]

除了只有满足特定条件(CSR = 1)的器件可参与搜索外，在其它方面，Conditional Search ROM 命令的执行情况与 Search ROM 命令类似。在多点系统中，Conditional Search ROM 命令为总线主机识别那些报告了重要事件的从器件提供了一种有效方法。当每次成功地搜索到多点总线上的某个器件的 64 位 ROM 码后，就可以单独访问该器件了，就像发出 Match ROM 命令一样。而其它从器件都将退出搜索过程，等待下一个复位脉冲的到来。如果 CSR 信号被激活，DS28E04-100 将会响应条件搜索，可参见图 7 关于寄存器（地址 0223h~0225h）方面的详细描述。

Skip ROM [CCh]

在单点总线系统中，总线主机可使用该命令直接访问存储器而不需要提供从器件的 64 位 ROM 码，从而节省时间。如果总线上挂接有多个从器件，并且在 Skip ROM 命令后紧跟着发出一个 Read 命令，那么总线上的多个从器件就会同时传输数据，从而发生冲突（漏极开路下拉产生“线与”结果）。

Resume [A5h]

为了最大程度提高多点网络中的数据吞吐量，可以使用 Resume 命令。执行该操作时首先检查 RC 位的状态，如果 RC 标志为 1，则直接传送存储/控制功能命令，类似于 Skip ROM 命令。将 RC 位置位的唯一方法是执行 Match ROM、Search ROM 或 Overdrive Match ROM 命令，一旦 RC 位为 1，便可用 Resume 命令反复访问该器件。为了防止总线上的多个器件同时响应该 Resume 命令，当访问总线上的其它器件时将会清除 RC 标志。

Overdrive Skip ROM [3Ch]

在单点总线中，总线主机可通过 Overdrive Skip ROM 命令在不知道从器件 64 位 ROM 码的情况下访问存储器，从而节省时间。与普通 Skip ROM 命令不同的是，Overdrive Skip ROM 命令可将 DS28E04-100 设置为高速模式（OD = 1）。执行了此命令后，所有通信将运行在高速模式下，直到主机发送一个最短持续时间为 480μs 的复位脉冲把总线上的所有从器件重新设置为标准速度(OD = 0)为止。

对于多点总线，Overdrive Skip ROM命令将会把所有支持高速模式的从器件设置为高速模式。随后，为了寻址到支持高速模式的特定器件，必须在高速模式下发出一个复位脉冲，然后发出Match ROM或Search ROM 命令序列，这将加快搜索过程。如果总线上有多个支持高速模式的从器件，并且在Overdrive Skip ROM命令后跟随着一个Read命令，那么当多个从器件同时发送信号时，总线上就会发生数据冲突(漏极开路下拉产生一个“线与”结果)。

图 14-1. ROM 功能流程图

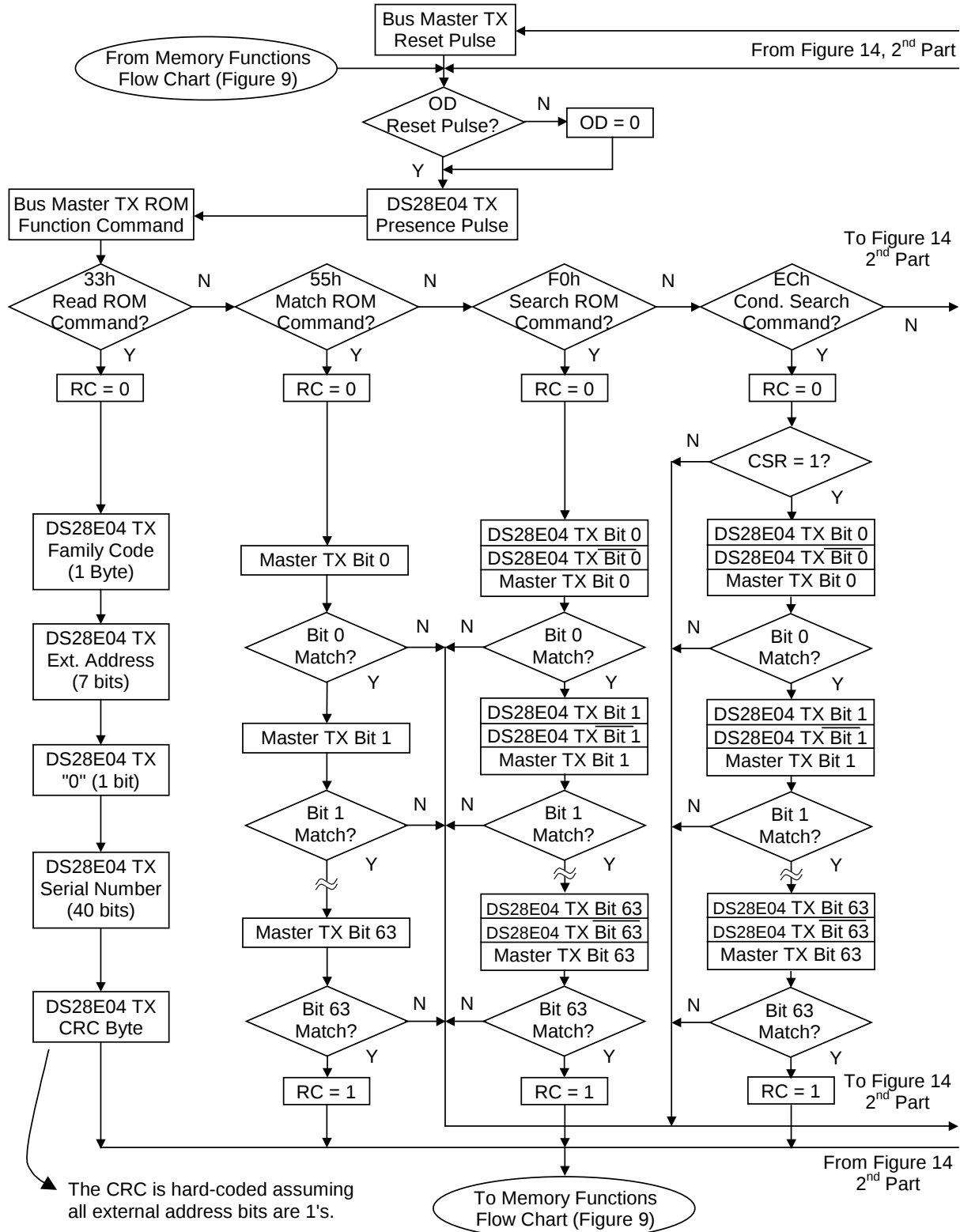
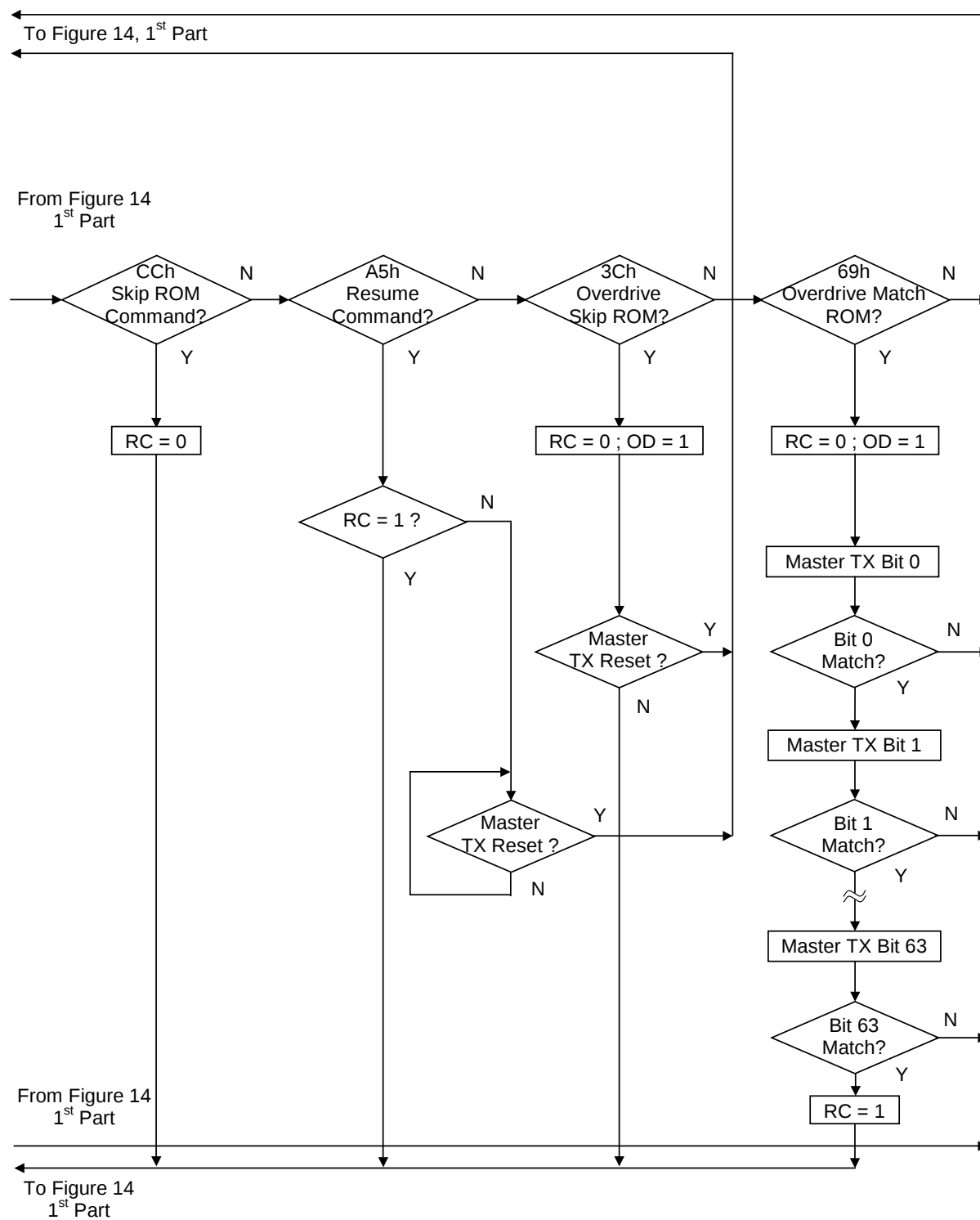


图 14-2. ROM 功能流程图 (续)



Overdrive Match ROM [69h]

主机发出Overdrive Match ROM 命令之后、再以高速模式的速率发送64 位ROM 码，这使其可在多点总线上寻址到一个特定的DS28E04-100，并同时将其设置为高速模式。只有内部ROM码与主机发出的64位ROM码匹配的DS28E04-100才会响应随后的存储/控制功能命令。已经被前面的Overdrive Skip命令或Match命令设为高速模式的从机将一直保持高速模式。所有支持高速模式的从机在持续时间最小为480 μ s 的复位脉冲后回到标准速率。Overdrive Match ROM命令适用于单点或多点总线。

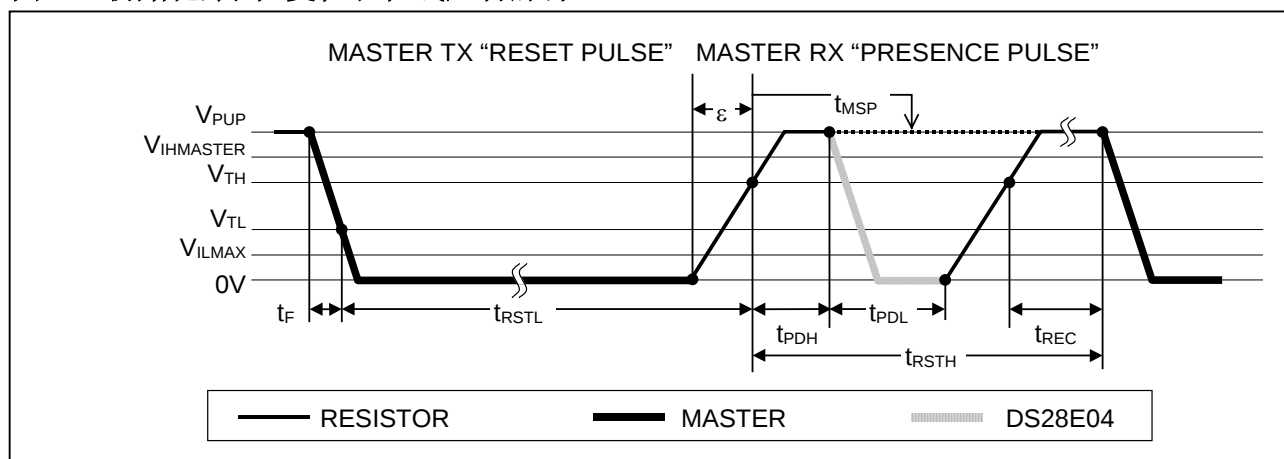
1-Wire 信令

DS28E04-100需要严格的通信协议来保证数据的完整性。该协议在一根线上定义了四种类型的信号：由复位脉冲和在线应答脉冲组成的复位序列、写0、写1、读数据。除在线应答脉冲以外，其它所有下降沿信号都由总线主机发出。DS28E04-100能以标准速度或高速两种模式通信。如果没有明确设为高速模式，DS28E04-100会以标准速度进行通信。在高速模式下工作时，所有波形均采用快速定时。

要把器件从空闲状态激活，必须将 1-Wire总线电压从 V_{PUP} 降至阈值电压 V_{TL} 以下；为了使器件从运行状态转入空闲状态，需将 1-Wire总线电压从 V_{ILMAX} 升至阈值电压 V_{TH} 以上，如图 15 所示。电压上升所需的时间用“ ϵ ”表示，其值由上拉电阻(R_{PUP})和 1-Wire网络的附加电容决定。系统逻辑电平与DS28E04-100 的 V_{ILMAX} 电压有关，但该电压并不触发任何事件。

DS28E04-100 通信时所需的初始化时序如图 15 所示。复位脉冲之后的应答脉冲表明DS28E04-100 已经准备好接收数据，主机可以发送正确的ROM命令和存储/控制功能命令。如果总线主机在下将沿采用摆率控制，则为了补偿边缘时间，必须将总线拉低并保持($t_{RSTL} + t_F$)的时间。若 t_{RSTL} 持续 480 μ s或更长，会使器件退出高速模式返回到标准速度模式。若器件处于高速模式且 t_{RSTL} 小于 80 μ s，DS28E04-100 复位后仍将保持高速模式。若器件处于高速模式且 t_{RSTL} 时长为80 μ s~480 μ s，DS28E04-100 将复位，但复位后的通信速度是不确定的。

图 15. 初始化序列: 复位和在线应答脉冲



总线主机释放数据线并进入接收模式(RX)后，1-Wire总线将通过上拉电阻或借助有源电路（DS2482-x00 或 DS2480B驱动器）将电压拉至 V_{PUP} 。当总线电压超过阈值电压 V_{TH} 后，DS28E04-100 将等待 t_{PDH} 时间，然后将总线拉低并保持 t_{PDL} 的方式发送一个应答脉冲。为了检测在线应答脉冲，主机应该在 t_{MSP} 时刻对 1-Wire总线的逻辑状态进行检测。

t_{RSTH} 的持续时间至少应为 t_{PDHMAX} 、 t_{PDLMAX} 和 t_{RECMIN} 之和。一旦 t_{RSTH} 时间结束，DS28E04-100 立即做好接收数据的准备。在多种从器件组成的多点网络中，标准速度下 t_{RSTH} 的持续时间至少应为 480 μ s；高速模式下 t_{RSTH} 的持续时间至少应为 48 μ s，这样才能适应大多数 1-Wire器件的需要。

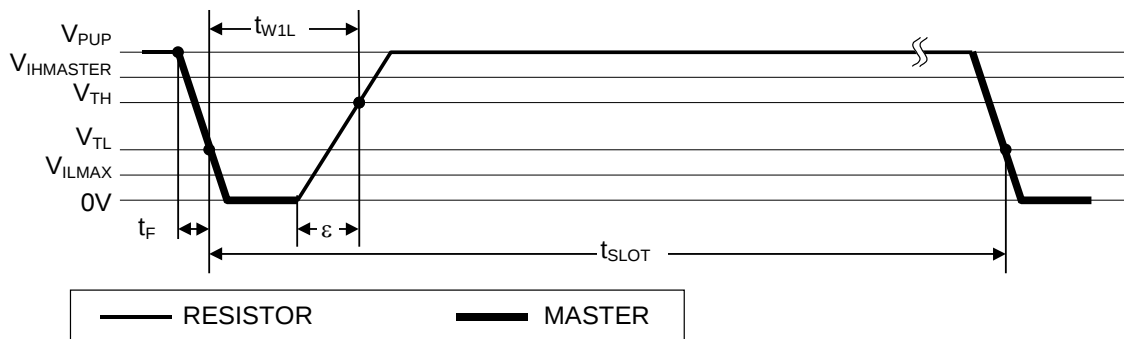
读/写 时隙

主机与 DS28E04-100 的数据通信是在一个个时隙内完成的，每个时隙只能传送一位数据。通过写时隙可把数据从主机传送给从器件，通过读时隙可把数据由从器件传送给主机。读/写时隙的定义如图 16 所示。

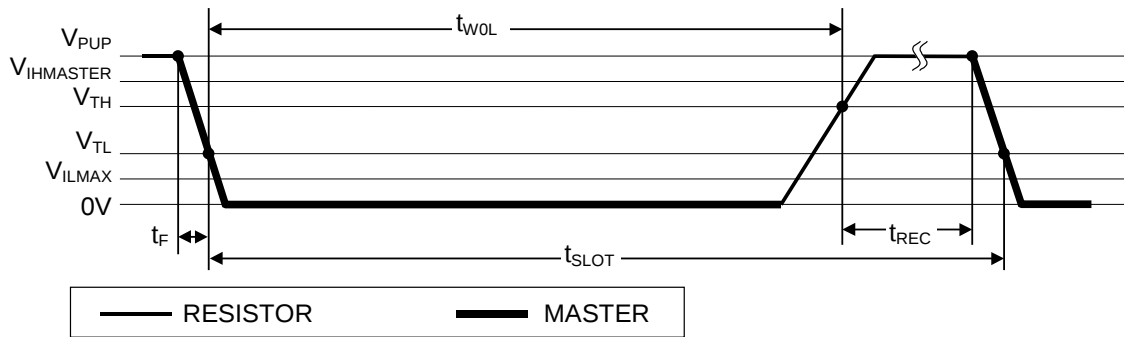
所有的通信都是从主机拉低数据线开始的。当 1-Wire 总线上的电压低于阈值电压 V_{TL} 时，DS28E04-100 利用其内部时基来确定在写时隙期间何时对数据线进行采样，以及读时隙时数据有效时间的长短。

图 16. 读/写 时隙图

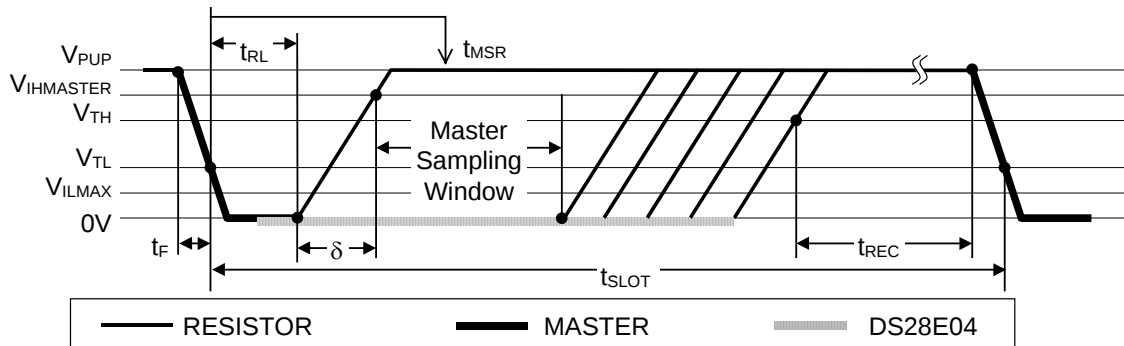
写 1 时隙



写 0 时隙



读数据时隙



主机到从机

对于**写1**时隙来说，在写1为低的时间 t_{W1LMAX} 结束之前，数据线上的电压必须高过阈值 V_{TH} 。对于**写0**时隙来说，在写0为低的时间 t_{W0LMIN} 结束以前，数据线上的电压必须低于阈值 V_{TH} 。为了实现最可靠的通信，在整个 t_{W0L} 到 t_{W1L} 持续时间内，数据线上的电压不能超过 V_{ILMAX} 。数据线上的电压超过 V_{TH} 后，DS28E04-100需要一个恢复时间 t_{REC} 以便为下一个时隙做好准备。

从机到主机

读数据时隙在开始时与写1时隙相似。数据线上的电压在读低时间 t_{RL} 结束前必须保持低于 V_{TL} 。在 t_{RL} 窗口中，应答0时，便由DS28E04-100继续把数据线拉低，其内部定时发生器决定何时结束下拉和电压再次升高。应答1时，DS28E04-100并不保持数据线的低电平， t_{RL} 一结束，电平即开始上升。

主机的采样窗口（ t_{MSRMIN} 到 t_{MSRMAX} ）由 $t_{RL} + \delta$ （上升时间）和DS28E04-100 的内部定时发生器共同决定。在该窗口内，主机必须从数据线上读数据。为实现最可靠的通信， t_{RL} 应在允许范围内尽可能短，且主机应在接近但又不晚于 t_{MSRMAX} 的时间内进行取样。从数据线上读到数据后，主机必须等待直到 t_{SLOT} 结束，这样使DS28E04-100 有充足的恢复时间 t_{REC} ，以便为下面的时隙做好准备。注意，这里的 t_{REC} 仅适用于 1-Wire总线上只挂接了一个DS28E04-100 时的情况。对于多个从器件的配置， t_{REC} 的值要求延长，以适应增加的 1-Wire器件输入电容。另外，还可使用类似于DS2482-x00 或DS2480B的 1-Wire线驱动器，在 1-Wire恢复时间内进行有源上拉。

改善网络性能(切换点滞后)

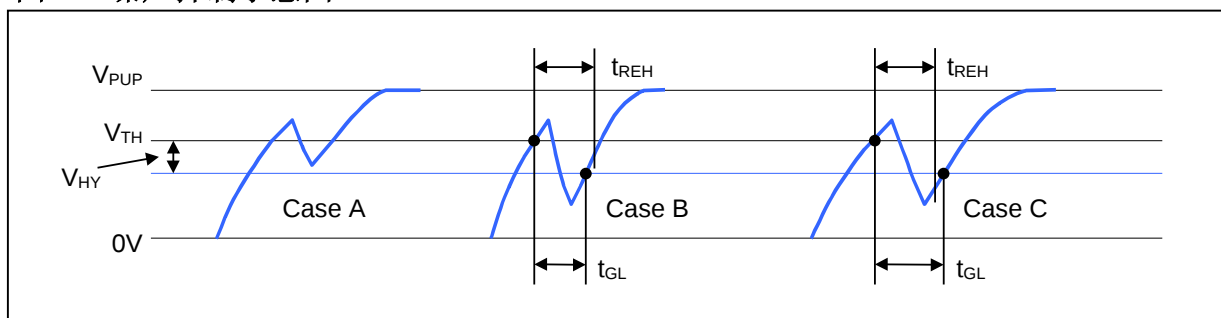
在1-Wire系统中，仅主机（1-Wire驱动器）控制产生的信号瞬变期间可能实现线路终端匹配，因此，1-Wire网络很容易受到其它噪声的影响。根据网络的物理形状大小和拓扑结构的不同，从端点到分支点的反射可能会在一定程度上相互叠加或抵消。如同1-Wire通信线路上的毛刺或振荡一样，这样的反射也是不容忽视的。从外部源耦合到1-Wire线路上的噪声也产生信号毛刺。时隙上升沿时出现的毛刺可能会引起从器件与主机不同步，结果会造成Search ROM命令无效，或导致器件级命令被忽略。为提高网络性能，DS28E04-100采用了一种新型的1-Wire前端，它对噪声的免疫力更强，可以降低从器件引入的噪声的幅度。

DS28E04-100 的 1-Wire 前端较之传统从器件的前端有以下四点不同：

- 1) 在线应答脉冲的下降沿斜率是受控制的，这样提供了比数字开关晶体管更好的传输线阻抗匹配，将来自传统器件的高频振荡转换为更平滑的低频瞬变。限斜率控制由参数 t_{FPD} 指定，只是针对标准速度和高速模式，具有不同的取值。
- 2) 在这个改进的前端电路中增加了一个低通滤波器，用于检测时隙开始时的下降沿，可降低器件对高频噪声的敏感度。这个滤波器在高速工作时不起作用。
- 3) 输入缓冲器具有一定的滞后，这样当有一个负毛刺的电压低于 V_{TH} ，但不低于 $V_{TH} - V_{HY}$ 时，就不会判定为负脉冲（见图 17 中的Case A）。滞回在任何 1-Wire速率下均起作用。
- 4) 该系统设计了一个由上升保持时间 t_{REH} 定义的窗口，在这个窗口内，即使毛刺电压低于了门限 $V_{TH} - V_{HY}$ （图 17）中的Case B， $t_{GL} < t_{REH}$ ），仍然会被忽略。如果超过这个时间窗口，且毛刺电压或电压低于 V_{TH} 门限，则滤波器就不能滤除这些噪声，将被主机误认为新时隙的开始（见图 17 中的，Case C， $t_{GL} \geq t_{REH}$ ）。

只有在电气特性中对参数 t_{FPD} 、 V_{HY} 及 t_{REH} 做了定义的从器件使用了这种改进的1-Wire前端。

图 17. 噪声抑制示意图



CRC 码的生成

DS28E04-100 有两种类型的 CRC 码(循环冗余校验)。一种是 8 位 CRC 码，存储在 64 位 ROM 码的最高有效字节中。如果所有地址输入均未连接到 GND，总线主机将根据 ROM 码的前 56 位计算出 CRC 的值，并把它和从 DS28E04-100 里读到的 CRC 值做比较，以判断读取到的 ROM 数据是否正确无误。如果任一个地址输入连接到 GND，则总线主机就根据外部地址域全为 1 计算 CRC 值，以确定非外部地址 ROM 数据是否接收正确。该 CRC 码的等效多项式是 $X^8 + X^5 + X^4 + 1$ 。读取 ROM 时，接收到的是 8 位 CRC 的原码(未求反的)。CRC 校验码是在工厂时就已计算好并刻入 ROM 中。

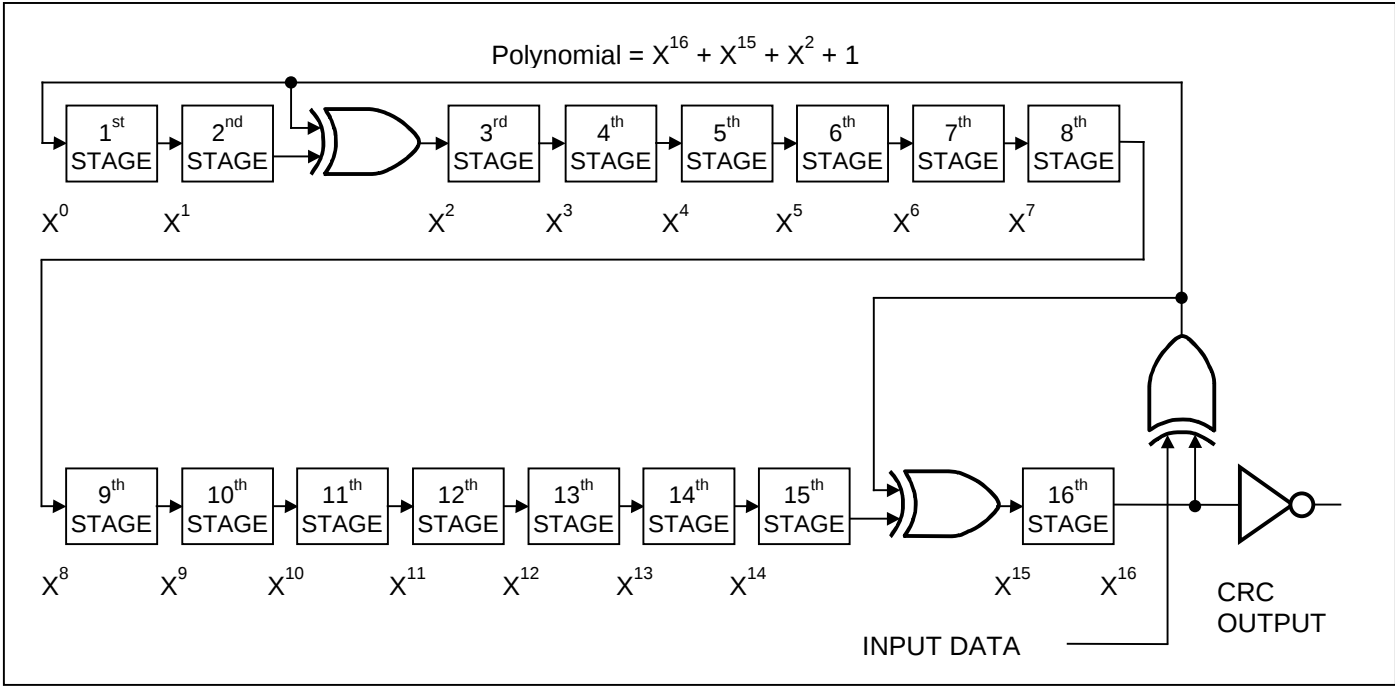
另一种 CRC 码是 16 位的，是根据标准的 CRC16 多项式 $X^{16} + X^{15} + X^2 + 1$ 生成的。当读/写暂存器或从 PIO 读数据时，可利用该 CRC 码快速验证数据传输是否出现差错。与 8 位 CRC 码不同的是，16 位 CRC 码总是以补码(反码)的形式被发送或回读。按照图 9 所示的命令流程图，DS28E04-100 芯片内部的 CRC 发生器(图 18)计算出新的 16 位 CRC 码。总线主机将从器件里读出的 CRC 值同自己根据数据计算出的 CRC 值相比较，以判断是继续操作还是重读 CRC 出现错误的部分。

执行 Write Scratchpad 命令时，CRC 校验码的生成过程如下：首先清除 CRC 生成器，然后依次移入命令代码、目标地址 TA1、TA2 及总线主机发出的所有数据字节。只有当 E4:E0 = 11111b，也就是暂存器写满时，DS28E04-100 才传送 CRC 码。

执行 Read Scratchpad 命令时，CRC 校验码的生成过程如下：首先清除 CRC 生成器，然后依次移入命令代码、目标地址 TA1、TA2、E/S 字节及 DS28E04-100 发出的暂存器数据。如果读完暂存器数据后仍继续读操作，DS28E04-100 就传送该 CRC 校验码，例如，将一个字节写入暂存器然后读暂存器时，就会收到由命令、TA1、TA2 和该数据字节等生成的 CRC 码。

在第一次执行 PIO Access Read 命令时，CRC 码是通过先清空 CRC 生成器，然后依次移入命令字节和 32 字节的 PIO 引脚数据后生成的。随后再执行 PIO Access Read 命令时，在形成 16 位 CRC 码，也是先清空 CRC 生成器，但是随后仅仅依次移入 32 字节的 PIO 引脚数据，不再移入命令字节。关于 CRC 生成的更多详细信息可参见应用笔记 27。

图 18. CRC-16 硬件描述及多项式



命令细节 1-Wire 通信协议—符号表

符号	说明
RST	主机产生 1-Wire 复位脉冲。
PD	从机产生 1-Wire 在线应答脉冲。
Select	满足 ROM 功能协议的命令和数据。
WS	命令 “Write Scratchpad”。
RS	命令 “Read Scratchpad”。
CPS	命令 “Copy Scratchpad”。
RM	命令 “Read Memory”。
WREG	命令 “Write Register”。
PIOR	命令 “PIO Access Read”。
PIOW	命令 “PIO Access Write”。
PIOP	命令 “PIO Access Pulse”。
RAL	命令 “Reset Activity Latches”。
TA	目标地址 TA1, TA2。
TA-E/S	目标地址 TA1, TA2, 带有 E/S 字节。
<32 – T4:T0 bytes>	传送所需要的字节, 以达到指定目标地址下暂寄存器的终点。
<data to EOM>	传送所需要的数据字节, 以达到存储器的终点。
<register data>	寄存器 223h 至 225h 中的数据, 1 至 3 个字节, 取决于起始地址。
CRC16\	传送 CRC16 反码。
FF loop	主机读取 FF 字节的不确定循环。
AA loop	主机读取 AA 字节的不确定循环。
Programming	数据传送至 EEPROM; 在此期间 1-Wire 总线上不允许有任何操作。

命令细节 **1-Wire** 通信协议—色码

Master to slave	Slave to master	Programming
-----------------	-----------------	-------------

Write Scratchpad (不能失败)

RST	PD	Select	WS	TA	<32 – T4:T0 bytes>	CRC16\	FF loop
-----	----	--------	----	----	--------------------	--------	---------

Read Scratchpad (不能失败)

RST	PD	Select	RS	TA-E/S	<E4:E0 - T4:T0 +1 bytes>	CRC16\	FF loop
-----	----	--------	----	--------	--------------------------	--------	---------

Copy Scratchpad 1-Wire 供电 (成功)

RST	PD	Select	CPS	TA-E/S	wait t _{PROGMAX}	AA loop
-----	----	--------	-----	--------	---------------------------	---------

Copy Scratchpad (无效地址, PF = 1 或 复制保护)

RST	PD	Select	CPS	TA-E/S	FF loop
-----	----	--------	-----	--------	---------

Read Memory (成功)

RST	PD	Select	RM	TA	<data to EOM>	FF loop
-----	----	--------	----	----	---------------	---------

Read Memory (无效地址)

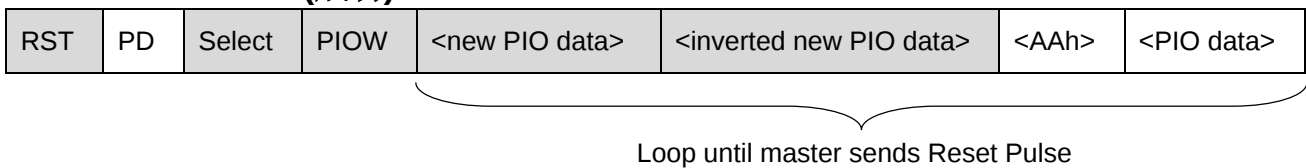
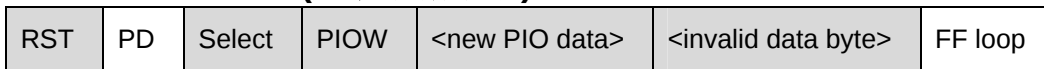
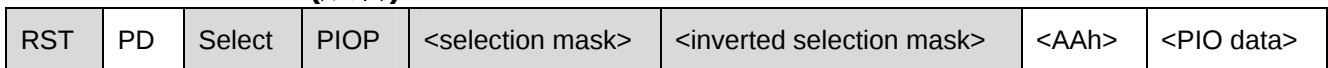
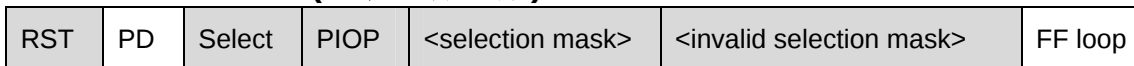
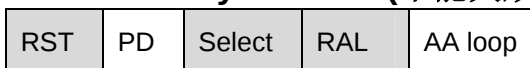
RST	PD	Select	RM	TA	FF loop
-----	----	--------	----	----	---------

Write Register (成功)

RST	PD	Select	WREG	TA	<register data>	FF loop
-----	----	--------	------	----	-----------------	---------

Write Register (无效地址)

RST	PD	Select	WREG	TA	FF loop
-----	----	--------	------	----	---------

PIO Access Read (不能失败)**PIO Access Write (成功)****PIO Access Write (无效数据字节)****PIO Access Pulse (成功)****PIO Access Pulse (无效选择屏蔽)****Reset Activity Latches (不能失败)**

存储器功能示例

从地址 0021h 开始，向存储器的第一页写入 5 个字节。读整个存储器及相关 PIO 寄存器。

在总线主机上只连接了一片 DS28E04-100 情况下，通信过程如下：

主机模式	数据 (LSB 在前)	注释
TX	(Reset)	复位脉冲
RX	(Presence)	在线脉冲
TX	CCh	发送 “Skip ROM” 命令
TX	0Fh	发送 “Write Scratchpad” 命令
TX	21h	TA1, 起始偏移 = 21h
TX	00h	TA2, 地址 = 0021h
TX	<5 data bytes>	向暂存器写入 5 个字节的数据
TX	(Reset)	复位脉冲
RX	(Presence)	在线脉冲
TX	CCh	发送 “Skip ROM” 命令
TX	AAh	发送 “Read Scratchpad” 命令
RX	21h	读 TA1, 起始偏移 = 21h
RX	00h	读 TA2, 地址 = 0021h
RX	05h	读 E/S, 终止偏移 = 00101b, AA, PF = 0
RX	<5 data bytes>	读暂存器数据并验证
RX	<2 bytes CRC16\>	读 CRC, 检验数据的完整性
TX	(Reset)	复位脉冲
RX	(Presence)	在线脉冲
TX	CCh	发送 “Skip ROM” 命令
TX	55h	发送 “Copy Scratchpad” 命令
TX	21h	TA1
TX	00h	TA2 (授权码)
TX	05h	E/S
----	<1-Wire idle high>	等待 10ms, 以完成拷贝功能
RX	AAh	读拷贝状态, AAh = 成功
TX	(Reset)	复位脉冲
RX	(Presence)	在线脉冲
TX	CCh	发送 “Skip ROM” 命令
TX	F0h	发送 “Read Memory” 命令
TX	00h	TA1, 起始偏移 = 00h
TX	00h	TA2, 地址 = 0000h
RX	<550 data bytes>	读整个存储器
TX	(Reset)	复位脉冲
RX	(Presence)	在线脉冲

PIO Access Read 命令示例

对 PIO 引脚状态进行 32 次读取。

在总线主机上只连接了一片 DS28E04-100 情况下，通信过程如下：

主机模式	数据 (LSB 在前)	注释
TX	(Reset)	复位脉冲
RX	(Presence)	在线脉冲
TX	CCh	发送 “Skip ROM” 命令
TX	F5h	发送 “PIO Access Read” 命令
RX	<32 data bytes>	读 32 个 PIO 取样
RX	<2 bytes CRC16>	读 CRC，检验数据的完整性
TX	(Reset)	复位脉冲
RX	(Presence)	在线脉冲

32 个字节的 PIO 数据发送完后发送 CRC16 的反码。

PIO Access Write 命令示例

先将两个 PIO 置为 0，然后再置为 1。这两个 PIO 被电阻拉高至 V_{CC} 或 V_{PUP} 。

当总线主机上只连接了一个 DS28E04-100 时，通信过程如下：

主机模式	数据 (LSB 在前)	注释
TX	(Reset)	复位脉冲
RX	(Presence)	在线脉冲
TX	CCh	发送 “Skip ROM” 命令
TX	5Ah	发送 “PIO Access Write” 命令
TX	FCh	写入新的 PIO 输出状态
TX	03h	写入新的反向 PIO 输出状态
RX	AAh	读确认字节
RX	FCh	读新的 PIO 引脚状态
TX	FFh	写入新的 PIO 输出状态
TX	00h	写入新的反向 PIO 输出状态
RX	AAh	读确认字节
RX	FFh	读新的 PIO 引脚状态
TX	(Reset)	复位脉冲
RX	(Presence)	在线脉冲

PIO Access Pulse 命令示例

在PIO1 引脚上产生一个脉冲，两个PIO均被电阻拉高至V_{CC}。POL = 1。由电源V_{CC}为芯片供电。
在总线主机上只连接了一片 DS28E04-100 情况下，通信过程如下：

主机模式	数据 (LSB 在前)	注释
TX	(Reset)	复位脉冲
RX	(Presence)	在线脉冲
TX	CCh	发送 “Skip ROM” 命令
TX	A5h	发送 “PIO Access Pulse” 命令
TX	FEh	写 PIO 选择屏蔽
TX	01h	写反向 PIO 选择屏蔽
RX	AAh	读确认字节
RX	1111110Xb	读PIO引脚状态 ¹⁾
TX	(Reset)	复位脉冲
RX	(Presence)	在线脉冲

¹⁾ “X ” 代表PIO0 状态，此例中未做定义。

封装信息

(本数据资料的封装图未能反映最新的封装信息，有关封装的最新资料，请访问<http://www.maxim-ic.com.cn/DallasPackInfo>)