



双相、可并联、+0.6V至+3.3V输出、平均电流模式控制器

概述

特性

MAX5065/MAX5067 双相 PWM 控制器以紧凑的封装和最少的外部元件提供高输出电流能力。MAX5065/MAX5067 采用双相平均电流模式控制方案, 充分利用了低 $R_{DS(ON)}$ MOSFET 的优点, 甚至在很高的输出电流时也可省掉外部散热器。

差分检测实现了对输出电压的精确控制, 自适应电压定位提供最优的瞬态响应。内部调节器使该器件能够工作于 +4.75V 至 +5.5V 或 +8V 至 +28V 的输入电压范围。高开关频率 (每相最高达 500kHz), 再加上双相工作, 使转换器能够采用低值输出电感和输入电容。这些特性非常适合采用印制板内嵌的平面磁性元件, 有助于实现一个具有优异的可靠性、电流均衡、热管理、小尺寸和低系统成本的电源。

MAX5065/MAX5067 提供一个时钟输入引脚 (CLKIN), 用于与外部时钟保持同步, 还有一个可编程延迟相位 (相对于 CLKIN) 的时钟输出 (CLKOUT), 用于多相并联工作。如果总线电压高出了设定的输出电压, MAX5065/MAX5067 还可限制反向电流。这些器件的独特设计可以限制多电源模块并联工作时的吸收电流。MAX5065 提供可调节的 +0.6V 至 +3.3V 输出电压。MAX5067 的输出电压在 +0.8V 至 +3.3V 范围内可调, 并且具有过压保护功能和一路电源就绪输出信号。

MAX5065/MAX5067 工作于宽温范围 (-40°C 至 +85°C)。MAX5065 采用 28 引脚 SSOP 封装。MAX5067 采用 44 引脚薄型 QFN 封装。如需 VRM 9.0/VRM 9.1 兼容、VID 控制输出电压、44 引脚 QFN 封装的控制器, 请参考 MAX5037A 数据资料。

- ◆ +4.75V 至 +5.5V 或 +8V 至 +28V 输入电压范围
- ◆ 可调 V_{OUT} 输出
 - +0.6V 至 +3.3V (MAX5065)
 - +0.8V 至 +3.3V (MAX5067)
- ◆ 最高 60A 输出电流
- ◆ 适合于 +12V 或 +24V 电源总线的内部电压调节器
- ◆ 可编程自适应输出电压定位
- ◆ 真差分远端输出检测
- ◆ 异相控制器降低了输入电容要求, 并分散了功率损耗
- ◆ 平均电流模式控制
 - 各相之间和并联模块之间优异的电流均衡
 - 精确的电流限制免去了 MOSFET 和电感降额要求
- ◆ 限制并联模块中的反向电流吸收
- ◆ 集成的 4A 栅极驱动器
- ◆ 可选的固定开关频率, 每相 250kHz 或 500kHz (两相最高 1MHz)
- ◆ 可同步到 125kHz 至 600kHz 的外部频率
- ◆ 内部 PLL 提供的时钟输出便于多个 DC-DC 转换器并联工作
- ◆ 热保护
- ◆ 28 引脚 SSOP 封装 (MAX5065)
- ◆ 44 引脚薄型 QFN 封装 (MAX5067)

MAX5065/MAX5067

应用

订购信息

服务器和工作站
负载点高电流/高密度电信 DC-DC 调节器
网络系统
大容量存储阵列
RAID 系统
高端台式计算机

PART	TEMP RANGE	PIN-PACKAGE
MAX5065EAI	-40°C to +85°C	28 SSOP
MAX5067ETH	-40°C to +85°C	44 Thin QFN

引脚配置在本数据资料的结尾

选择指南在本数据资料的结尾



双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

ABSOLUTE MAXIMUM RATINGS

IN to SGND	-0.3V to +30V
BST_ to SGND	-0.3V to +35V
DH_ to LX_	-0.3V to [(V _{BST_} - V _{LX_}) + 0.3V]
DL_ to PGND	-0.3V to (V _{CC} + 0.3V)
BST_ to LX_	-0.3V to +6V
V _{CC} to SGND	-0.3V to +6V
V _{CC} , V _{DD} to PGND	-0.3V to +6V
SGND to PGND	-0.3V to +0.3V
All Other Pins to SGND	-0.3V to (V _{CC} + 0.3V)

Continuous Power Dissipation (T _A = +70°C)	
28-Pin SSOP (derate 9.5mW/°C above +70°C)	762mW
44-Pin Thin QFN (derate 27.0mW/°C above +70°C)	2162mW
Operating Temperature Range	-40°C to +85°C
Maximum Junction Temperature	+150°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +5V, circuit of Figure 1, T_A = -40°C to +85°C, unless otherwise noted. Typical specifications are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
SYSTEM SPECIFICATIONS							
Input Voltage Range	V _{IN}		8		28	V	
		Short IN and V _{CC} together for +5V input operation	4.75		5.50		
Quiescent Supply Current	I _Q	EN = V _{CC} or SGND		4	10	mA	
Efficiency	η	I _{LOAD} = 52A (26A per phase)		90		%	
OUTPUT VOLTAGE							
SENSE+ to SENSE- Accuracy (Note 4)		MAX5065	No load	0.5952	0.6	0.6048	V
			No load, V _{CC} = +4.75V to +5.5V or V _{IN} = +8V to +28V	0.594	0.6	0.6064	
		MAX5067	No load	0.7936	0.8	0.8064	
			No load, V _{CC} = +4.75V to +5.5V or V _{IN} = +8V to +28V	0.792	0.8	0.808	
STARTUP/INTERNAL REGULATOR							
V _{CC} Undervoltage Lockout	UVLO	V _{CC} rising	4.0	4.15	4.5	V	
V _{CC} Undervoltage Lockout Hysteresis				200		mV	
V _{CC} Output Accuracy		V _{IN} = +8V to +28V, I _{SOURCE} = 0 to 80mA	4.85	5.1	5.30	V	
MOSFET DRIVERS							
Output Driver Impedance	R _{ON}	Low or high output		1	3	Ω	
Output Driver Source/Sink Current	I _{DH_} , I _{DL_}			4		A	
Nonoverlap Time	t _{NO}	C _{DH_/DL_} = 5nF		60		ns	
OSCILLATOR AND PLL							
Switching Frequency	f _{sw}	CLKIN = SGND	238	250	262	kHz	
		CLKIN = V _{CC}	475	500	525		
PLL Lock Range	f _{PLL}		125		600	kHz	
PLL Locking Time	t _{PLL}			200		μs	

双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = +5V, circuit of Figure 1, T_A = -40°C to +85°C, unless otherwise noted. Typical specifications are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLKOUT Phase Shift (At f _{sw} = 125kHz)	φ _{CLKOUT}	PHASE = V _{CC}	115	120	125	degrees
		PHASE = unconnected	85	90	95	
		PHASE = SGND	55	60	65	
CLKIN Input Pulldown Current	I _{CLKIN}		3	5	7	μA
CLKIN High Threshold	V _{CLKINH}		2.4			V
CLKIN Low Threshold	V _{CLKINL}				0.8	V
CLKIN High Pulse Width	t _{CLKIN}		200			ns
PHASE High Threshold	V _{PHASEH}		4			V
PHASE Low Threshold	V _{PHASEL}				1	V
PHASE Input Bias Current	I _{PHASEBIAS}		-50		+50	μA
CLKOUT Output Low Level	V _{CLKOUTL}	I _{SINK} = 2mA (Note 2)			100	mV
CLKOUT Output High Level	V _{CLKOUTH}	I _{SOURCE} = 2mA (Note 2)	4.5			V
CURRENT LIMIT						
Average Current-Limit Threshold	V _{CL}	CSP_ to CSN_	45	48	51	mV
Reverse Current-Limit Threshold	V _{CLR}	CSP_ to CSN_	-3.9		-0.2	mV
Cycle-by-Cycle Current Limit	V _{CLPK}	CSP_ to CSN_ (Note 3)	90	112	130	mV
Cycle-by-Cycle Overload Response Time	t _R	V _{CSP_} to V _{CSN_} = +150mV		260		ns
CURRENT-SENSE AMPLIFIER						
CSP_ to CSN_ Input Resistance	R _{CS_}			4		kΩ
Common-Mode Range	V _{CMR(CS)}		-0.3		+3.6	V
Input Offset Voltage	V _{OS(CS)}		-1		+1	mV
Amplifier Gain	A _{V(CS)}			18		V/V
3dB Bandwidth	f _{3dB}			4		MHz
CURRENT-ERROR AMPLIFIER (TRANSCONDUCTANCE AMPLIFIER)						
Transconductance	g _{mca}			550		μS
Open-Loop Gain	A _{VOL(CE)}	No load		50		dB
DIFFERENTIAL VOLTAGE AMPLIFIER (DIFF)						
Common-Mode Voltage Range	V _{CMR(DIFF)}		-0.3		+1.0	V
DIFF Output Voltage	V _{CM}	V _{SENSE+} = V _{SENSE-} = 0		0.6		V
Input Offset Voltage	V _{OS(DIFF)}		-1		+1	mV
Amplifier Gain	A _{V(DIFF)}		0.997	1	1.003	V/V
3dB Bandwidth	f _{3dB}	C _{DIFF} = 20pF		3		MHz
Minimum Output Current Drive	I _{OUT(DIFF)}		1.0			mA
SENSE+ to SENSE- Input Resistance	R _{VS_}		50	100		kΩ

双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +5V$, circuit of Figure 1, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical specifications are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VOLTAGE-ERROR AMPLIFIER (EAOUT)						
Open-Loop Gain	$A_{VOL(EA)}$			70		dB
Unity-Gain Bandwidth	f_{UGEA}			3		MHz
EAN Input Bias Current	$I_{B(EA)}$	$V_{EAN} = +2.0V$	-100		+100	nA
Error-Amplifier Output Clamping Voltage	$V_{CLAMP(EA)}$	With respect to V_{CM}	810		918	mV
POWER-GOOD, PHASE FAILURE DETECTION, OVERVOLTAGE PROTECTION, AND THERMAL SHUTDOWN						
PGOOD Trip Level (MAX5067)	V_{OV}	PGOOD goes low when V_{OUT} is outside this window	+6	+8	+10	% V_{OUT}
	V_{UV}	PGOOD goes low when V_{OUT} is outside this window	-12.5	-10	-8.5	
PGOOD Output Low Level (MAX5067)	V_{PGLO}	$I_{SINK} = 4mA$			0.2	V
PGOOD Output Leakage Current (MAX5067)	I_{PG}	PGOOD = V_{CC}			1	μA
Phase Failure Trip Threshold (MAX5067)	V_{PH}	PGOOD goes low when CLP_{-} is higher than V_{PH}		2		V
OVPIN Trip Threshold (MAX5067)	OVP_{TH}	With respect to SGND	0.792	0.8	0.808	V
OVPIN Input Resistance (MAX5067)	R_{OVPIN}		190	280	370	$k\Omega$
THERMAL SHUTDOWN						
Thermal Shutdown	T_{SHDN}			150		$^{\circ}C$
Thermal-Shutdown Hysteresis				8		$^{\circ}C$
EN INPUT						
EN Input Low Voltage	V_{ENL}				1	V
EN Input High Voltage	V_{ENH}		3			V
EN Pullup Current	I_{EN}		4.5	5	5.5	μA

Note 1: Specifications from $-40^{\circ}C$ to $0^{\circ}C$ are guaranteed by characterization but not production tested.

Note 2: Guaranteed by design. Not production tested.

Note 3: See *Peak-Current Comparator* section.

Note 4: Does not include an error due to finite error amplifier gain. See the *Voltage-Error Amplifier* section.

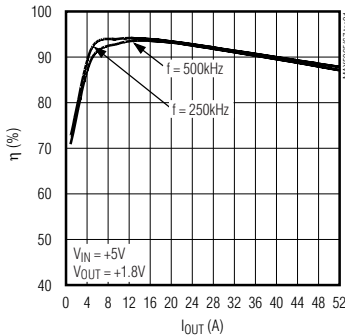
双相、可并联、+0.6V至+3.3V输出、平均电流模式控制器

典型工作特性

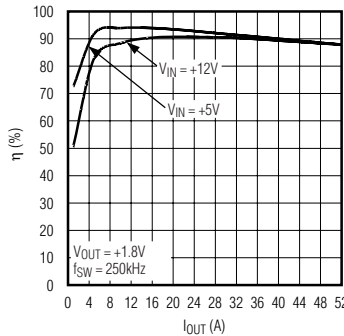
(Circuit of Figure 1. $T_A = +25^\circ\text{C}$, unless otherwise noted.)

MAX5065/MAX5067

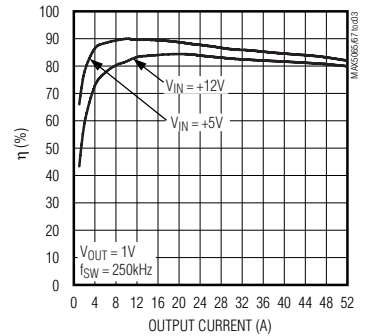
EFFICIENCY vs. OUTPUT CURRENT AND INTERNAL OSCILLATOR FREQUENCY



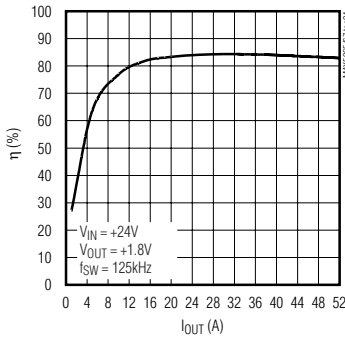
EFFICIENCY vs. OUTPUT CURRENT AND INPUT VOLTAGE



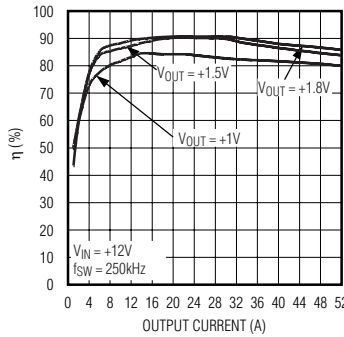
EFFICIENCY vs. OUTPUT CURRENT AND INPUT VOLTAGE



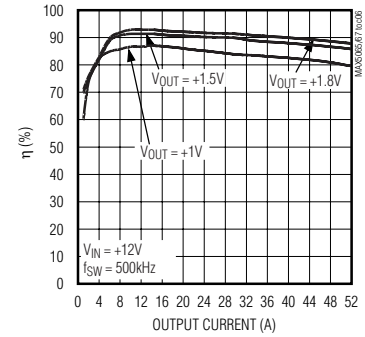
EFFICIENCY vs. OUTPUT CURRENT



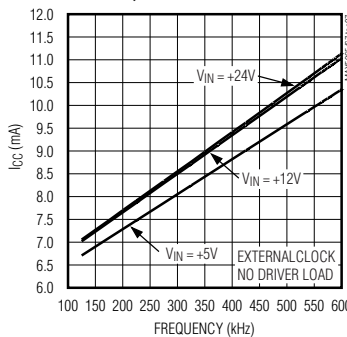
EFFICIENCY vs. OUTPUT CURRENT AND OUTPUT VOLTAGE



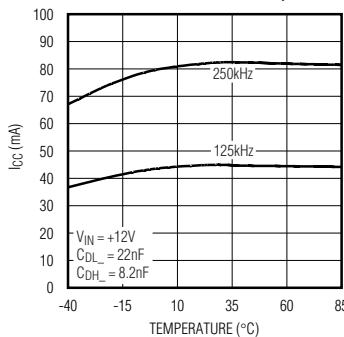
EFFICIENCY vs. OUTPUT CURRENT AND OUTPUT VOLTAGE



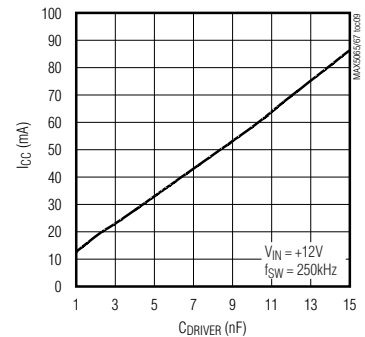
SUPPLY CURRENT vs. FREQUENCY AND INPUT VOLTAGE



SUPPLY CURRENT vs. TEMPERATURE AND FREQUENCY



SUPPLY CURRENT vs. LOAD CAPACITANCE PER DRIVER

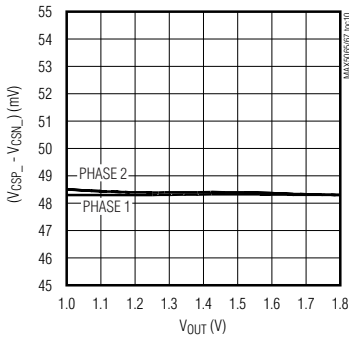


双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

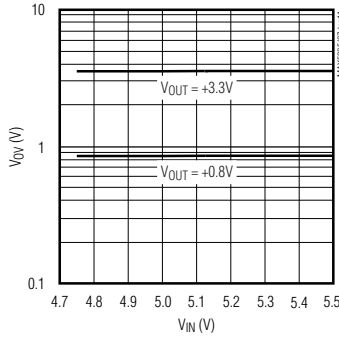
典型工作特性 (续)

(Circuit of Figure 1, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

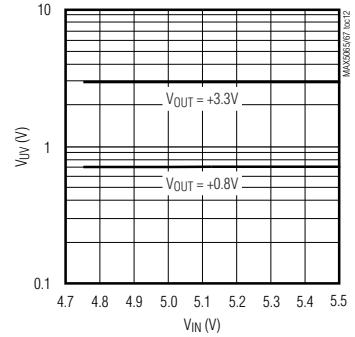
CURRENT-SENSE THRESHOLD vs. OUTPUT VOLTAGE



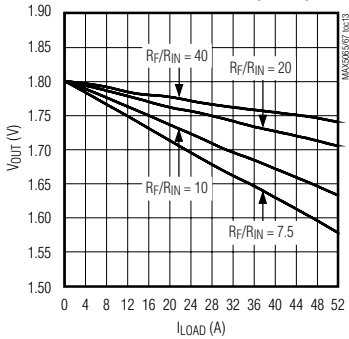
OVERVOLTAGE THRESHOLD (PGOOD) vs. INPUT VOLTAGE



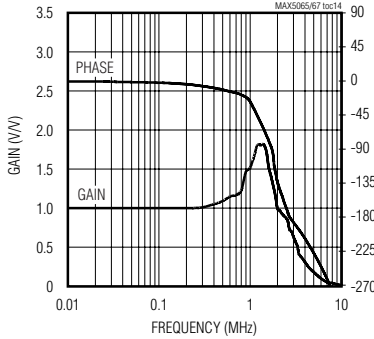
UNDERVOLTAGE THRESHOLD (PGOOD) vs. INPUT VOLTAGE



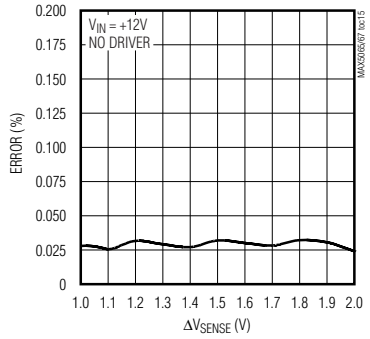
OUTPUT VOLTAGE vs. OUTPUT CURRENT AND ERROR AMP GAIN (R_F/R_{IN})



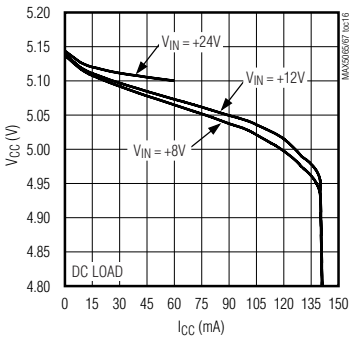
DIFFERENTIAL AMPLIFIER BANDWIDTH



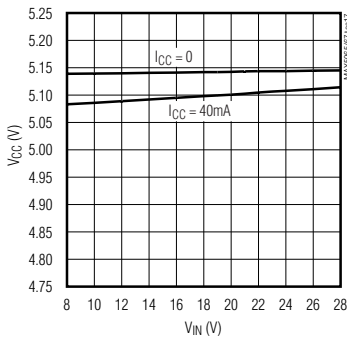
DIFF OUTPUT ERROR vs. SENSE+ TO SENSE- VOLTAGE



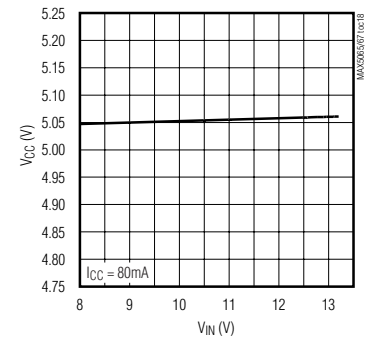
V_{CC} LOAD REGULATION vs. INPUT VOLTAGE



V_{CC} LINE REGULATION



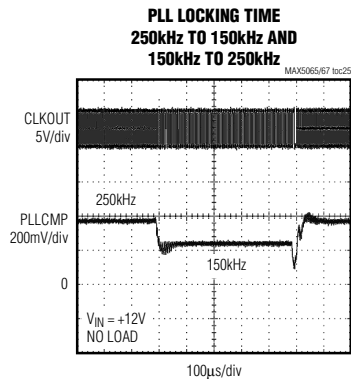
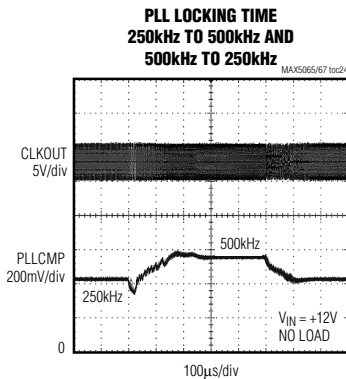
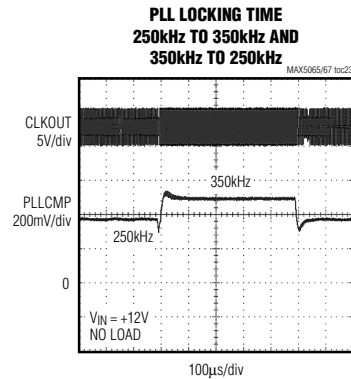
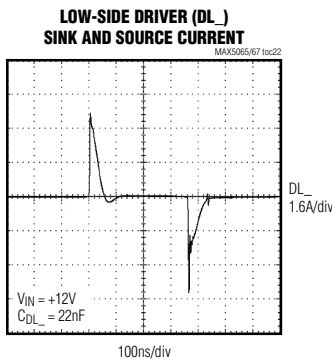
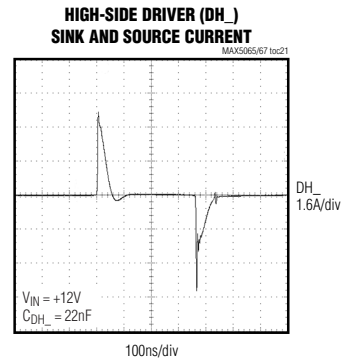
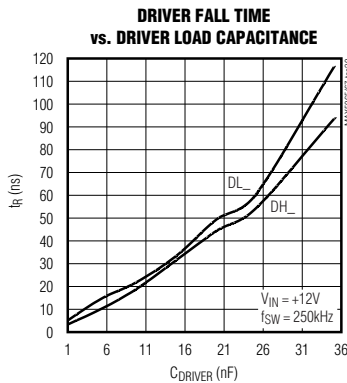
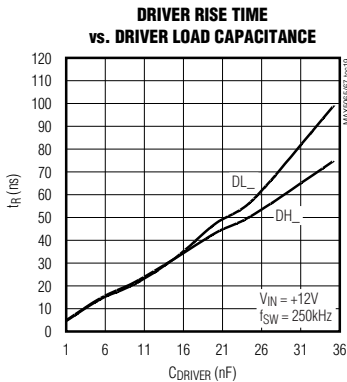
V_{CC} LINE REGULATION



双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

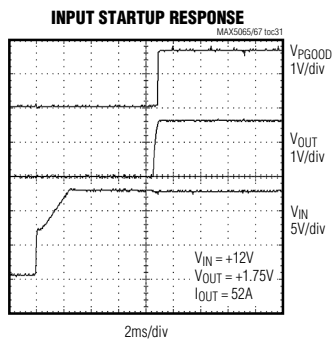
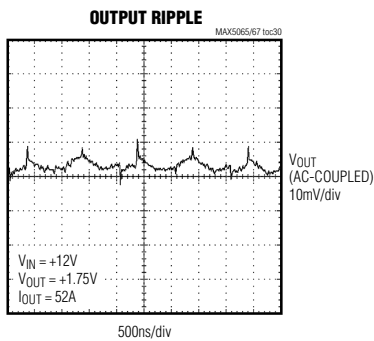
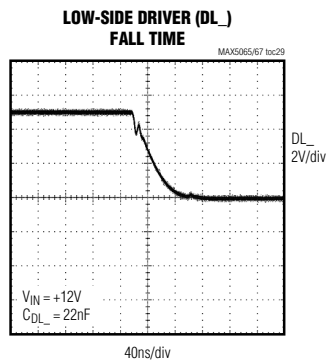
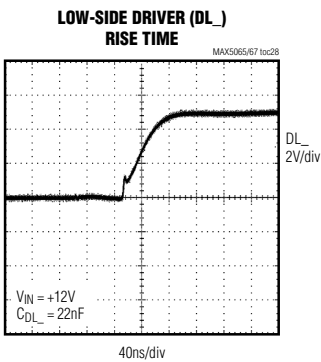
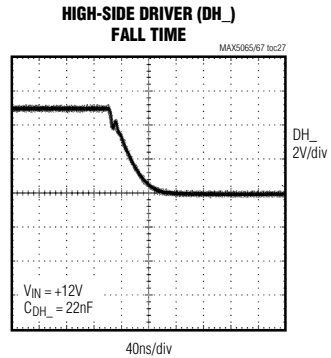
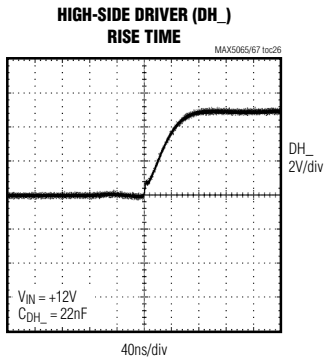
典型工作特性 (续)

(Circuit of Figure 1, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

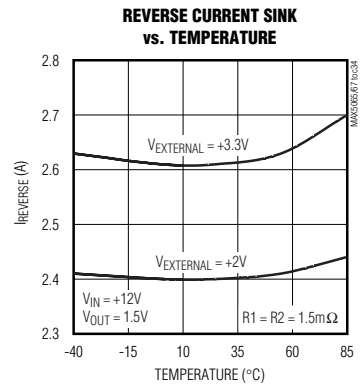
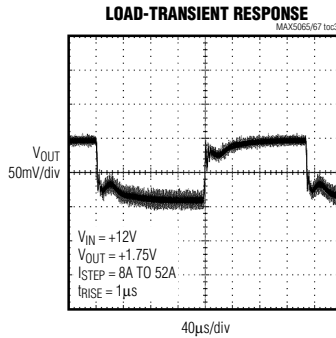
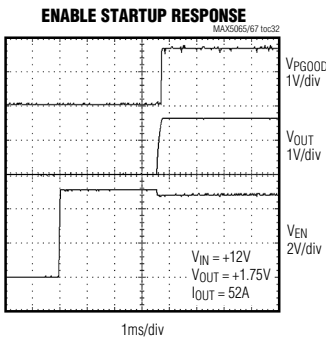
典型工作特性 (续)

(Circuit of Figure 1, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

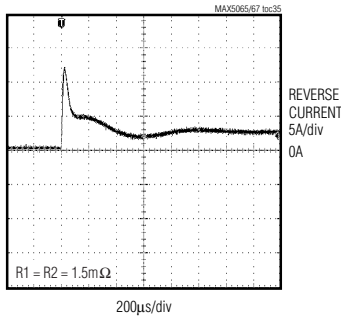
双相、可并联、+0.6V至+3.3V输出、平均电流模式控制器

典型工作特性 (续)

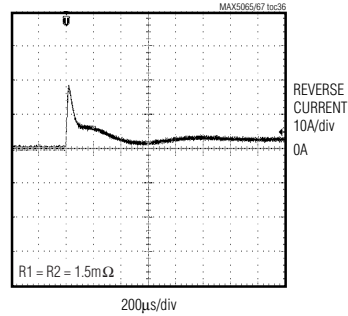
(Circuit of Figure 1, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



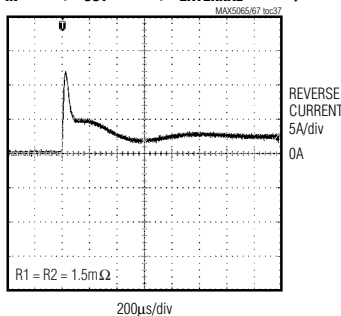
REVERSE CURRENT SINK AT INPUT TURN-ON
($V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$, $V_{EXTERNAL} = 2.5\text{V}$)



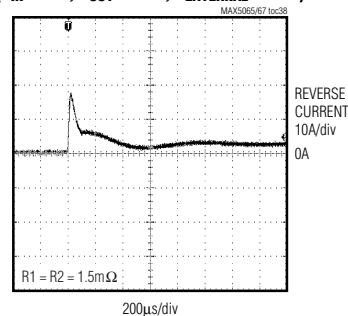
REVERSE CURRENT SINK AT INPUT TURN-ON
($V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$, $V_{EXTERNAL} = 3.3\text{V}$)



REVERSE CURRENT SINK AT ENABLE TURN-ON
($V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$, $V_{EXTERNAL} = 2.5\text{V}$)



REVERSE CURRENT SINK AT ENABLE TURN-ON
($V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$, $V_{EXTERNAL} = 3.3\text{V}$)



双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

引脚说明

引脚		名称	功能
MAX5065	MAX5067		
1, 13	39, 16	CSP2, CSP1	电流检测差分放大器的正输入。检测电感电流。CSP_和CSN_之间的差分电压被增益为18的内部电流检测放大器放大。
2, 14	40, 17	CSN2, CSN1	电流检测差分放大器的负输入。与CSP_配合检测电感电流。
3	41	PHASE	相移设置输入。CLKOUT的上升沿和CLKIN/DH1之间的相移在PHASE与V _{CC} 相连时为120°，在保持PHASE浮空时为90°，或者在PHASE与SGND连接时为60°。
4	42	PLLCMP	外部环路补偿输入。连接到锁相环补偿网络(参见“锁相环”部分)。
5, 7	43, 7	CLP2, CLP1	电流误差放大器的输出。与地之间连接一个RC网络对电流环进行补偿。
6	5, 20, 35	SGND	信号地。内部控制电路的地。
8	10	SENSE+	差分输出电压检测正输入。用于检测远端负载。MAX5065和MAX5067分别根据工厂预置的+0.6V和+0.8V基准电压调节SENSE+和SENSE-之间的电压差。
9	11	SENSE-	差分输出电压检测负输入。用于检测远端负载。在负载处连接SENSE-至V _{OUT} 或PGND。
10	12	DIFF	远端检测差分放大器输出。DIFF是精密单位增益放大器的输出。
11	13	EAN	电压误差放大器反相输入。从远端检测差分放大器的输出接收信号。参照至SGND。
12	14	EAOUT	电压误差放大器的输出。连接至外部的增益设置反馈电阻。外部误差放大器的增益设置电阻决定自适应电压定位的数值。
15	19	EN	输出使能。逻辑低电平关断电源驱动器。EN的内部上拉电流为5μA。
16, 26	22, 34	BST1, BST2	自举飞电容连接引脚。连接为高侧FET驱动器供电的储备电容。在BST_和LX_之间连接一个0.47μF陶瓷电容。
17, 25	23, 32	DH1, DH2	高侧栅极驱动器输出。驱动高侧MOSFET的栅极。
18, 24	24, 31	LX1, LX2	电感连接点。高侧MOSFET的源极连接点。同时也是高侧驱动器的返回端。
19, 23	25, 30	DL1, DL2	低侧栅极驱动器输出。两相同步MOSFET的栅极驱动器。
20	27	V _{CC}	内部+5V调节器输出。V _{CC} 在内部取自IN电压。使用4.7μF和0.1μF并联陶瓷电容旁路至SGND。
21	28	IN	电源电压连接点。+5V系统可连接IN至V _{CC} 。通过由一个2.2Ω电阻和一个0.1μF陶瓷电容所组成的RC低通滤波器将非稳压电源连接至IN。
22	29	PGND	功率地。连接V _{CC} 旁路电容、输入电容、输出电容、以及低侧同步MOSFET源极到PGND。

双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

引脚说明 (续)

引脚		名称	功能
MAX5065	MAX5067		
27	36	CLKOUT	振荡器输出。CLKOUT由CLKIN经过移相得到，相移大小由PHASE输入决定。CLKOUT可用于与其他MAX5065/MAX5067并联工作。
28	38	CLKIN	CMOS逻辑时钟输入。使用125kHz至600kHz之间的频率驱动CLKIN或者将其连接至V _{CC} 或SGND。将CLKIN连接至SGND将设置内部振荡器频率为250kHz，连接到V _{CC} 则设置内部振荡器频率为500kHz。CLKIN的内部下拉电流为5μA。
—	6	OVPIN	过压保护输入。将OVPIN连接至V _{OUT} 和GND之间的电阻分压器的中间点。当OVPIN相对于SGND超过+0.8V时，OVPOUT将DH ₋ 锁定为低，将DL ₋ 锁定为高。切换EN为低再回到高或断电后再重新加电可复位锁存器。
—	8	OVPOUT	过压保护输出。高电平有效、推挽式输出的OVPOUT可用于触发保护器件(例如SCR)。
—	9	PGOOD	电源就绪输出。漏极开路、低有效PGOOD输出在输出电压失去稳定或检测到相位失效时变为低。电源就绪窗口比较器的门限为稳定输出电压的+8%和-10%。强制EN为低电平时PGOOD也被强制为低电平。
—	1, 2, 3, 4, 15, 18, 21, 33, 37, 44	N.C.	无连接。无内部连接。
—	26	V _{DD}	低侧和高侧驱动器的供电引脚。可用V _{CC} 驱动V _{DD} 。用并联的1μF和0.1μF陶瓷电容旁路至PGND，用一只1Ω电阻连接至V _{CC} 滤除驱动器高峰值电流所引起的噪声。

详细说明

MAX5065/MAX5067平均电流模式PWM控制器驱动两个异相buck转换器通道。平均电流模式控制改善了通道间的电流均衡，同时降低了元件的降额要求和尺寸。多个MAX5065/MAX5067调节器并联工作可以提高输出电流能力。为尽可能地抑制输入纹波，应设置各相间的相移为90°(两个转换器并联工作)或者60°(3个转换器并联工作)。并联使用MAX5065/MAX5067可以满足不断升级(要求更高负载能力)的应用需求，提供更高的设计灵活性。

异相锁定架构的双相转换器降低了输入和输出电容上的纹波电流，等效倍增了开关频率，倍增因数等于相数。MAX5065/MAX5067中的每一相都包含一个内平均电流环，两相的电流环由一个共同的外环电压误差放大器(VEA)控制。两个内电流环和外电压环的联合作用纠正了输出电压的误差，并强制两相电流相等。使用SENSE+和SENSE-之间的电阻分压器对输出电压进行编程，编程

范围为+0.6V至+3.3V(MAX5065)或+0.8V至+3.3V(MAX5067)。

$$V_{IN}, V_{CC}, V_{DD}$$

MAX5065/MAX5067具有很宽的输入电压范围，从+4.75V至+5.5V或者从+8V至+28V。所有的内部控制电路都使用内部稳压的标称+5V电压(V_{CC})工作。对于+8V或者更高的输入电压，内部V_{CC}稳压器将该电压降压为+5V。V_{CC}输出电压稳定在+5V，同时可输出最高80mA的电流。使用4.7μF和0.1μF低ESR陶瓷电容旁路V_{CC}至SGND，以便抑制高频噪声并使工作稳定(图1、2、3)。

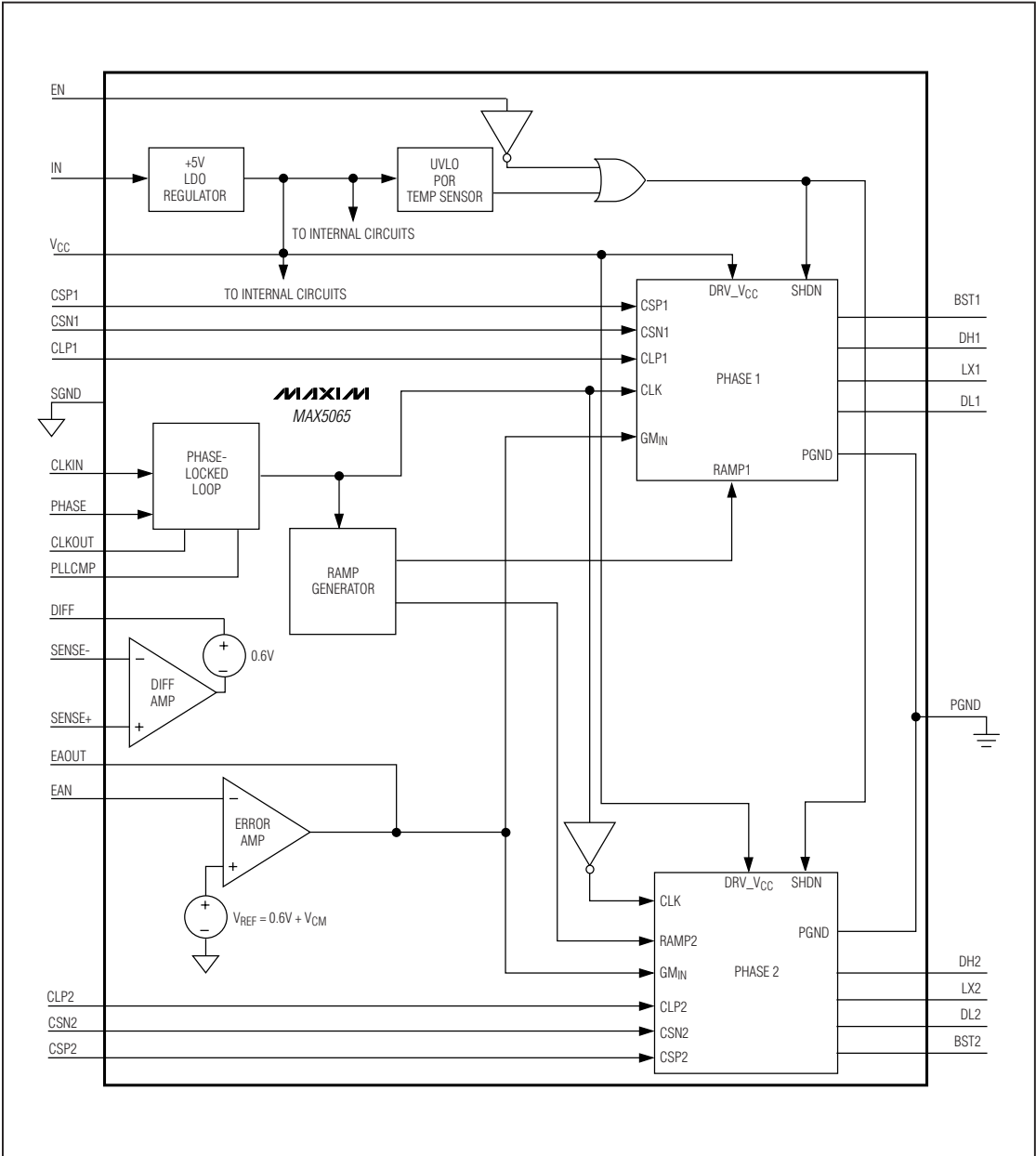
MAX5065/MAX5067的功率损耗等于输入电压与V_{CC}稳压器总输出电流(I_{CC})之积。I_{CC}包含静态电流(I_Q)和栅极驱动电流(I_{DD})：

$$P_D = V_{IN} \times I_{CC} \quad (1)$$

$$I_{CC} = I_Q + f_{sw} \times (Q_{G1} + Q_{G2} + Q_{G3} + Q_{G4}) \quad (2)$$

双相、可并联、+0.6V至+3.3V输出、
平均电流模式控制器

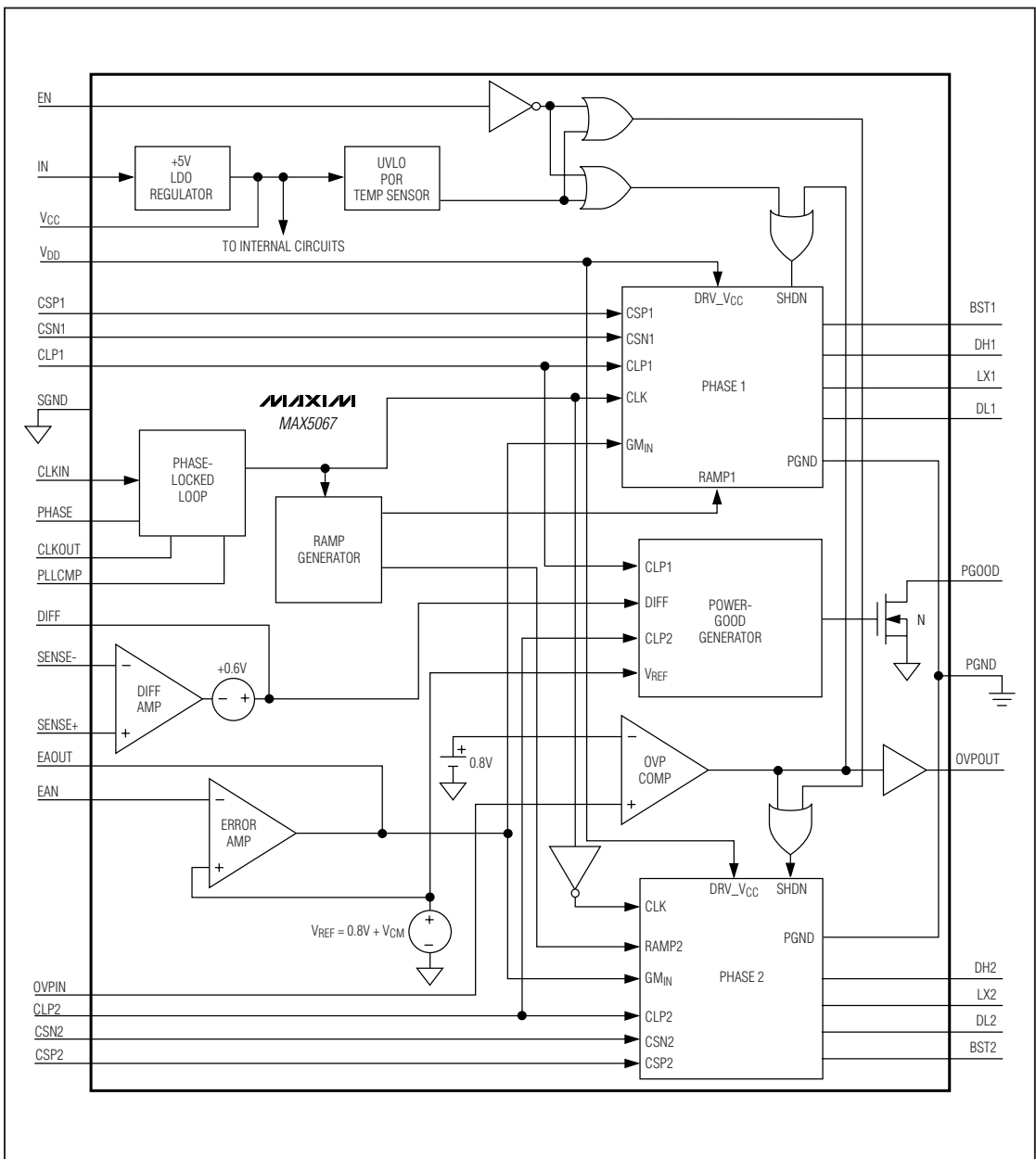
功能框图



双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

功能框图 (续)

MAX5065/MAX5067



双相、可并联、+0.6V至+3.3V输出、
平均电流模式控制器

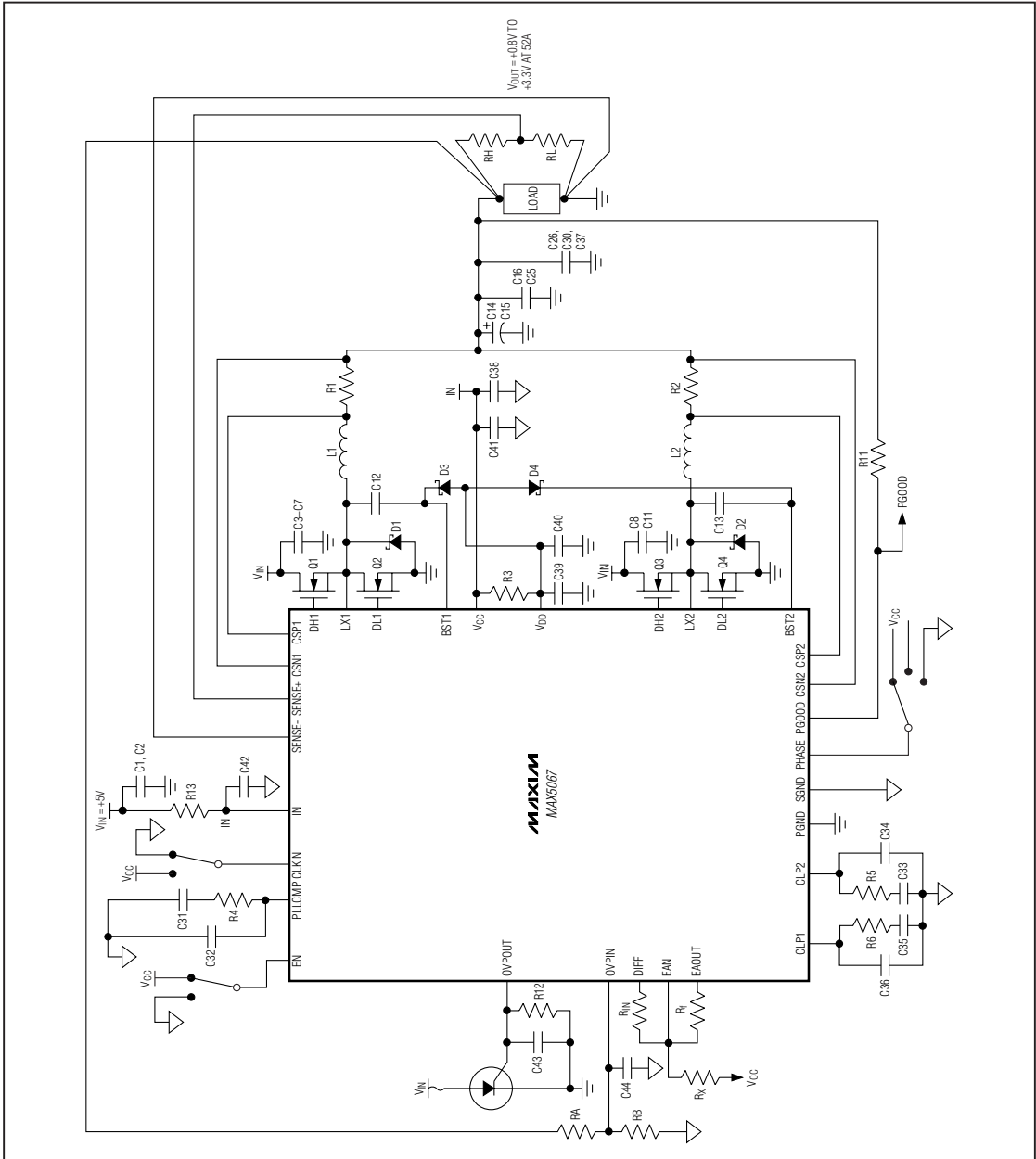


图1. 典型应用电路, $V_{IN} = +5V$

双相、可并联、+0.6V至+3.3V输出、
平均电流模式控制器

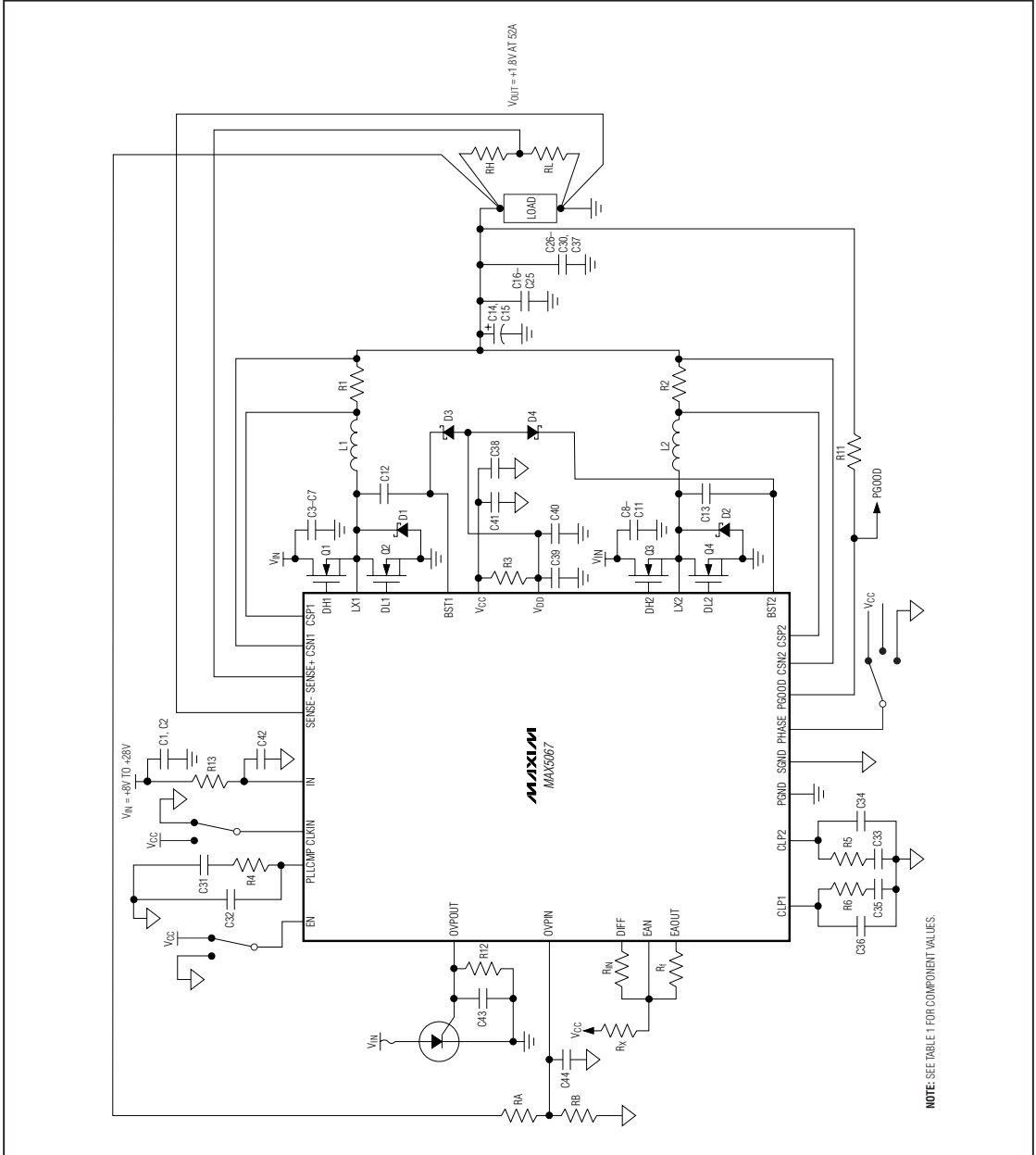


图2. 典型 VRM 应用电路, $V_{IN} = +8V$ 至 $+28V$

双相、可并联、+0.6V至+3.3V输出、
平均电流模式控制器

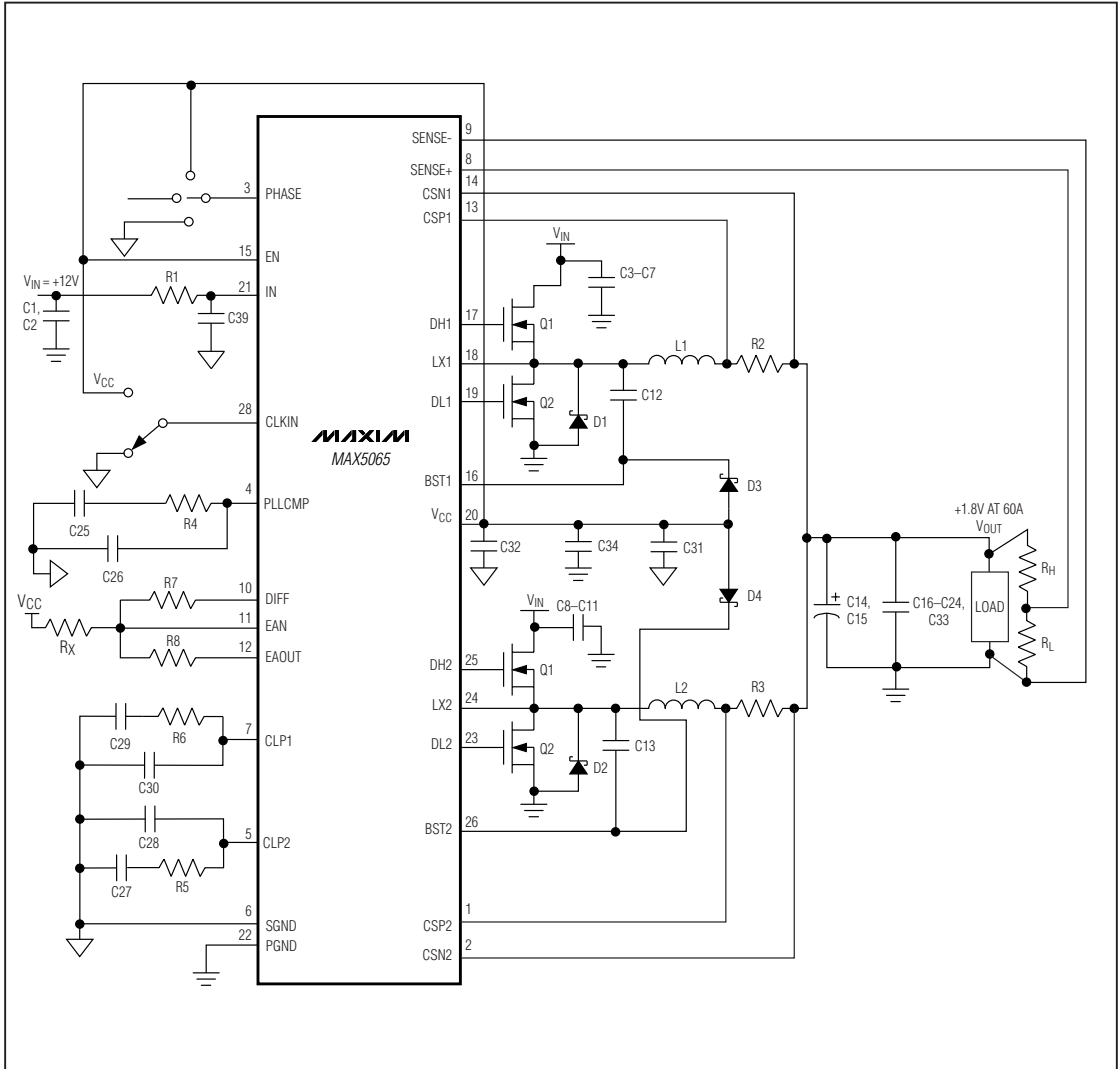


图3. MAX5065 典型应用电路

双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

控制环

其中， Q_{G1} 、 Q_{G2} 、 Q_{G3} 和 Q_{G4} 是低侧和高侧外部MOSFET的总栅极电荷， I_Q 为4mA（典型值）， f_{SW} 为各相的开关频率。

对于使用+5V输入电压的应用，将IN和 V_{CC} 连接在一起可以禁用 V_{CC} 调节器。

欠压锁定 (UVLO)/软启动

MAX5065/MAX5067包含一个有滞回的欠压锁定电路和上电复位电路，用于开启转换器并提供一个单调上升的输出电压。UVLO门限被内部设定在+4.0V至+4.5V之间，具有200mV滞回。UVLO的滞回可以消除启动期间的“振颤”现象。

大多数内部电路，包括振荡器，在输入电压达到+4V时被打开。MAX5065/MAX5067在输入电压达到UVLO门限之前吸收最高4mA电流。

电流误差放大器 (CLP1和CLP2)的补偿网络可以为输出电压提供固有的软启动。它由电容 (C34和C36)与另外的电容 (C33和C35)和电阻 (R5和R6)串联后再并联组成 (参见图1和图2)。CLP_电压限定了为输出电容充电的最大电流。CLP_处的电容以及电流误差放大器有限的输出驱动电流实现了受限制的输出电流和输出电压上升时间。

内部振荡器

内部振荡器可产生脉宽调制 (PWM)电路所要求的180°异相时钟信号。振荡器还负责产生PWM比较器所需的 $2V_{P-P}$ 电压斜坡信号。将CLKIN连接至SGND设置内部振荡器的频率为250kHz，将CLKIN连接至 V_{CC} 则设置内部振荡器的频率为500kHz。

CLKIN是锁相环 (PLL)的CMOS逻辑时钟输入。当被外部驱动时，内部振荡器被锁定在CLKIN驱动信号上。CLKIN的上升沿启动PWM的导通周期。应确保外部时钟的脉宽至少为200ns。CLKOUT提供相对于CLKIN信号的上升沿具有一定相移的输出。PHASE引脚可选择CLKOUT信号的相移量。将PHASE连接至 V_{CC} 设置相移为120°，保持PHASE浮空设置相移为90°，将PHASE连接至SGND设置相移为60°，相移都相对于CLKIN。

即使使用内部振荡器工作时，MAX5065/MAX5067也需要在PLLAMP引脚作补偿。该器件需要工作的PLL提供PWM工作所需的时钟信号。

MAX5065/MAX5067使用平均电流模式控制技术对输出电压进行调节 (图4)。主控制环由一个内电流环和一个外电压环组成。内环控制输出电流 (I_{PHASE1} 和 I_{PHASE2})，外环控制输出电压。内电流环吸收了电感极点，因而使外电压环降阶为单极点系统。

电流环由检流电阻 (R_S)、电流检测放大器 (CA_+)、电流误差放大器 (CEA_+)、产生斜坡信号的振荡器和PWM比较器 ($CPWM_+$)组成。放大器 CA_+ 将 R_S 两端的检测电压精确放大了18倍。 CA_+ 输出被送入 CEA_+ 的反相输入。 CEA_+ 输出代表电压误差放大器的输出 ($EAOUT$)和由 CA_+ 放大输出的电压两者之间的差值。连接于CLP1和CLP2的RC补偿网络对相应的 CEA_+ 提供外部频率补偿。每个时钟周期开始时，高侧驱动器被打开，并启动一个PWM导通周期。比较器 $CPWM_+$ 比较 CEA_+ 输出和振荡器产生的0至+2V斜坡电压。当斜坡电压超过误差电压时PWM导通周期终止。

外电压控制环由差分放大器 (DIFF AMP)、基准电压和电压误差放大器 (VEA)组成。单位增益的差分放大器对输出电压进行真差分遥感。差分放大器的输出连接至 VEA 的反相输入 (EAN)。 VEA 的同相输入内连至一个内部精密基准源。MAX5067的基准电压被设置为+0.8V，MAX5065的基准电压被设置为+0.6V。 VEA 控制着两个内部电流环 (图4)。使用电阻反馈网络根据自适应电压定位电路的要求设置 VEA 增益 (参见“自适应电压定位”单元)。

电流检测放大器

差分电流检测放大器 (CA_+)的直流增益为18。放大器的最大输入失调电压为1mV，共模电压范围为-0.3V至+3.6V。电流检测放大器测量检流电阻两端的电压。

峰值电流比较器

峰值电流比较器提供了一条在极端故障情况 (例如输出电压故障)下的快速逐周期限流通道 (图5)。注意48mV的平均电流门限仍然限制着短路情况下的输出电流。为防止电感饱和，应选择饱和电流规格高于平均电流限 (48mV)的输出电感。正确的电感选择应该保证只在诸如输出电压感碎裂这样的极端情况下触发峰值电流比较器。触发峰值电流比较器所需的112mV电压门限是最大平均电流门限的两倍。峰值电流比较器仅有260ns的延迟。

双相、可并联、+0.6V至+3.3V输出、平均电流模式控制器

电流误差放大器

MAX5065/MAX5067的每一相都有一个专用的跨导电流误差放大器(CEA₁)，跨导 g_m 的典型值为 $550\mu s$ ，具有 $320\mu A$ 的输出吸收和源出电流能力。电流误差放大器的输出，CLP1和CLP2，连接至PWM比较器的反相输入。通过CLP1和CLP2，可在外部对内电流环进行频率补偿(图4)。对CEA₁的补偿应使电感电流的下降斜率(在PWM比较器反相输入端已变为上升斜率)低于内部产生的斜坡电压的斜率(参见“补偿”单元)。

PWM比较器和R-S触发器

PWM比较器(CPWM)通过比较电流误差放大器的输出和一个 $2V_{P-P}$ 的斜坡信号确定每个周期的占空比。每个时钟周期开始时，R-S触发器被复位，高侧驱动器(DH₁)被打

开。一旦斜坡电压超过了CLP₁电压比较器就置位触发器，终止导通周期(图5)。

差分放大器

差分放大器(DIFF AMP)用于在负载点遥感输出电压(图4)。它可提供对输出电压的真差分检测，消除高电流地回路造成的共模电压误差。直接在负载点检测输出电压有利于在大电流环境下提供精确的输出电压。VEA提供差分放大器输出(DIFF)和期望输出电压之间的差值。差分放大器具有3MHz带宽。SENSE+和SENSE-之间的差值对于MAX5065稳定在+0.6V，对于MAX5067稳定在+0.8V。将SENSE+连接到输出和SENSE-之间的电阻分压器的中间抽头。

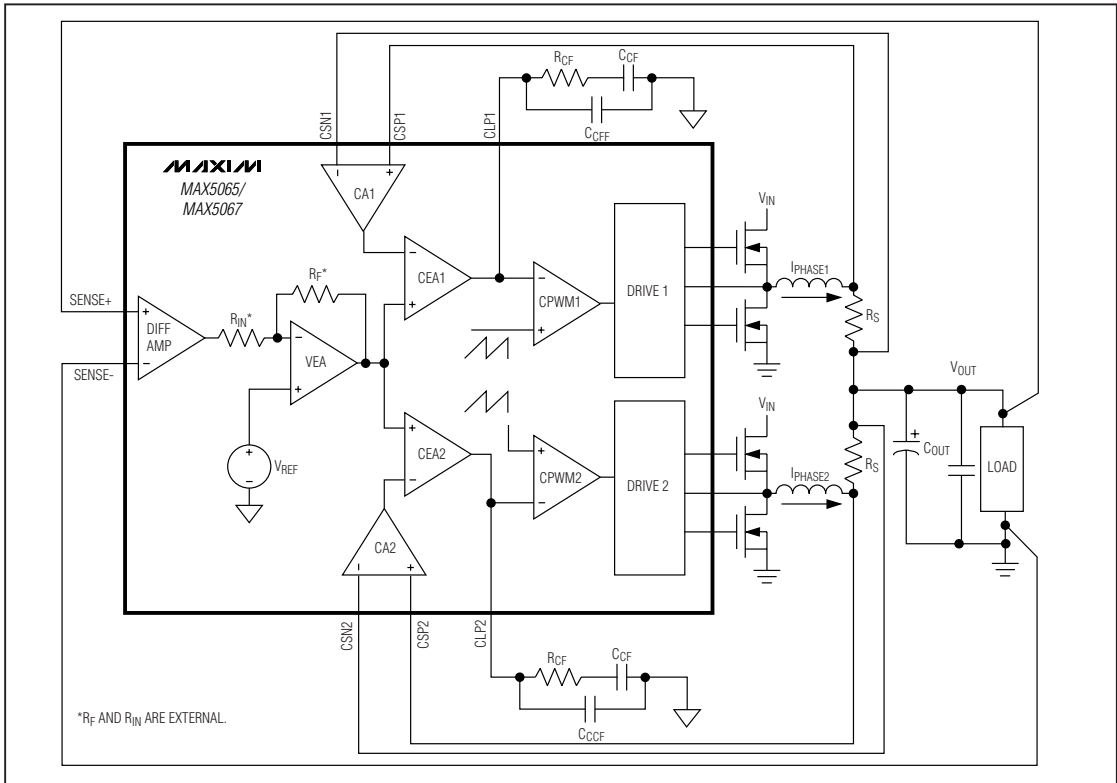


图4. MAX5065/MAX5067控制环路

双相、可并联、+0.6V至+3.3V输出、平均电流模式控制器

电压误差放大器

VEA 设定电压控制环的增益，并决定差分放大器输出和内部基准电压 (V_{REF}) 之间的误差。

VEA 输出相对于 V_{CM} (+0.6V) 钳位至 +0.9V，这样就限制了每个单相的平均最大电流。每相的最大平均电流限等于 VEA 的最大钳位电压除以电流检测放大器的增益 (18)。这可精确地设置每一相的平均最大电流。根据额定电流范围内对于输出电压定位的要求，用 R_F 和 R_{IN} 设置 VEA 的增益，参考“自适应电压定位”部分(图4)。

$$V_{OUT(NL)} = \left(1 + \frac{R_{IN}}{R_F}\right) \times \left(\frac{R_H + R_L}{R_L}\right) \times V_{REF} \quad (3)$$

其中 R_H 和 R_L 为反馈电阻网络 (图 1, 2)， $V_{REF} = 0.6V$ (MAX5065) 或 $0.8V$ (MAX5067)。

一些应用要求空载下的 V_{OUT} 等于 $V_{OUT(NOM)}$ 。为了确保输出电压不超过额定输出电压 ($V_{OUT(NOM)}$)，可在 V_{CC} 和 EAN 之间加入一个电阻 R_X 。

使用下列等式计算 R_X 的值。

对于 MAX5065:

$$R_X = [V_{CC} - 1.2] \times \frac{R_F}{0.6V} \quad (4)$$

对于 MAX5067:

$$R_X = [V_{CC} - 1.4] \times \frac{R_F}{0.8V} \quad (5)$$

自适应电压定位

驱动新一代的处理器需要采用新技术来降低成本、尺寸和功率耗散。电压定位技术能够以更少的输出电容数量满足瞬态响应要求。这种技术使空载时的输出电压略高于额定负载条件下的输出，这样在输出电流突增时就容许电压有更大幅度的向下偏移。反之，将重载时的输出电压稳定在较低位置，当负载突降时就允许输出电压有较大幅度的向上偏移。容许的输出电压偏移越大，所需的输出电容数量就越少，或者对于电容 ESR 的要求就越低。

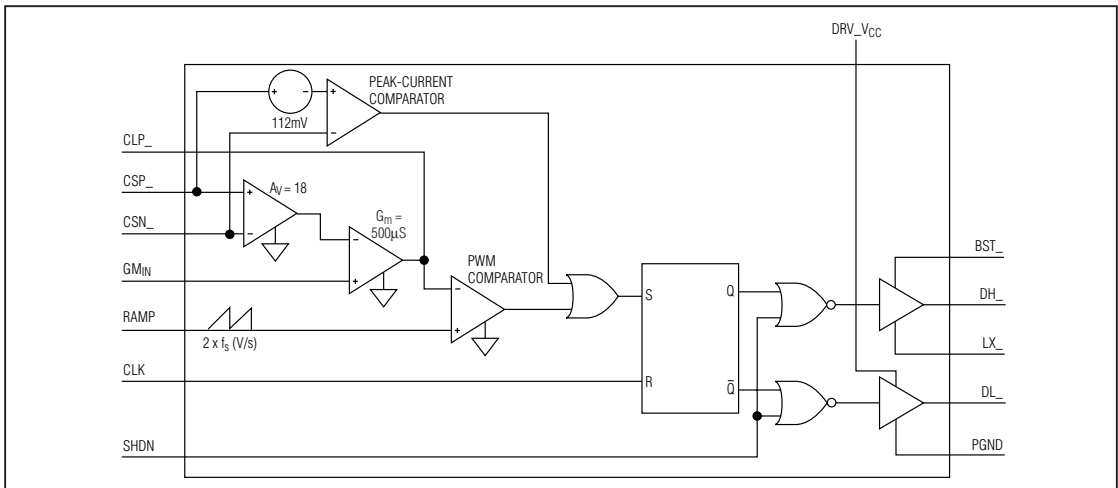


图5. 其中一相电路 (相 1/2)

双相、可并联、+0.6V至+3.3V输出、平均电流模式控制器

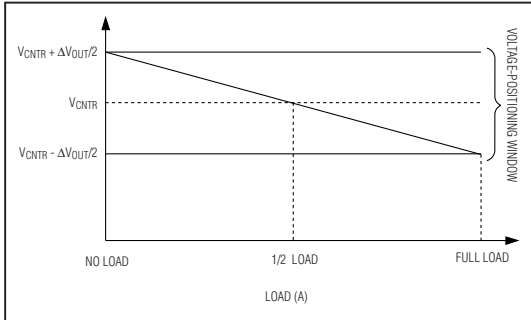


图6. 定义电压定位窗口

电压定位需要将输出电压调离中心值。中心值定义为负载电流为最大输出一半时的输出电压(图6)。

通过VEA的电阻反馈网络，可以设置电压定位窗口(ΔV_{OUT})。按照下式计算MAX5065/MAX5067的电压定位窗口：

$$\Delta V_{OUT} = \frac{I_{OUT} \times R_{IN}}{2 \times G_C \times R_F} \times \frac{R_H + R_L}{R_L} \quad (6)$$

$$G_C = \frac{0.05}{R_S} \quad (7)$$

其中 R_{IN} 和 R_F 为VEA的输入和反馈电阻， G_C 为电流环的跨导， R_S 为检流电阻。

锁相环：工作和补偿

当用一个外部频率源驱动CLKIN时，PLL可以用它来同步内部振荡器。连接CLKIN至 V_{CC} 或SGND，将强制PWM工作于默认的内部振荡器频率，分别为500kHz或250kHz。PLL使用传统的结构，包含一个鉴相器和一个能够提供20 μ A输出电流的电荷泵。在PLLAMP和SGND之间连接一个串联的电容(C31)和电阻(R4)以及一个并联电容(C32)，为PLL提供频率补偿(图1)。该补偿网络提供了一个零点($1 / [R4 \times (C31 + C32)]$)和一个极点

($1 / (R4 \times C32)$)。可以使用以下典型值补偿PLL：

$R4 = 7.5k\Omega$ ， $C31 = 4.7nF$ ， $C32 = 470pF$ 。如果PLL频率改变，将会有有一个有限的锁定时间，大约为200 μ s。

即使使用内部振荡器工作，MAX5065/MAX5067仍需要在PLLAMP上作补偿。该器件需要PLL产生正确的内部PWM时钟。

MOSFET栅极驱动器(DH_，DL_)

高侧(DH_)和低侧(DL_)驱动器用于驱动外部N沟道MOSFET的栅极(图1、2、3)。驱动器具有很高的峰值吸收和灌出电流，为开关MOSFET的快速上升和下降提供了充足的驱动。快速上升和下降时间有利于降低交叉传导带来的损耗。用于现代CPU的电压调节模块通常工作在低于50%的占空比，高侧MOSFET(Q1和Q3)可选用具有中等 $R_{DS(ON)}$ ，栅极电荷量低的器件。而低侧MOSFET(Q2和Q4)应选择具有很低 $R_{DS(ON)}$ 和中等栅极电荷的器件。

驱动器单元还包含一个自适应防交迭时间逻辑，以防开关转换期间的穿透电流。高侧和低侧MOSFET之间具有典型60ns的防交迭时间。

BST_

MAX5067使用 V_{DD} 为低侧和高侧MOSFET驱动器供电。高侧驱动器通过一个自举电容获得供电， V_{DD} 在内部为低侧驱动器供电。在BST_和LX_之间连接一个0.47 μ F的低ESR陶瓷电容。用4.7 μ F和0.1 μ F的低ESR陶瓷电容并联为 V_{CC} 去耦(旁路至SGND)。尽可能缩小由这些电容、 V_{CC} 与自举电容间的整流二极管、MAX5065/MAX5067和开关MOSFET所包围的PC板面积。

过载情况

平均电流模式控制能够限制故障情况下转换器的平均输出电流。发生故障时，VEA输出被钳位至+0.9V(相对于共模电压 $V_{CM} = +0.6V$)，并被用来与检流放大器(CA1和CA2)的输出进行比较(参见图4)。检流放大器18倍的增益使电感或检流电阻中的最大电流限制在 $I_{LIMIT} = 50mV/R_S$ 。

双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

保护

MAX5067 包含输出过压保护 (OVP)、欠压保护 (UVP)、相位失效和过载保护等, 以防止对接受供电的电子电路造成损伤。

过压保护 (MAX5067)

OVP 比较器比较 OVPIN 输入和过压门限 (图 7)。过压门限典型值为 +0.8V。当检测到一个过压事件时, 比较器输出被锁定, 并强制功率级进入 OVP 状态。在 OVP 状态下, 高侧 MOSFET 被关断, 低侧 MOSFET 被锁定在导通状态。OVPOUT 具有高电流驱动能力, 可被用于打开一个外部的“撬棍”SCR。当“撬棍”SCR 被打开时保险丝必须被熔断, 或者为 MAX5067 调节器供电的电源电流必须受到限制, 以免对外部电路造成进一步损害。将 SCR 安装在靠近输入电源和保险丝之后的位置。SCR 要具有足够的功率容量, 以便处理因输入、输出电容放电和电源输出电流所产生的峰值 I^2t 能量。将 DIFF 连接至 OVPIN 可实现差分输出检测和过压保护。加入一个 RC 延时可降低过压保护电路的灵敏度, 避免转换器被误触发 (图 1、2)。在负载和 SGND 之间连接一个电阻分压器可设置 OVP 输出电压。

$$V_{OVP} = \left(1 + \frac{R_A}{R_B}\right) \times 0.8V \quad (8)$$

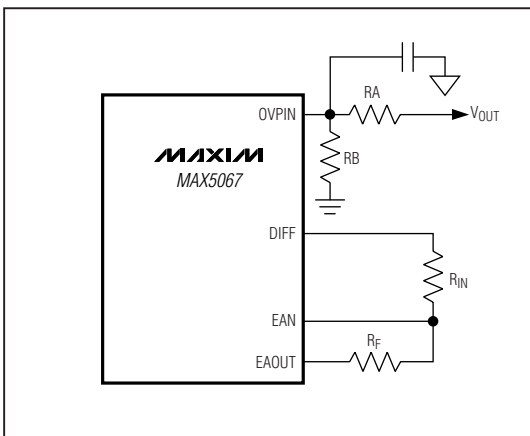


图7. OVP输入延时。

Power-Good发生器 (MAX5067)

如果下列条件全部满足, PGOOD输出为高电平 (图 8):

- 1) 输出位于设定电压的 90% 至 108% 以内。
- 2) 两相均有输出电流。
- 3) EN 为高。

窗口比较器比较差分放大器的输出 (DIFF) 和 1.08 倍的设定电压, 实现过压监视; 和 0.9 倍的设定电压相比较实现欠压监视。失相比较器通过比较电流误差放大器的输出 (CLP_) 和 2.0V 基准电压来检测相失效。

在 PGOOD 和一个低于或等于 V_{CC} 的电压源之间连接一个 $10k\Omega$ 的上拉电阻。输出电压偏离比较器窗口或某一相失效时都会使漏极开路输出为低电平。漏极开路 MOSFET 在吸入 $4mA$ 电流时能够保持低于 $0.2V$ 的 PGOOD 输出。

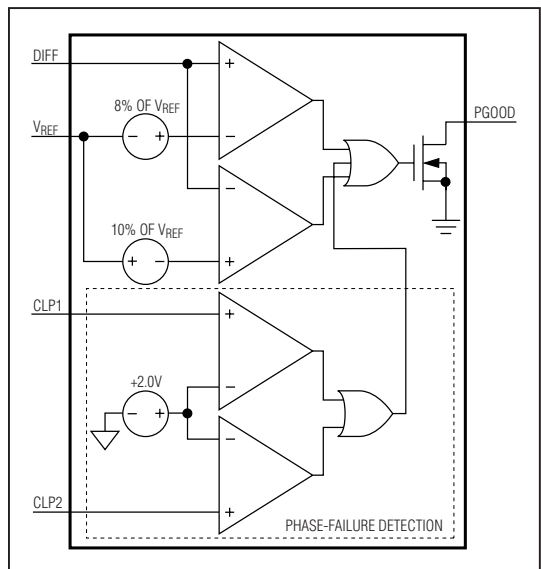


图8. Power-Good发生器 (MAX5067)。

双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

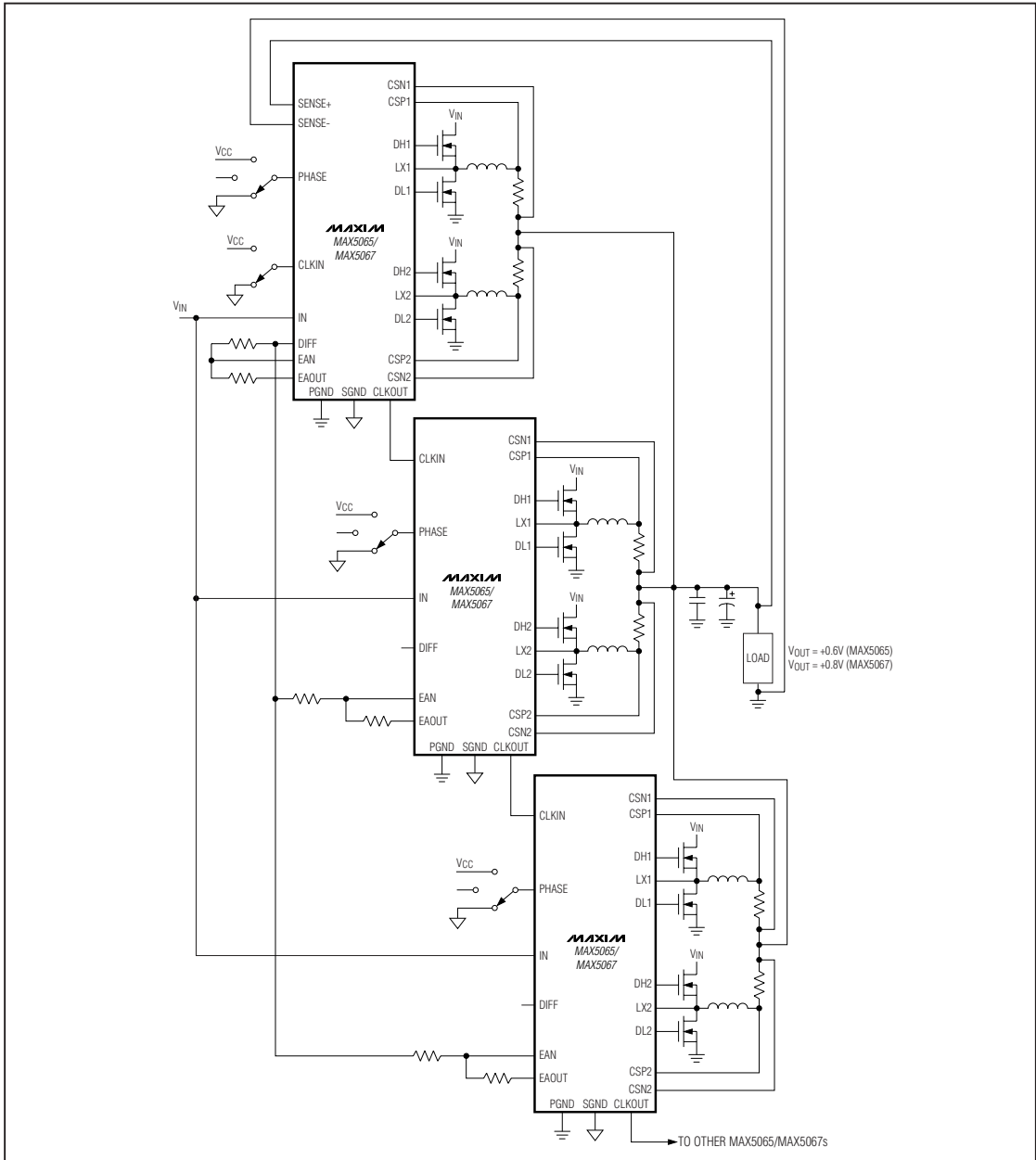


图9. 多个 MAX5065/MAX5067 的并联配置。

双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

MAX5065/MAX5067

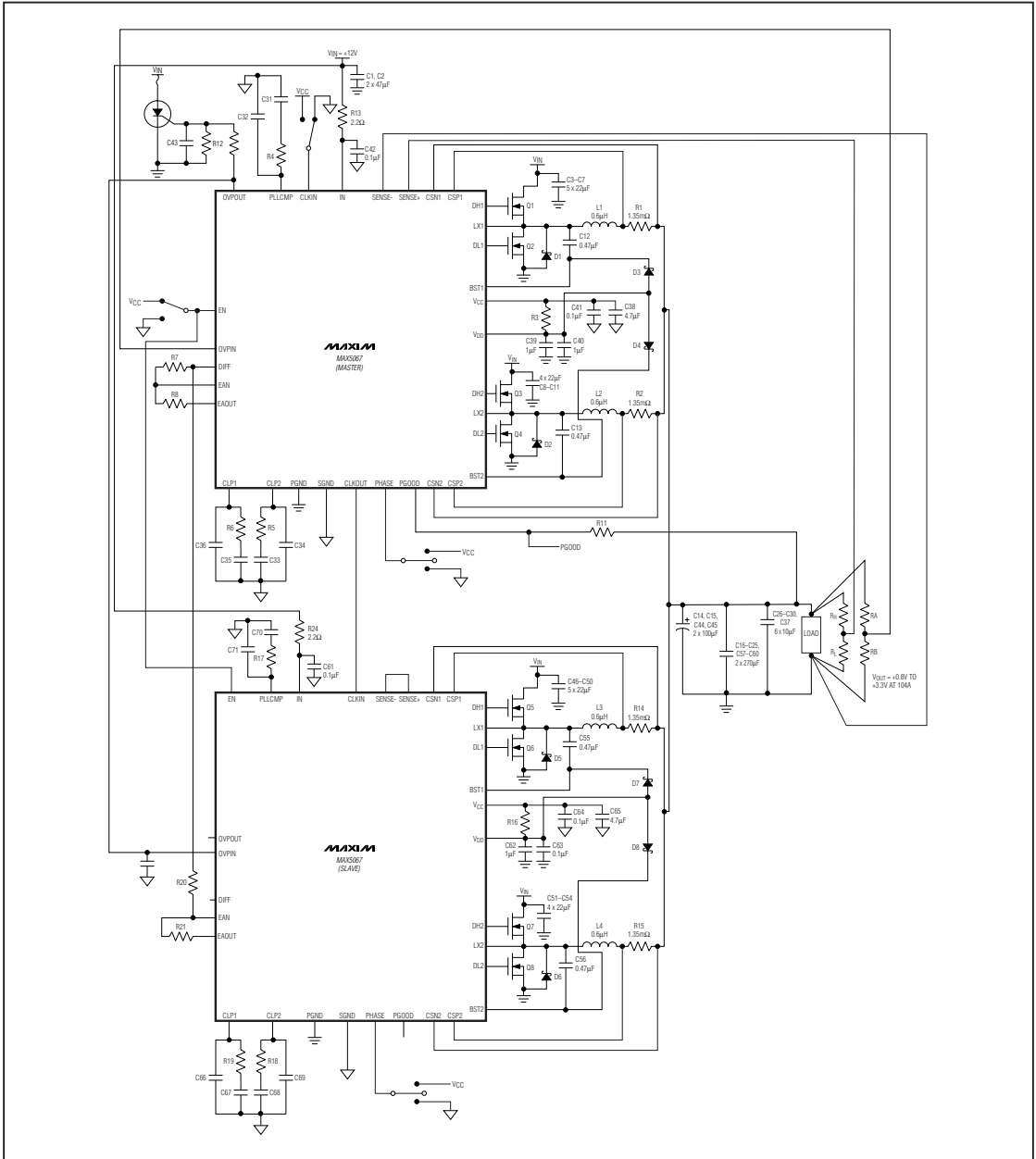


图 10. 四相并联应用电路 ($V_{IN} = +12V$, $V_{OUT} = +0.8V$ 至 $+3.3V/104A$)。

双相、可并联、+0.6V至+3.3V输出、平均电流模式控制器

失相检测器 (MAX5067)

两相控制器对于输出电流的贡献彼此相差应在 $\pm 10\%$ 以内。合理的电流均衡可降低外部元件过补偿的必要性。然而，如果某一相失效而又未被检测到，另一相就会试图满足全部负载电流要求。最终，超负荷工作的这一相控制器也会失效。

在正常工作情况下，CLP_上的电平位于PWM斜坡信号的峰-峰电平以内。如果其中一相失效，控制环会将 CLP_电压升高至工作范围以上。为了确定失相故障，失相检测电路(图 8)监视电流放大器的输出 (CLP1 和 CLP2)，并将它们与 2.0V 基准电压比较。如果 CLP1 或 CLP2 的电平超过基准电压的持续时间超过 1250 个时钟周期，失相电路会强制 PGOOD 为低电平。

并联工作

对于需要高输出电流的应用，可使最多 3 个 MAX5065/MAX5067 并联工作以提供 3 倍的输出电流 (参见图 9 和图 10)。并联转换器工作在相同开关频率但相位不同，这样可以使电容的纹波 RMS 电流最小。三个并联的 MAX5065/MAX5067 转换器可提供高达 180A 的输出电流。可通过 PHASE 引脚设置片上 PLL 的相移，浮空时可获得 90° 相移 (适合二个并联转换器)，连接 PHASE 至 SGND 时可获得 60° 相移 (用于三个转换器并联)。指定其中一个转换器为主控制器，其余都为从控制器。主、从控制器串行连接如图 9 所示。主控制器的 CLKOUT 连接至第一个从控制器的 CLKIN，第一从控制器的 CLKOUT 连接至第二从控制器的 CLKIN。选择合适的相移使输入和输出电容中的纹波电流最小。主控制器通过 SENSE+ 和 SENSE- 检测输出差分电压并产生 DIFF 电压。不要连接从控制器的 DIFF (悬空)，使其电压检测功能不起作用。图 10 显示了两片 MAX5067 并联应用的典型电路。该电路总共包含四相，工作于 +12V 输入，输出电压范围为 +0.6V 至 +3.3V (MAX5065) 或 +0.8V 至 +3.3V (MAX5067)，输出电流高达 104A。

应用信息

每个 MAX5065/MAX5067 驱动两个相差 180° 的异相通道。二或三片 MAX5065/MAX5067 并联工作分别可提供

四或六相。图 1 显示了两相工作时的典型应用电路。两相转换器的设计要点包括频率的选择、电感值、输入/输出电容、开关 MOSFET、检流电阻和补偿网络等。同样的步骤也可用于四相和六相转换器的设计，只是输入和输出电容的选择有所不同。输入和输出电容的要求随着工作占空比的变化而改变。

本数据资料中所讨论的实例均属于以下典型应用：

$$\begin{aligned} V_{IN} &= +12V \\ V_{OUT} &= +1.8V \\ I_{OUT(MAX)} &= 52A \\ F_{SW} &= 250kHz \\ \text{峰-峰电感电流 } (\Delta I_L) &= 10A \end{aligned}$$

表 1 给出了推荐的外部元件列表 (图 1)，表 2 提供了元件的供应商信息。

相数选择

电压调节器相数的选择主要取决于输入-输出电压之比 (工作占空比)。正确的工作占空比和相数的组合能最大限度地消除输出纹波。以下式为出发点选择一个合适的相数：

$$N_{PH} \approx K/D \quad (9)$$

其中 $K = 1、2、$ 或 3 ，占空比 $D = V_{OUT}/V_{IN}$ 。

选择合适的 K 使 N_{PH} 为整数。例如，将 $V_{IN} = +12V$ 转换为 $V_{OUT} = +1.8V$ ，六相转换器比四相转换器有更好的纹波抑制效果。同时还应确定输出负载与需要大量元件的多相转换向协调。一般来说，限制每相的最大输出电流为 25A 可获得最高成本效益的方案。 $N_{PH} = K/D$ 时具有最佳的纹波抑制效果。

单相转换需要较大尺寸和功率耗散的外部元件，例如开关 MOSFET 和电感。多相转换器在更多的外部元件中分配功率耗散，省掉了散热器。多相工作在一定的相移下等效提升了作用于输入/输出电容的开关频率，因而在保持相同纹波性能的前提下降低了对输入/输出电容的要求。较低的电感值可改善输出负载瞬变时转换器的大信号响应。在决定电压调节器所需的相数时，需要仔细考虑所有这些问题。

双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

MAX5065/MAX5067

表1. 元件列表

DESIGNATION	QTY	DESCRIPTION
C1, C2	2	47 μ F, 16V X5R input-filter capacitors TDK C5750X5R1C476M
C3-C11	9	22 μ F, 16V input-filter capacitors TDK C4532X5R1C226M
C12, C13	2	0.47 μ F, 16V capacitors TDK C1608X5R1A474K
C14, C15	2	100 μ F, 6.3V, output-filter capacitors Murata GRM44-1X5R107K6.3
C16-C25	10	270 μ F, 2V output-filter capacitors Panasonic EEFUE0D271R
C26-C30, C37	6	10 μ F, 6.3V output-filter capacitors TDK C2012X5R05106M
C31	1	4700pF, 16V X7R capacitor Vishay-Siliconix VJ0603Y471JXJ
C32, C34, C36	3	470pF, 16V capacitors Murata GRM1885C1H471JAB01
C33, C35, C43	3	0.01 μ F, 50V X7R capacitors Murata GRM188R71H103KA01
C38	1	4.7 μ F, 16V X5R capacitor Murata GRM40-034X5R475k6.3
C39	1	0.1 μ F, 10V Y5V capacitor Murata GRM188F51A105
C40, C41, C42	3	0.1 μ F, 16V X7R capacitors Murata GRM188R71C104KA01
C44	1	100pF—OVPIN capacitor
D1, D2	2	Schottky diodes ON-Semiconductor MBR340T3
D3, D4	2	Schottky diodes ON-Semiconductor MBR0520LT1
L1, L2	2	0.6 μ H, 27A inductors Panasonic ETQP1H0R6BFX
Q1, Q3	2	Upper-power MOSFETs Vishay-Siliconix Si7860DP
Q2, Q4	2	Lower-power MOSFETs Vishay-Siliconix Si7886DP
R1, R2	4	Current-sense resistors, use two 2.7m Ω resistors in parallel, Panasonic ERJM1WSF2M7U
R3, R13	2	2.2 Ω \pm 1% resistors
R4	2	7.5k Ω \pm 1% resistor
R5, R6	2	1k Ω \pm 1% resistors
R _{IN}	1	4.99k Ω \pm 1% resistor
R _f	1	37.4k Ω \pm 1% resistor
R11	1	10k Ω \pm 1% resistor
R12	1	10k Ω \pm 1% resistor
RA	1	See the <i>Overvoltage Protection (MAX5067)</i> section
RB	1	See the <i>Overvoltage Protection (MAX5067)</i> section
RH	1	See the <i>Adaptive Voltage Positioning and Voltage-Error Amplifier</i> sections
RL	1	See the <i>Adaptive Voltage Positioning and Voltage-Error Amplifier</i> sections
RX	1	Open circuit

表2. 元件供应商

SUPPLIER	PHONE	FAX	WEBSITE
Murata	770-436-1300	770-436-3030	www.murata.com
ON Semiconductor	602-244-6600	602-244-3345	www.on-semi.com
Panasonic	714-373-7939	714-373-7183	www.panasonic.com
TDK	847-803-6100	847-390-4405	www.tcs.tdk.com
Vishay-Siliconix	1-800-551-6933	619-474-8920	www.vishay.com

双相、可并联、+0.6V至+3.3V输出、平均电流模式控制器

电感选择

每相的开关频率、每相的峰-峰纹波电流、以及所允许的输出生纹波决定了电感值。

选择更高的开关频率可以降低对电感的要求，但是也会付出效率降低的代价。开关 MOSFET 栅极和漏极电容的充电/放电产生开关损耗。随着输入电压的升高，情况会进一步恶化，这是因为开关损耗正比于输入电压的平方。 $V_{IN} = +5V$ 时，使用每相 500kHz； $V_{IN} \geq +12$ 时，使用每相 250kHz 或者更低。

虽然每相较低的开关频率会增大峰-峰电感纹波电流 (ΔI_L)，多相结构的纹波抑制效应可降低输入和输出电容中的 RMS 纹波电流。

使用下面的等式计算最小电感值：

$$L_{MIN} = \frac{(V_{INMAX} - V_{OUT}) \times V_{OUT}}{V_{IN} \times f_{SW} \times \Delta I_L} \quad (10)$$

选择 ΔI_L 等于每相输出电流的约 40%。由于 ΔI_L 影响输出纹波电压，在选定了输出电容后可能还要对电感值进行小的调整，已达到满额效率。

可在多家制造商提供的标准规格的大电流、表贴电感系列中选择电感。特定应用可能需要定制电感。定制电感应使用高频磁芯材料。高 ΔI_L 会造成较大的峰-峰磁通摆幅，增大高频时的磁芯损耗。高频工作再加上高 ΔI_L 可以降低所要求的最小电感量，甚至可以允许使用平面电感。使用平面磁性元件的好处包括实现了低截面设计、由于能够严格控制寄生参数因而实现了各相之间优异的电流均衡、以及更低的成本等。

举例来讲，在 $V_{IN(MAX)} = +13.2V$ 、 $V_{OUT} = +1.8V$ 、 $\Delta I_L = 10A$ 、以及 $f_{SW} = 250kHz$ 条件下计算最小电感量如下：

$$L_{MIN} = \frac{(13.2 - 1.8) \times 1.8}{13.2 \times 250k \times 10} = 0.6\mu H \quad (11)$$

MAX5065/MAX5067 的平均电流模式控制特性可限制最大峰值电感电流，并防止电感饱和。选择饱和电流高于最坏情况下峰值电感电流的电感。使用下面的等式计算每相的最坏情况电感电流：

$$I_{L_PEAK} = \frac{0.05IV}{R_{SENSE}} + \frac{\Delta I_L}{2} \quad (12)$$

其中 R_{SENSE} 为每相的检流电阻。

开关 MOSFET

在为电压调节器选择 MOSFET 时，需要考虑总栅极电荷、 $R_{DS(ON)}$ 、功率耗散和封装的热阻等。MOSFET 栅极电荷与导通电阻的乘积是一个衡量其性能优劣的品质因数。选择一个适合于高频开关应用的 MOSFET。

MAX5065/MAX5067 输出的平均栅极驱动电流正比于 DH1、DH2、DL1 和 DL2 所驱动的总电容。MAX5065/MAX5067 的功率损耗正比于输入电压和平均驱动电流。参见 V_{IN} 、 V_{CC} 、 V_{DD} 部分以确定所有的驱动器输出组合在一起所允许的最大总栅极电荷。

栅极电荷和漏极电容损耗 (CV^2)，由于有限的上升/下降时间在高侧 MOSFET 中所造成的交叉传导损耗，以及 MOSFET 的 $R_{DS(ON)}$ 上的 RMS 电流所产生的 I^2R 损耗组成了 MOSFET 的全部损耗。使用下式估计高侧和低位 MOSFET 的功率损耗 ($PD_{MOS_}$)：

$$PD_{MOS-HI} = (Q_G \times V_{DD} \times f_{SW}) + \left(\frac{V_{IN} \times I_{OUT} \times (t_R + t_F) \times f_{SW}}{4} \right) + 1.4 R_{DS(ON)} \times I_{RMS-HI}^2 \quad (13)$$

其中 Q_G 、 $R_{DS(ON)}$ 、 t_R 以及 t_F 分别为高侧开关 MOSFET 的总栅极电荷、+25°C 下的导通电阻、上升时间和下降时间。

$$I_{RMS-HI} = \sqrt{\left(I_{DC}^2 + I_{PK}^2 \times \frac{D}{3} \right)} \quad (14)$$

其中 $D = V_{OUT}/V_{IN}$ ， $I_{DC} = (I_{OUT} - \Delta I_L)/2$ ， $I_{PK} = (I_{OUT} + \Delta I_L)/2$ 。

双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

$$PD_{MOS-LO} = (Q_G \times V_{DD} \times f_{SW}) + \left(\frac{2 \times C_{OSS} \times V_{IN}^2 \times f_{SW}}{3} \right) + 1.4 R_{DS(ON)} \times I_{RMS-LO}^2 \quad (15)$$

其中 C_{OSS} 为 MOSFET 的漏-源电容。

$$I_{RMS-LO} = \sqrt{\left(I_{DC}^2 + I_{PK}^2 + I_{DC} \times I_{PK} \right) \times \frac{(1-D)}{3}} \quad (16)$$

例如，根据“应用信息”部分中的典型规格 ($V_{OUT} = +1.8V$)，高侧和低侧 MOSFET 的 RMS 电流分别为 9.9A 和 24.1A。应确保 MOSFET 封装有足够低的热阻，以保持结温比最大极限值低至少 25°C。可用下式计算最高结温：

$$T_J = PD_{MOS} \times \theta_{J-A} + T_A \quad (17)$$

表3. 峰-峰输出纹波电流的计算

NUMBER OF PHASES (N)	DUTY CYCLE (D)	EQUATION FOR ΔI_{p-p}
2	< 50%	$\Delta I = \frac{V_O(1-2D)}{L \times f_{SW}}$
2	> 50%	$\Delta I = \frac{(V_{IN} - V_O)(2D-1)}{L \times f_{SW}}$
4	0 to 25%	$\Delta I = \frac{V_O(1-4D)}{L \times f_{SW}}$
4	25% to 50%	$\Delta I = \frac{V_O(1-2D)(4D-1)}{2 \times D \times L \times f_{SW}}$
4	> 50%	$\Delta I = \frac{V_O(2D-1)(3-4D)}{D \times L \times f_{SW}}$
6	< 17%	$\Delta I = \frac{V_O(1-6D)}{L \times f_{SW}}$

输入电容

降压转换器的不连续输入电流波形在输入电容上产生了很大的纹波电流。开关频率、峰值电感电流、允许反射到电源的峰-峰电压纹波决定了对电容的要求。增加相数等效增加了开关频率且降低了峰-均电流比，降低了对输入电容的要求。

输入纹波包含 ΔV_Q (由电容放电引起) 和 ΔV_{ESR} (由电容的 ESR 引起)。在输入端使用具有高纹波电流能力的低 ESR 陶瓷电容。假设 ESR 和电容放电对纹波的贡献分别占 30% 和 70%。使用下式计算特定纹波要求所需的输入电容值和 ESR：

$$ESR_{IN} = \frac{(\Delta V_{ESR})}{\left(\frac{I_{OUT}}{N} + \frac{\Delta I_L}{2} \right)} \quad (18)$$

$$C_{IN} = \frac{I_{OUT} \times D(1-D)}{\Delta V_Q \times f_{SW}} \quad (19)$$

其中 I_{OUT} 为多相转换器的总输出电流，N 为相数。

例如，若 $V_{OUT} = +1.8V$ ，当要求输入峰-峰纹波等于或低于 100mV 时，计算所得的 ESR 和输入电容值分别为 1mΩ 和 200μF。

输出电容

最坏情况下的峰-峰和 RMS 纹波电流、能够允许的峰-峰输出纹波电压、以及负载阶跃期间输出电压的最大允许偏差决定了对输出电容的电容值和 ESR 的要求。

在多相转换器中，来自于不同相的纹波电流彼此相消，因而降低了纹波电流。纹波相消的程度取决于工作占空比和相数。在表3中选择适当的公式可以计算出二、四或六相转换器在给定占空比下的峰-峰输出纹波 (ΔI_{p-p})。当 $N_{PH} = K/D$ 时产生最大的纹波抑制。

双相、可并联、+0.6V至+3.3V输出、平均电流模式控制器

负载快速瞬变期间所允许的输出电压偏差决定了输出电容容量及其 ESR。在控制器调高占空比响应之前，由输出电容负责供应阶跃负载。响应时间 (t_{RESPONSE}) 取决于转换器的闭环带宽。电容器 ESR 上的阻性压降和电容放电造成了负载阶跃期间的电压跌落。组合使用 SP 聚合物以及陶瓷电容可获得更好的负载瞬变和纹波/噪声性能。

注意保持最大输出电压偏离等于或小于自适应电压定位窗口 (ΔV_{OUT})。假设输出电容放电和 ESR 压降的贡献各占 50%。使用下式计算所需的 ESR 和电容值：

$$ESR_{\text{OUT}} = \frac{\Delta V_{\text{ESR}}}{I_{\text{STEP}}} \quad (20)$$

$$C_{\text{OUT}} = \frac{I_{\text{STEP}} \times t_{\text{RESPONSE}}}{\Delta V_{\text{Q}}} \quad (21)$$

其中 I_{STEP} 为负载阶跃， t_{RESPONSE} 为控制器的响应时间。控制器响应时间取决于控制环的带宽。

电流限制

MAX5065/MAX5067 的平均电流模式控制技术可精确限制每相的最大输出电流。MAX5065/MAX5067 检测检流电阻两端的电压并相应地限制峰值电感电流 ($I_{\text{L-PK}}$)。当电流检测电阻的电压达到 45mV (最小值) 时导通周期被终止。使用下式计算检流电阻的最大值：

$$R_{\text{SENSE}} = \frac{0.045}{\frac{I_{\text{OUT}}}{N}} \quad (22)$$

$$P_{\text{DR}} = \frac{2.5 \times 10^{-3}}{R_{\text{SENSE}}} \quad (23)$$

其中 P_{DR} 为检流电阻的功率损耗。选择比计算值低 5% 的 R_{SENSE} 以补偿 PC 板上的各种寄生效应。此外，还应注意选择无感且有适当额定功率容量的电阻。

反向电流限制

当 V_{BUS} 高于预置的输出电压时，MAX5065/MAX5067 对反向电流进行限制。

根据 V_{CLR} 、反向电流限制门限、以及检流电阻计算最大反向电流。

$$I_{\text{REVERSE}} = \frac{2 \times V_{\text{CLR}}}{R_{\text{SENSE}}} \quad (24)$$

其中 I_{REVERSE} 为进入转换器的总反向电流。

补偿

主控制环包括一个内电流环和一个外电压环。MAX5065/MAX5067 使用平均电流模式控制技术调节输出电压 (图 4)。 I_{PHASE1} 和 I_{PHASE2} 为内部平均电流环路。VEA 输出为这些电流源提供控制电压。内电流环吸收了电感极点，使外电压环的阶数降低为单极点系统。

VEA 周围的阻性反馈提供最佳的响应，因为在大信号摆动时没有电容需要充电和放电。 R_{F} 和 R_{IN} 设定了 VEA 的增益。使用下式计算 R_{F} 的值：

$$R_{\text{F}} = \frac{I_{\text{OUT}} \times R_{\text{IN}}}{N \times G_{\text{C}} \times \Delta V_{\text{OUT}}} \quad (25)$$

$$G_{\text{C}} = \frac{0.05}{R_{\text{S}}} \quad (26)$$

其中 G_{C} 为电流环路的跨导， N 为相数。

设计电流控制环时应确保电感电流的下降斜率 (在 CEA 的输出端变为上升斜率) 不超过斜坡信号的斜率。这是避免产生分谐波振荡的必要条件，这类似于峰值电流模式控制中斜率补偿不充分的情况。使用下式计算电阻 R_{CF} ：

$$R_{\text{CF}} \leq \frac{2 \times f_{\text{SW}} \times L \times 10^2}{V_{\text{OUT}} \times R_{\text{SENSE}}} \quad (27)$$

例如，对于 $R_{\text{SENSE}} = 1.35\text{m}\Omega$ ，最大 R_{CF} 为 12k Ω 。

C_{CF} 提供了一个低频极点，而 R_{CF} 提供了一个中频零点。通过 f_{Z} 零点可以在交越频率处获得一个相位突起。在离开交越频率至少一个十倍频程以外的位置放置一个高频极点 (f_{P}) 可以获得最大的相位裕度。

双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

使用下式计算 C_{CF} 和 C_{CFF} ：

$$C_{CF} = \frac{1}{2 \times \pi \times f_z \times R_{CF}} \quad (28)$$

$$C_{CFF} = \frac{1}{2 \times \pi \times f_p \times R_{CF}} \quad (29)$$

PC板布局

依照以下准则布局开关电压调节器：

- 1) 使 V_{IN} 和 V_{CC} 的旁路电容靠近 MAX5065/MAX5067 放置。
- 2) 尽量缩小由输入电容、高侧开关 MOSFET、电感和输出电容再回到输入电容负端的高电流环的面积和长度。
- 3) 尽量缩短由低侧开关 MOSFET、电感和输出电容构成的电流环长度。
- 4) 使肖特基二极管靠近低侧 MOSFET 放置并且位于 PC 板的同一侧。
- 5) 保持 SGND 和 PGND 相互隔离并且只在靠近输入滤波电容负端的单点相连。
- 6) 电流检测信号线 CS+ 和 CS- 应彼此靠近走线以降低环路面积。类似地，电压遥感线 SENSE+ 和 SENSE- 也要彼此靠近。不要使这些关键的信号线穿过功率电路。在检流电阻的焊盘处对电流进行检测。
- 7) 避免在 V_{CC} 旁路电容、MAX5065/MAX5067 的驱动器输出、MOSFET 栅极、以及 PGND 引脚上走长线。尽量减小由 V_{CC} 旁路电容、自举二极管、自举电容、MAX5065/MAX5067 和高侧 MOSFET 栅极所形成的环路面积。
- 8) 使输出电容器组靠近负载。
- 9) 使功率器件均匀地散布在板上以获得最佳的散热。
- 10) 在开关 MOSFET、电感、以及检流电阻周围提供足够的敷铜面积以协助散热。
- 11) 使用至少 4oz 敷铜以保持连线的电感和电阻最小。在这种高电流应用中，薄敷铜 PC 板会影响效率。此外，厚敷铜可以更有效地传导热量，从而降低热阻。

芯片信息

TRANSISTOR COUNT: 5451

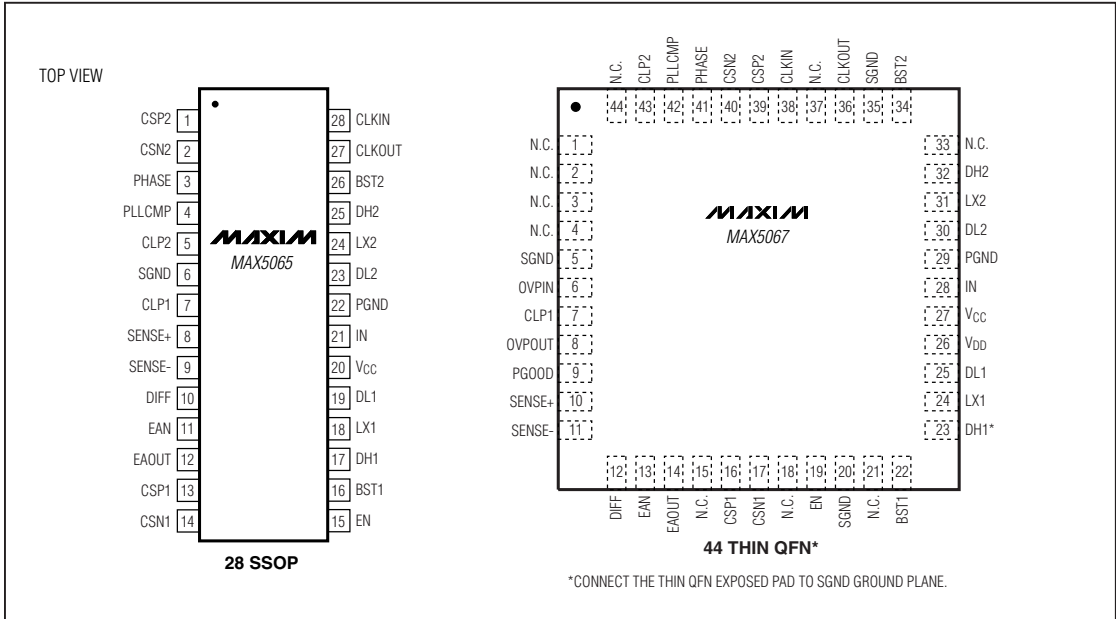
PROCESS: BiCMOS

选择指南

PART	OUTPUT
MAX5065	Adjustable +0.6V to +3.3V
MAX5067	Adjustable +0.8V to +3.3V with OVP, PGOOD, Phase Failure Detector

双相、可并联、+0.6V至+3.3V输出、
平均电流模式控制器

引脚配置



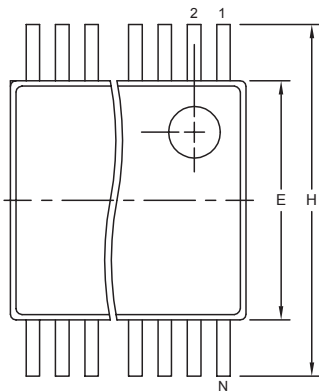
双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com/packages。)

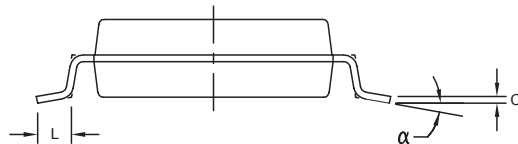
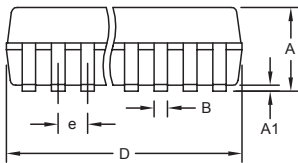
MAX5065/MAX5067

SSOP/PS



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	SEE VARIATIONS			
E	0.205	0.212	5.20	5.38
e	0.0256 BSC		0.65 BSC	
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
α	0 $^\infty$	8 $^\infty$	0 $^\infty$	8 $^\infty$

D	INCHES		MILLIMETERS		N
	MIN	MAX	MIN	MAX	
D	0.239	0.249	6.07	6.33	14L
D	0.239	0.249	6.07	6.33	16L
D	0.278	0.289	7.07	7.33	20L
D	0.317	0.328	8.07	8.33	24L
D	0.397	0.407	10.07	10.33	28L



NOTES:

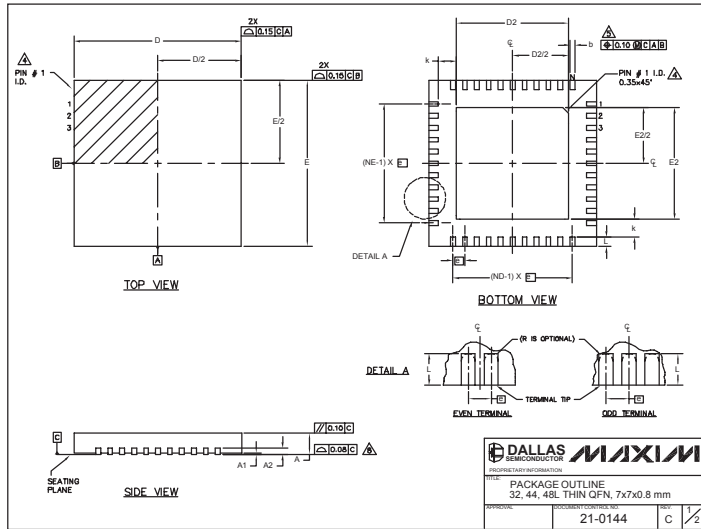
1. D&E DO NOT INCLUDE MOLD FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15 MM (.006").
3. CONTROLLING DIMENSION: MILLIMETERS.
4. MEETS JEDEC MO150.
5. LEADS TO BE COPLANAR WITHIN 0.10 MM.

<small>PROPRIETARY INFORMATION</small>	
TITLE: PACKAGE OUTLINE, SSOP, 5.3 MM	
APPROVAL	DOCUMENT CONTROL NO. 21-0056
REV: C	1/1

双相、可并联、+0.6V至+3.3V输出、 平均电流模式控制器

封装信息 (续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com/packages.)



COMMON DIMENSIONS												
PKG	32L 7x7			44L 7x7			48L 7x7			CUSTOM PKG. (T4877-1)		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.20	0.25	0.30
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
*	0.85 BSC.			0.80 BSC.			0.80 BSC.			0.80 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.45	0.55	0.65
N	32			44			48			44		
ND	8			11			12			10		
NE	8			11			12			12		

EXPOSED PAD VARIATIONS									
PKG. CODES	DEPOPULATED LEADS	D2			E2			JEDEC M2020 REV. C	
		MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	W	D
T3277-1	-	4.55	4.70	4.85	4.55	4.70	4.85	-	-
T4877-1; T4877-2	-	4.55	4.70	4.85	4.55	4.70	4.85	W0D-1	-
T4877-1**	13, 24, 37, 48	4.20	4.30	4.40	4.20	4.30	4.40	-	-
T4877-2	-	5.45	5.60	5.63	5.45	5.60	5.63	-	-
T4877-3	-	4.85	5.10	5.25	4.85	5.10	5.25	-	-

** NOTE: T4877-1 IS A CUSTOM 48L PKG. WITH 4 LEADS DEPOPULATED. TOTAL NUMBER OF LEADS ARE 44.

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC M2020 EXCEPT THE EXPOSED PAD DIMENSIONS OF T3277-1, T4877-1; T4877-2 & T4877-3.
- WARPAGE SHALL NOT EXCEED 0.10 mm.

PACKAGE OUTLINE	32, 44, 48L THIN QFN, 7x7x0.8 mm	REV. C
21-0144		

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。