

可提供评估板



# 10位、11Msps、超低功耗 模拟前端

MAX19708

## 概述

## 特性

MAX19708是超低功耗、混合信号模拟前端 (AFE), 设计用于TD-SCDMA手机和数据卡。该器件经过优化处理能够以极低的功耗获得较高的动态性能, 集成了双路10位、11Msps接收 (Rx) ADC, 带TD-SCDMA基带滤波器的双路10位、11Msps发送 (Tx) DAC, 用于辅助RF前端控制的3路快速建立、12位辅助DAC和10位333ksps辅助ADC。Tx-Rx FAST模式、5.12MHz时钟频率下, 典型功耗为36.9mW。Rx ADC在1.87MHz输入频率、11MHz时钟频率下具有55dB SNR和77.4dBc SFDR。模拟I/Q输入放大器采用全差分结构, 可接收1.024V<sub>p-p</sub>满量程信号。I/Q通道匹配度典型值为: ±0.08°相位匹配和±0.02dB增益匹配。

带有TD-SCDMA低通滤波器的Tx DAC在f<sub>IMAGE</sub> = 4.32MHz时, -3dB截止频率为1.32MHz, 阻带抑制 > 55dB。模拟I、Q通道满量程输出电压可选择为±410mV或±500mV。输出直流共模电压在0.9V至1.4V之间可调, 可调节I/Q通道的失调, 以优化边带抑制/载波抑制。I、Q通道匹配度的典型值为: ±0.02dB增益匹配和±0.04°相位匹配。

Rx ADC和Tx DAC共用一组10位、并行高速数字总线, 在时分复用 (TDD) 系统中工作在半双工模式。3线串行接口控制电源管理模式、辅助DAC信道和辅助ADC信道。

MAX19708采用+2.7V至+3.3V模拟电源和+1.8V至+3.3V数字I/O电源供电。MAX19708工作在扩展工业级温度范围 (-40°C至+85°C), 提供48引脚、薄型QFN封装。数据资料最后的选型指南列出了该AFE系列的引脚兼容型号。

- ◆ 双路10位11Msps Rx ADC和双路10位11Msps Tx DAC
- ◆ 超低功耗
  - f<sub>CLK</sub> = 5.12MHz快速模式下功耗为36.9mW
  - f<sub>CLK</sub> = 5.12MHz低速模式下功耗为19.8mW
  - 低电流待机模式和关断模式
- ◆ 集成TD-SCDMA滤波器, 具有 > 55dB阻带抑制
- ◆ 可编程Tx DAC共模直流电压, 并可调节I/Q失调
- ◆ 优异的动态性能
  - f<sub>IN</sub> = 1.87MHz时, SNR = 55dB (Rx ADC)
  - f<sub>OUT</sub> = 620kHz时, SFDR = 73dBc (Tx DAC)
- ◆ 三路12位、1μs辅助DAC
- ◆ 10位、333ksps辅助ADC, 带有4:1输入多路复用器和数据平均电路
- ◆ 优异的增益/相位匹配度
  - f<sub>IN</sub> = 1.87MHz时, 匹配度为: ±0.08°相位匹配、±0.02dB增益匹配 (Rx ADC)
- ◆ 多路复用并行数字I/O
- ◆ 串行接口控制
- ◆ 多种电源管理模式
  - 关断、待机、空闲、Tx/Rx禁用
- ◆ 小尺寸、48引脚、薄型QFN封装 (7mm x 7mm x 0.8mm)

## 应用

TD-SCDMA手机  
TD-SCDMA数据卡  
便携式通信设备

## 订购信息

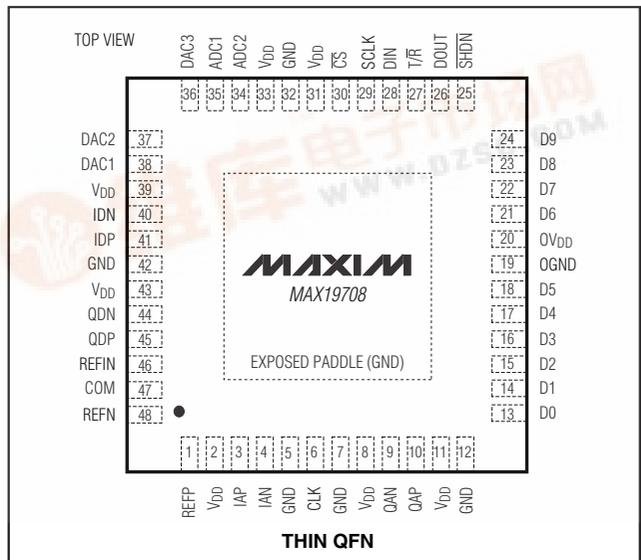
PART*	PIN-PACKAGE	PKG CODE
MAX19708ETM	48 Thin QFN-EP**	T4877-4
MAX19708ETM+	48 Thin QFN-EP**	T4877-4

\*所有器件工作在-40°C至+85°C范围内。

\*\*EP = 裸焊盘。

+表示无铅封装。

## 引脚配置



功能框图和选型指南在数据资料末尾。



# 10位、11Msps、超低功耗 模拟前端

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to GND, OV <sub>DD</sub> to OGND	-0.3V to +3.6V
GND to OGND	-0.3V to +0.3V
IAP, IAN, QAP, QAN, IDP, IDN, QDP, QDN, DAC1, DAC2, DAC3 to GND	-0.3V to V <sub>DD</sub>
ADC1, ADC2 to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
REFP, REFN, REFIN, COM to GND	-0.3V to (V <sub>DD</sub> + 0.3V)

D0–D9, DOUT, T/ $\bar{R}$ , $\overline{\text{SHDN}}$ , SCLK, DIN, $\overline{\text{CS}}$ , CLK to OGND	-0.3V to (OV <sub>DD</sub> + 0.3V)
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	48-Pin Thin QFN (derate 27.8mW/°C above +70°C) .....2.22W
Thermal Resistance $\theta_{\text{JA}}$	.....36°C/W
Operating Temperature Range	.....-40°C to +85°C
Junction Temperature	.....+150°C
Storage Temperature Range	.....-60°C to +150°C
Lead Temperature (soldering, 10s)	.....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = 3V, OV<sub>DD</sub> = 1.8V, internal reference (1.024V), C<sub>L</sub> ≈ 10pF on all digital outputs, f<sub>CLK</sub> = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C<sub>REFP</sub> = C<sub>REFN</sub> = C<sub>COM</sub> = 0.33μF, unless otherwise noted. C<sub>L</sub> < 5pF on all aux-DAC outputs. Typical values are at T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage	V <sub>DD</sub>		2.7	3.0	3.3	V
Output Supply Voltage	OV <sub>DD</sub>		1.8		V <sub>DD</sub>	V
V <sub>DD</sub> Supply Current		Ext1-Tx, Ext3-Tx, and SPI2-Tx states; transmit DAC operating mode (Tx): f <sub>CLK</sub> = 5.12MHz, f <sub>OUT</sub> = 620kHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		10.3		mA
		Ext2-Tx, Ext4-Tx, and SPI4-Tx states; transmit DAC operating mode (Tx): f <sub>CLK</sub> = 5.12MHz, f <sub>OUT</sub> = 620kHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		12.6		
		Ext1-Rx, Ext4-Rx, and SPI3-Rx states; receive ADC operating mode (Rx): f <sub>CLK</sub> = 5.12MHz, f <sub>IN</sub> = 1.87MHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		12.3		
		Ext2-Rx, Ext3-Rx, and SPI1-Rx states; receive ADC operating mode (Rx): f <sub>CLK</sub> = 5.12MHz, f <sub>IN</sub> = 1.87MHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		6.6		
		Ext2-Tx, Ext4-Tx, and SPI4-Tx states; transmit DAC operating mode (Tx): f <sub>CLK</sub> = 11MHz, f <sub>OUT</sub> = 620kHz on both channels, aux-DACs ON and at midscale, aux-ADC ON		14.1	16	

# 10位、11Msps、超低功耗 模拟前端

MAX19708

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3V$ ,  $OV_{DD} = 1.8V$ , internal reference (1.024V),  $C_L \approx 10pF$  on all digital outputs,  $f_{CLK} = 11MHz$  (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output,  $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$ , unless otherwise noted.  $C_L < 5pF$  on all aux-DAC outputs. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V <sub>DD</sub> Supply Current		Ext1-Tx, Ext3-Tx, and SPI2-Tx states; transmit DAC operating mode (Tx): $f_{CLK} = 11MHz$ , $f_{OUT} = 620kHz$ on both channels, aux-DACs ON and at midscale, aux-ADC ON		11.7		mA
		Ext1-Rx, Ext4-Rx, and SPI3-Rx states; receive ADC operating mode (Rx): $f_{CLK} = 11MHz$ , $f_{IN} = 1.87MHz$ on both channels, aux-DACs ON and at midscale, aux-ADC ON		13.7	16	
		Ext2-Rx, Ext3-Rx, and SPI1-Rx states; receive ADC operating mode (Rx): $f_{CLK} = 11MHz$ , $f_{IN} = 1.87MHz$ on both channels, aux-DACs ON and at midscale, aux-ADC ON		8		
		Standby mode: CLK = 0 or OV <sub>DD</sub> ; aux-DACs ON and at midscale, aux-ADC ON		2.9	4	
		Idle mode: $f_{CLK} = 11MHz$ ; aux-DACs ON and at midscale, aux-ADC ON		5.5	7	
		Shutdown mode: CLK = 0 or OV <sub>DD</sub>		0.52		
OV <sub>DD</sub> Supply Current		Ext1-Rx, Ext2-Rx, Ext3-Rx, Ext4-Rx, SPI1-Rx, SPI3-Rx states; receive ADC operating mode (Rx): $f_{CLK} = 11MHz$ , $f_{IN} = 1.87MHz$ on both channels; aux-DACs ON and at midscale, aux-ADC ON		1.5		mA
		Ext1-Tx, Ext2-Tx, Ext3-Tx, Ext4-Tx, SPI2-Tx, SPI4-Tx states; transmit DAC operating mode (Tx): $f_{CLK} = 11MHz$ , $f_{OUT} = 620kHz$ on both channels; aux-DACs ON and at midscale, aux-ADC ON		110		$\mu A$
		Standby mode: CLK = 0 or OV <sub>DD</sub> ; aux-DACs ON and at midscale, aux-ADC ON		1		
		Idle mode: $f_{CLK} = 11MHz$ ; aux-DACs ON and at midscale, aux-ADC ON		19		
		Shutdown mode: CLK = 0 or OV <sub>DD</sub>		0.1		

# 10位、11Msps、超低功耗 模拟前端

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3V$ ,  $OV_{DD} = 1.8V$ , internal reference (1.024V),  $C_L \approx 10pF$  on all digital outputs,  $f_{CLK} = 11MHz$  (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output,  $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$ , unless otherwise noted.  $C_L < 5pF$  on all aux-DAC outputs. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>Rx ADC DC ACCURACY</b>						
Resolution	N			10		Bits
Integral Nonlinearity	INL			$\pm 0.9$		LSB
Differential Nonlinearity	DNL	Guaranteed no missing code (Note 2)	-1.0	$\pm 0.4$	+1.2	LSB
Offset Error		Residual DC offset error	-5	$\pm 0.1$	+5	%FS
Gain Error		Include reference error	-7.0	$\pm 1.5$	+10.5	%FS
DC Gain Matching			-0.25	$\pm 0.01$	+0.25	dB
Offset Matching				$\pm 10$		LSB
Gain Temperature Coefficient				$\pm 18.4$		ppm/ $^\circ C$
Power-Supply Rejection	PSRR	Offset error ( $V_{DD} \pm 5\%$ )		$\pm 2$		LSB
		Gain error ( $V_{DD} \pm 5\%$ )		$\pm 0.07$		%FS
<b>Rx ADC ANALOG INPUT</b>						
Input Differential Range	$V_{ID}$	Differential or single-ended inputs		$\pm 0.512$		V
Input Common-Mode Voltage Range	$V_{CM}$			$V_{DD} / 2$		V
Input Impedance	$R_{IN}$	Switched capacitor load		491		k $\Omega$
	$C_{IN}$			5		pF
<b>Rx ADC CONVERSION RATE</b>						
Maximum Clock Frequency	$f_{CLK}$	(Note 3)			11	MHz
Data Latency (Figure 3)		Channel I		5		Clock Cycles
		Channel Q		5.5		
<b>Rx ADC DYNAMIC CHARACTERISTICS (Note 4)</b>						
Signal-to-Noise Ratio	SNR	$f_{IN} = 1.875MHz$ , $f_{CLK} = 11MHz$	53.3	55		dB
		$f_{IN} = 3.5MHz$ , $f_{CLK} = 11MHz$		55		
Signal-to-Noise and Distortion	SINAD	$f_{IN} = 1.875MHz$ , $f_{CLK} = 11MHz$	53.2	54.9		dB
		$f_{IN} = 3.5MHz$ , $f_{CLK} = 11MHz$		54.9		
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 1.875MHz$ , $f_{CLK} = 11MHz$	63.5	77.4		dBc
		$f_{IN} = 3.5MHz$ , $f_{CLK} = 11MHz$		78.3		
Third-Harmonic Distortion	HD3	$f_{IN} = 1.875MHz$ , $f_{CLK} = 11MHz$		-84.3		dBc
		$f_{IN} = 3.5MHz$ , $f_{CLK} = 11MHz$		-85		
Intermodulation Distortion	IMD	$f_1 = 1.8MHz$ , -7dBFS; $f_2 = 1MHz$ , -7dBFS		-72.7		dBc
Third-Order Intermodulation Distortion	IM3	$f_1 = 1.8MHz$ , -7dBFS; $f_2 = 1MHz$ , -7dBFS		-74.4		dBc
Total Harmonic Distortion	THD	$f_{IN} = 1.875MHz$ , $f_{CLK} = 11MHz$		-75.6	-63	dB
		$f_{IN} = 3.5MHz$ , $f_{CLK} = 11MHz$		-76.3		
Aperture Delay				3.5		ns
Overdrive Recovery Time		1.5x full-scale input		2		ns

# 10位、11Msps、超低功耗 模拟前端

MAX19708

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3V$ ,  $OV_{DD} = 1.8V$ , internal reference (1.024V),  $C_L \approx 10pF$  on all digital outputs,  $f_{CLK} = 11MHz$  (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output,  $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$ , unless otherwise noted.  $C_L < 5pF$  on all aux-DAC outputs. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>Rx ADC INTERCHANNEL CHARACTERISTICS</b>						
Crosstalk Rejection		$f_{INX,Y} = 1.875MHz$ at -0.5dBFS, $f_{INX,Y} = 1MHz$ at -0.5dBFS (Note 5)		-90		dB
Amplitude Matching		$f_{IN} = 1.875MHz$ at -0.5dBFS (Note 6)		$\pm 0.02$		dB
Phase Matching		$f_{IN} = 1.875MHz$ at -0.5dBFS (Note 6)		$\pm 0.08$		Degrees
<b>Tx DAC DC ACCURACY</b>						
Resolution	N			10		Bits
Integral Nonlinearity	INL			$\pm 0.45$		LSB
Differential Nonlinearity	DNL	Guaranteed monotonic (Note 2)	-1	$\pm 0.4$	+1	LSB
Residual DC Offset	$V_{OS}$	$T_A > +25^\circ C$	-4	$\pm 1$	+4	mV
		$T_A < +25^\circ C$	-5.5	$\pm 1$	+5.5	mV
Full-Scale Gain Error		Include reference error (peak-to-peak error)	-50		+50	mV
<b>Tx PATH DYNAMIC PERFORMANCE</b>						
Corner Frequency		3dB corner	1.05	1.32	1.65	MHz
Passband Ripple		DC to 640kHz (Note 2)		0.15	0.5	dB <sub>P-P</sub>
Group Delay Variation in Passband		DC to 640kHz		50		ns
Error-Vector Magnitude	EVM	DC to 700kHz		2		%
Stopband Rejection		$f_{IMAGE} = 4.32MHz$ , $f_{OUT} = 800kHz$ , $f_{CLK} = 5.12MHz$	55	62.5		dBc
Baseband Attenuation		Spot relative to 100kHz	2MHz	21.5		dB
			4MHz	49		
			5MHz	58		
			10MHz	90		
			20MHz	90		
DAC Conversion Rate	$f_{CLK}$	(Note 3)			11	MHz
In-Band Noise Density	$N_D$	$f_{OUT} = 620kHz$ , $f_{CLK} = 5.12MHz$ , offset = 500kHz		-120.6		dBc/Hz
Third-Order Intermodulation Distortion	IM3	$f_1 = 620kHz$ , $f_2 = 640kHz$		82		dBc
Glitch Impulse				10		pV•s
Spurious-Free Dynamic Range to Nyquist	SFDR	$f_{CLK} = 11MHz$ , $f_{OUT} = 620kHz$	60	73		dBc
Total Harmonic Distortion to Nyquist	THD	$f_{CLK} = 11MHz$ , $f_{OUT} = 620kHz$		-71	-60	dB
Signal-to-Noise Ratio to Nyquist	SNR	$f_{CLK} = 11MHz$ , $f_{OUT} = 620kHz$		56.5		dB

# 10位、11Msps、超低功耗 模拟前端

MAX19708

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3V$ ,  $OV_{DD} = 1.8V$ , internal reference (1.024V),  $C_L \approx 10pF$  on all digital outputs,  $f_{CLK} = 11MHz$  (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output,  $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$ , unless otherwise noted.  $C_L < 5pF$  on all aux-DAC outputs. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>Tx PATH INTERCHANNEL CHARACTERISTICS</b>						
I-to-Q Output Isolation		$f_{OUTX,Y} = 500kHz$ , $f_{OUTX,Y} = 620kHz$		90		dB
Gain Mismatch Between DAC Outputs		Measured at DC	-0.30	$\pm 0.02$	+0.31	dB
Phase Mismatch Between DAC Outputs		$f_{OUT} = 620kHz$ , $f_{CLK} = 11MHz$		$\pm 0.04$		Degrees
Differential Output Impedance				800		$\Omega$
<b>Tx PATH ANALOG OUTPUT</b>						
Full-Scale Output Voltage (Table 8)	$V_{FS}$	Bit E7 = 0 (default)		$\pm 410$		mV
		Bit E7 = 1		$\pm 500$		
Output Common-Mode Voltage (Table 11)	$V_{COM}$	Bits CM1 = 0, CM0 = 0 (default)	1.27	1.4	1.48	V
		Bits CM1 = 0, CM0 = 1		1.25		
		Bits CM1 = 1, CM0 = 0		1.1		
		Bits CM1 = 1, CM0 = 1		0.9		
<b>Rx ADC-Tx DAC INTERCHANNEL CHARACTERISTICS</b>						
Receive Transmit Isolation		ADC $f_{INI} = f_{INQ} = 1.875MHz$ , DAC $f_{OUTI} = f_{OUTQ} = 620kHz$ , $f_{CLK} = 11MHz$		90		dB
<b>AUXILIARY ADC (ADC1, ADC2)</b>						
Resolution	N			10		Bits
Full-Scale Reference	$V_{REF}$	AD1 = 0 (default)		2.048		V
		AD1 = 1		$V_{DD}$		
Analog Input Range				0 to $V_{REF}$		V
Analog Input Impedance		At DC		500		k $\Omega$
Input-Leakage Current		Measured at unselected input from 0 to $V_{REF}$		$\pm 0.1$		$\mu A$
Gain Error	GE	Includes reference error	-5		+5	%FS
Zero-Code Error	ZE			2		mV
Differential Nonlinearity	DNL			$\pm 0.53$		LSB
Integral Nonlinearity	INL			$\pm 0.45$		LSB
Supply Current				210		$\mu A$

# 10位、11Msps、超低功耗 模拟前端

MAX19708

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3V$ ,  $OV_{DD} = 1.8V$ , internal reference (1.024V),  $C_L \approx 10pF$  on all digital outputs,  $f_{CLK} = 11MHz$  (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output,  $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$ , unless otherwise noted.  $C_L < 5pF$  on all aux-DAC outputs. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>AUXILIARY DACs (DAC1, DAC2, DAC3)</b>						
Resolution	N			12		Bits
Integral Nonlinearity	INL			$\pm 1.25$		LSB
Differential Nonlinearity	DNL	Guaranteed monotonic over codes 100 to 4000 (Note 2)	-1.0	$\pm 0.65$	+1.2	LSB
Gain Error	GE	$R_L > 200k\Omega$		$\pm 0.7$		%FS
Zero-Code Error	ZE			$\pm 0.6$		%FS
Output-Voltage Low	$V_{OL}$	$R_L > 200k\Omega$			0.1	V
Output-Voltage High	$V_{OH}$	$R_L > 200k\Omega$	2.56			V
DC Output Impedance		DC output at midscale		4		$\Omega$
Settling Time		From 1/4 FS to 3/4 FS, within $\pm 10$ LSB		1		$\mu s$
Glitch Impulse		From 0 to FS transition		24		nV•s
<b>Rx ADC-Tx DAC TIMING CHARACTERISTICS</b>						
CLK Rise to Channel-I Output Data Valid	$t_{DOI}$	Figure 3 (Note 2)	5.3	7.0	8.5	ns
CLK Fall to Channel-Q Output Data Valid	$t_{DOQ}$	Figure 3 (Note 2)	6.8	9.1	11.3	ns
I-DAC DATA to CLK Fall Setup Time	$t_{DSI}$	Figure 6 (Note 2)	10			ns
Q-DAC DATA to CLK Rise Setup Time	$t_{DSQ}$	Figure 6 (Note 2)	10			ns
CLK Fall to I-DAC Data Hold Time	$t_{DHI}$	Figure 6 (Note 2)	0			ns
CLK Rise to Q-DAC Data Hold Time	$t_{DHQ}$	Figure 6 (Note 2)	0			ns
CLK Duty Cycle				50		%
CLK Duty-Cycle Variation				$\pm 15$		%
Digital Output Rise/Fall Time		20% to 80%		2.5		ns
<b>SERIAL-INTERFACE TIMING CHARACTERISTICS (Figure 7, Note 2)</b>						
Falling Edge of $\overline{CS}$ to Rising Edge of First SCLK Time	$t_{CSS}$		10			ns
DIN to SCLK Setup Time	$t_{DS}$		10			ns
DIN to SCLK Hold Time	$t_{DH}$		0			ns
SCLK Pulse-Width High	$t_{CH}$		25			ns
SCLK Pulse-Width Low	$t_{CL}$		25			ns
SCLK Period	$t_{CP}$		50			ns
SCLK to $\overline{CS}$ Setup Time	$t_{CS}$		10			ns
$\overline{CS}$ High Pulse Width	$t_{CSW}$		80			ns
$\overline{CS}$ High to DOUT Active High	$t_{CSD}$	Bit AD0 set		200		ns

# 10位、11Msps、超低功耗 模拟前端

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3V$ ,  $OV_{DD} = 1.8V$ , internal reference (1.024V),  $C_L \approx 10pF$  on all digital outputs,  $f_{CLK} = 11MHz$  (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output,  $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$ , unless otherwise noted.  $C_L < 5pF$  on all aux-DAC outputs. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$\overline{CS}$ High to DOUT Low (Aux-ADC Conversion Time)	$t_{CONV}$	Bit AD0 set, no averaging (see Table 15), $f_{CLK} = 11MHz$ , CLK divider = 4 (see Table 16)		4.36		$\mu s$
DOUT Low to $\overline{CS}$ Setup Time	$t_{DCS}$	Bit AD0, AD10 set		200		ns
SCLK Low to DOUT Data Out	$t_{CD}$	Bit AD0, AD10 set			14.5	ns
$\overline{CS}$ High to DOUT High Impedance	$t_{CHZ}$	Bit AD0, AD10 set		200		ns
<b>MODE-RECOVERY TIMING CHARACTERISTICS (Figure 8)</b>						
Shutdown Wake-Up Time	$t_{WAKE,SD}$	From shutdown to Rx mode, ADC settles to within 1dB SINAD		82.2		$\mu s$
		From shutdown to Tx mode, DAC settles to within 10 LSB error		29		
Idle Wake-Up Time (With CLK)	$t_{WAKE,ST0}$	From idle to Rx mode with CLK present during idle, ADC settles to within 1dB SINAD		9.6		$\mu s$
		From idle to Tx mode with CLK present during idle, DAC settles to 10 LSB error		7.6		
Standby Wake-Up Time	$t_{WAKE,ST1}$	From standby to Rx mode, ADC settles to within 1dB SINAD		17.5		$\mu s$
		From standby to Tx mode, DAC settles to 10 LSB error		24		
Enable Time from Tx to Rx (Ext2-Tx to Ext2-Rx, Ext4-Tx to Ext4-Rx, and SPI4-Tx to SPI3-Rx States)	$t_{ENABLE,RX}$	ADC settles to within 1dB SINAD		500		ns
Enable Time from Rx to Tx (Ext1-Rx to Ext1-Tx, Ext4-Rx to Ext4-Tx, and SPI3-Rx to SPI4-Tx States)	$t_{ENABLE,TX}$	DAC settles to within 10 LSB error		500		ns
Enable Time from Tx to Rx (Ext1-Tx to Ext1-Rx, Ext3-Tx to Ext3-Rx, and SPI1-Tx to SPI1-Rx States)	$t_{ENABLE,RX}$	ADC settles to within 1dB SINAD		8.1		$\mu s$
Enable Time from Rx to Tx (Ext2-Rx to Ext2-Tx, Ext3-Rx to Ext3-Tx, and SPI1-Rx to SPI2-Tx States)	$t_{ENABLE,TX}$	DAC settles to within 10 LSB error		7.0		$\mu s$
<b>INTERNAL REFERENCE (<math>V_{REFIN} = V_{DD}</math>; <math>V_{REFP}</math>, <math>V_{REFN}</math>, <math>V_{COM}</math> levels are generated internally)</b>						
Positive Reference		$V_{REFP} - V_{COM}$		0.256		V
Negative Reference		$V_{REFN} - V_{COM}$		-0.256		V
Common-Mode Output Voltage	$V_{COM}$		$V_{DD}/2 - 0.15$	$V_{DD}/2$	$V_{DD}/2 + 0.15$	V
Maximum REFP/REFN/COM Source Current	$I_{SOURCE}$			2		mA

# 10位、11Msps、超低功耗 模拟前端

MAX19708

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3V$ ,  $OV_{DD} = 1.8V$ , internal reference (1.024V),  $C_L \approx 10pF$  on all digital outputs,  $f_{CLK} = 11MHz$  (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output,  $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$ , unless otherwise noted.  $C_L < 5pF$  on all aux-DAC outputs. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum REFP/REFN/COM Sink Current	$I_{SINK}$			2		mA
Differential Reference Output	$V_{REF}$	$V_{REFP} - V_{REFN}$	+0.460	+0.512	+0.548	V
Differential Reference Temperature Coefficient	REFTC			$\pm 18$		ppm/ $^\circ C$
<b>BUFFERED EXTERNAL REFERENCE (external <math>V_{REFIN} = 1.024V</math> applied; <math>V_{REFP}</math>, <math>V_{REFN}</math>, <math>V_{COM}</math> levels are generated internally)</b>						
Reference Input Voltage	$V_{REFIN}$			1.024		V
Differential Reference Output	$V_{DIFF}$	$V_{REFP} - V_{REFN}$		0.512		V
Common-Mode Output Voltage	$V_{COM}$			$V_{DD} / 2$		V
Maximum REFP/REFN/COM Source Current	$I_{SOURCE}$			2		mA
Maximum REFP/REFN/COM Sink Current	$I_{SINK}$			2		mA
REFIN Input Current				-0.7		$\mu A$
REFIN Input Resistance				500		k $\Omega$
<b>DIGITAL INPUTS (CLK, SCLK, DIN, <math>\overline{CS}</math>, D0–D9, <math>\overline{T/R}</math>, <math>\overline{SHDN}</math>)</b>						
Input High Threshold	$V_{INH}$		0.7 x $OV_{DD}$			V
Input Low Threshold	$V_{INL}$			0.3 x $OV_{DD}$		V
Input Leakage	$D_{IIN}$	D0–D9, CLK, SCLK, DIN, $\overline{CS}$ , $\overline{T/R}$ , $\overline{SHDN} = OGND$ or $OV_{DD}$	-1		+1	$\mu A$
Input Capacitance	$DC_{IN}$			5		pF
<b>DIGITAL OUTPUTS (D0–D9, DOUT)</b>						
Output-Voltage Low	$V_{OL}$	$I_{SINK} = 200\mu A$		0.2 x $OV_{DD}$		V
Output-Voltage High	$V_{OH}$	$I_{SOURCE} = 200\mu A$	0.8 x $OV_{DD}$			V
Tri-State Leakage Current	$I_{LEAK}$		-1		+1	$\mu A$
Tri-State Output Capacitance	$C_{OUT}$			5		pF

**Note 1:** Specifications from  $T_A = +25^\circ C$  to  $+85^\circ C$  are guaranteed by production tests. Specifications from  $T_A = +25^\circ C$  to  $-40^\circ C$  are guaranteed by design and characterization.

**Note 2:** Guaranteed by design and characterization.

**Note 3:** The minimum clock frequency ( $f_{CLK}$ ) for the MAX19708 is 1.5MHz (typ). The minimum aux-ADC sample rate clock frequency (ACLK) is determined by  $f_{CLK}$  and the chosen aux-ADC clock-divider value. The minimum aux-ADC ACLK  $> 1.5MHz / 128 = 11.7kHz$ . The aux-ADC conversion time does not include the time to clock the serial data out of the SPI. The maximum conversion time (for no averaging, NAVG = 1) will be  $t_{CONV} (max) = (12 \times 1 \times 128) / 1.5MHz = 1024\mu s$ .

**Note 4:** SNR, SINAD, SFDR, HD3, and THD are based on a differential analog input voltage of -0.5dBFS referenced to the amplitude of the digital outputs. SINAD and THD are calculated using HD2 through HD6.

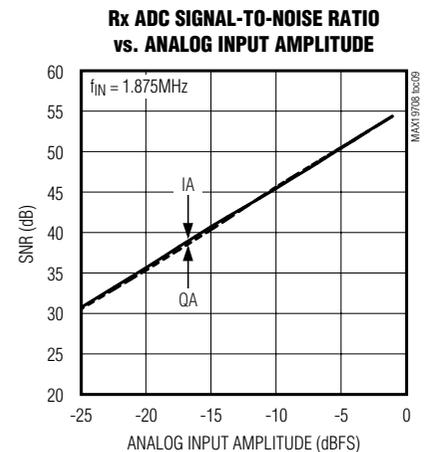
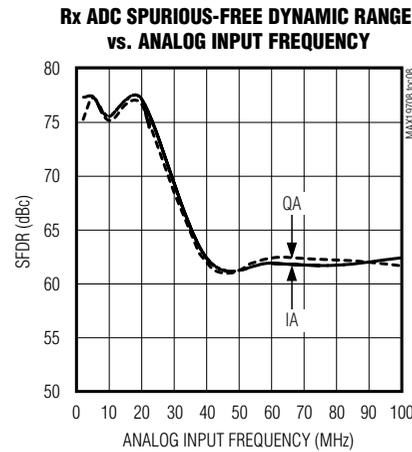
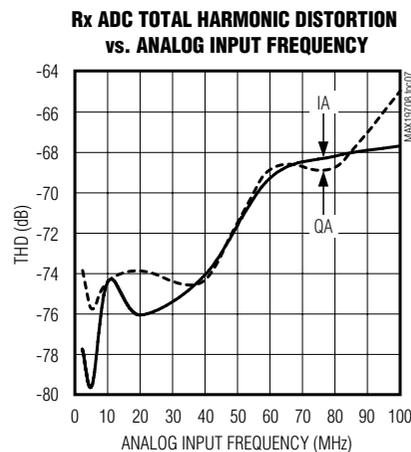
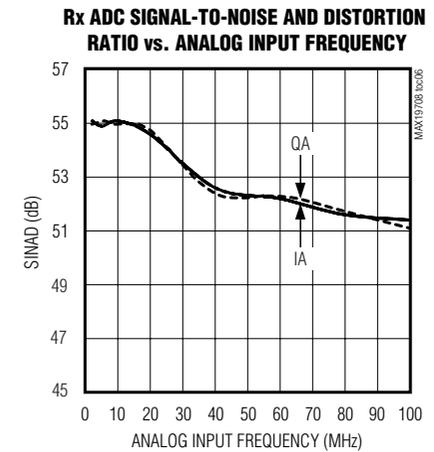
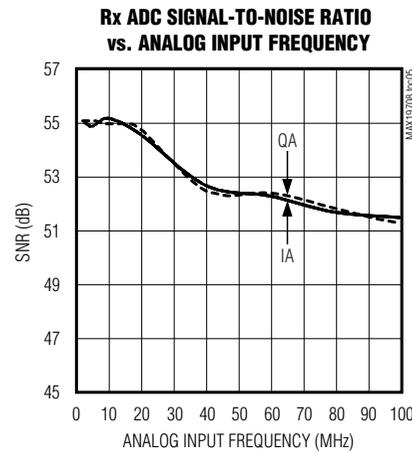
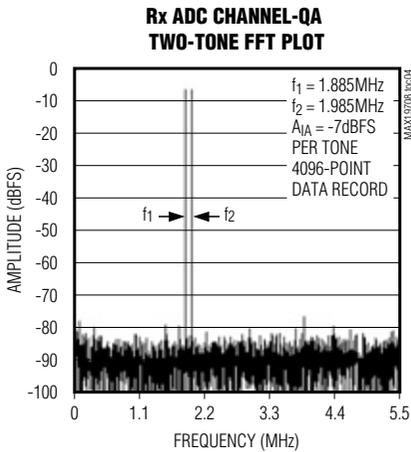
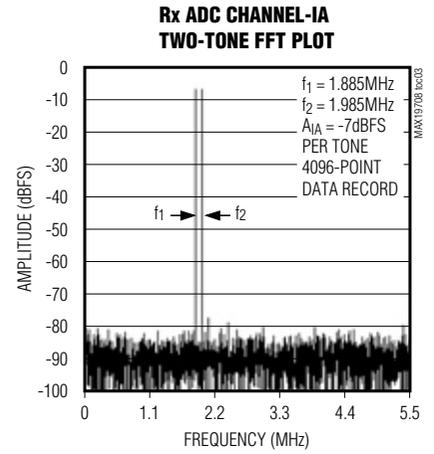
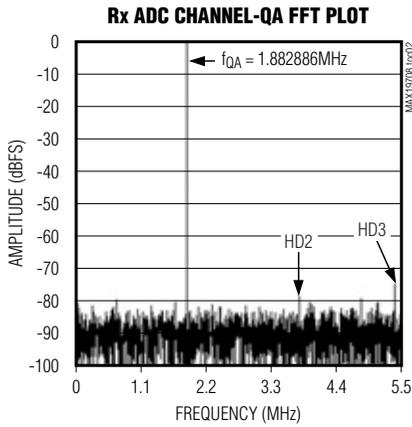
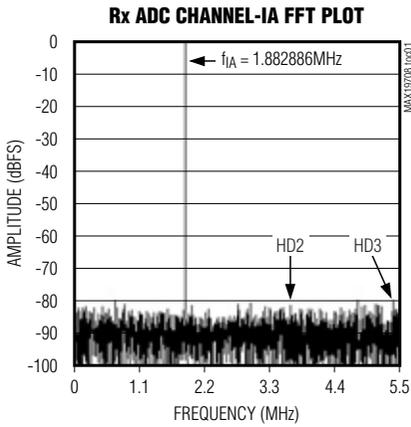
**Note 5:** Crosstalk rejection is measured by applying a high-frequency test tone to one channel and a low-frequency tone to the second channel. FFTs are performed on each channel. The parameter is specified as the power ratio of the first and second channel FFT test tone.

**Note 6:** Amplitude and phase matching is measured by applying the same signal to each channel, and comparing the two output signals using a sine-wave fit.

# 10位、11Mpsps、超低功耗 模拟前端

## 典型工作特性

( $V_{DD} = 3V$ ,  $OV_{DD} = 1.8V$ , internal reference (1.024V),  $C_L \approx 10pF$  on all digital outputs,  $f_{CLK} = 11MHz$  (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output,  $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



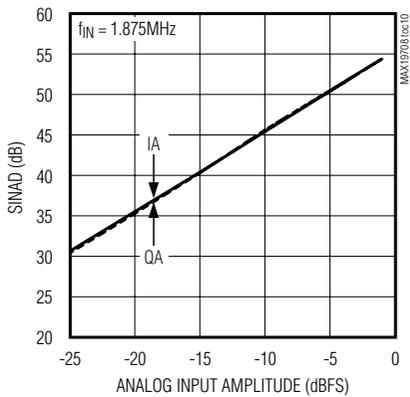
# 10位、11MSPS、超低功耗模拟前端

典型工作特性 (续)

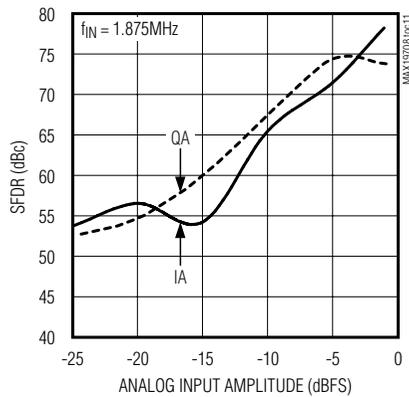
( $V_{DD} = 3V$ ,  $OV_{DD} = 1.8V$ , internal reference (1.024V),  $C_L \approx 10pF$  on all digital outputs,  $f_{CLK} = 11MHz$  (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output,  $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

MAX19708

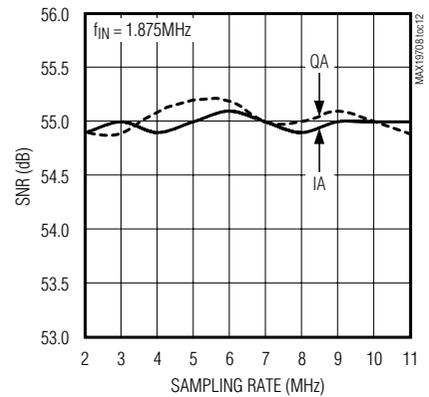
**Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. ANALOG INPUT AMPLITUDE**



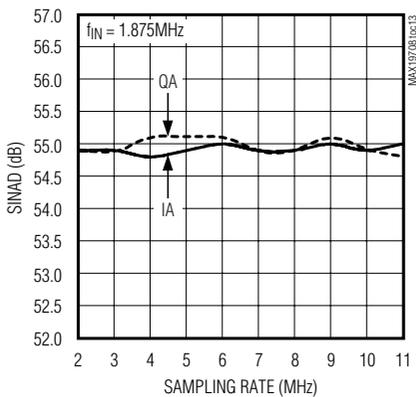
**Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT AMPLITUDE**



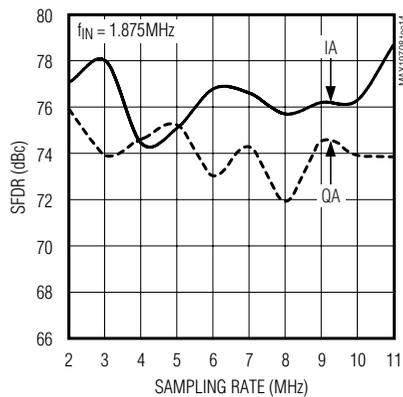
**Rx ADC SIGNAL-TO-NOISE RATIO vs. SAMPLING RATE**



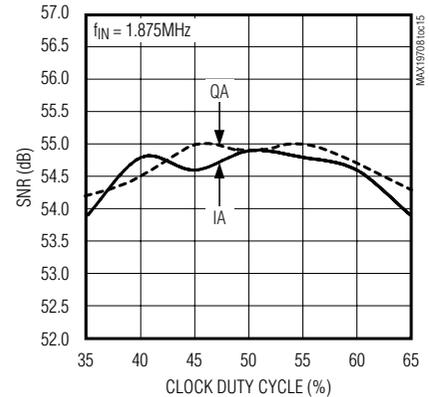
**Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. SAMPLING RATE**



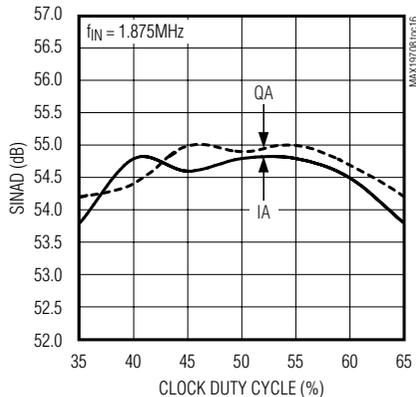
**Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING RATE**



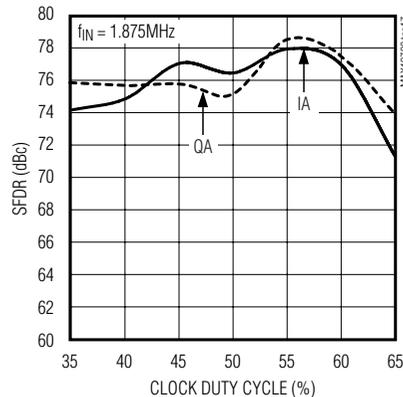
**Rx ADC SIGNAL-TO-NOISE RATIO vs. CLOCK DUTY CYCLE**



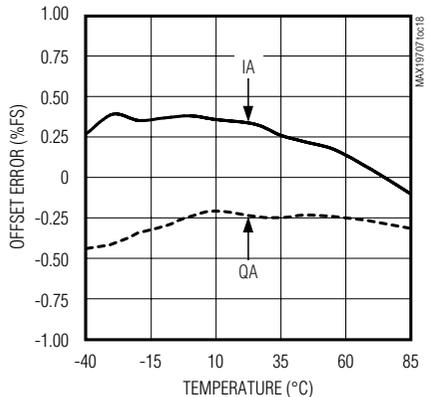
**Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. CLOCK DUTY CYCLE**



**Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. CLOCK DUTY CYCLE**



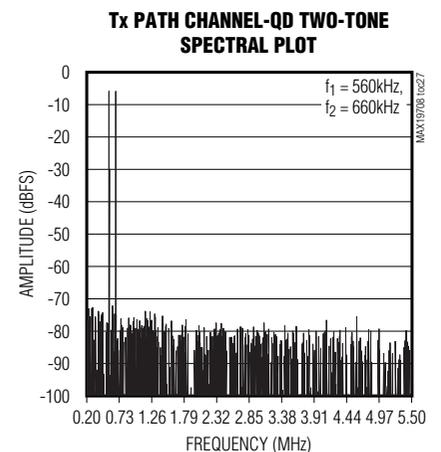
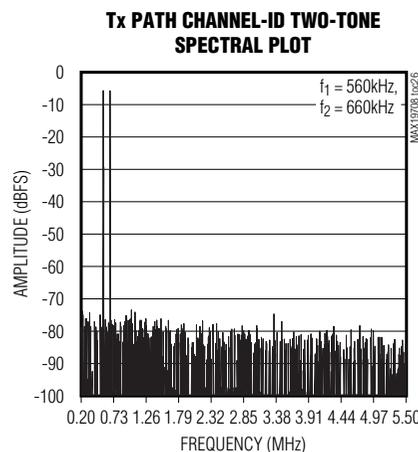
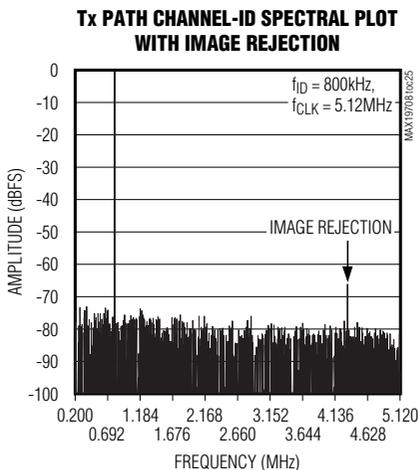
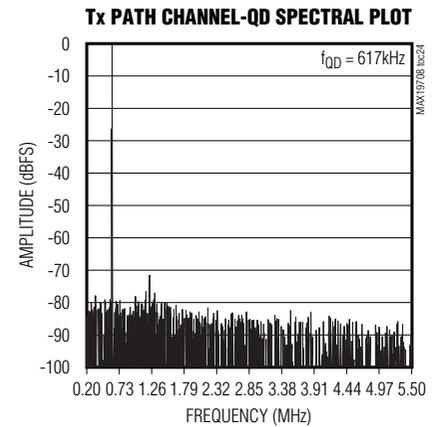
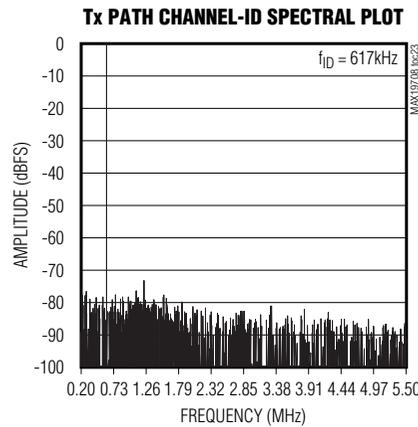
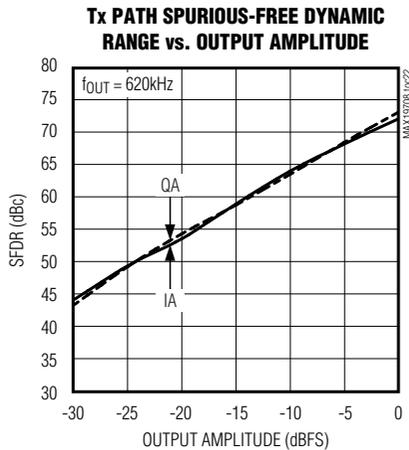
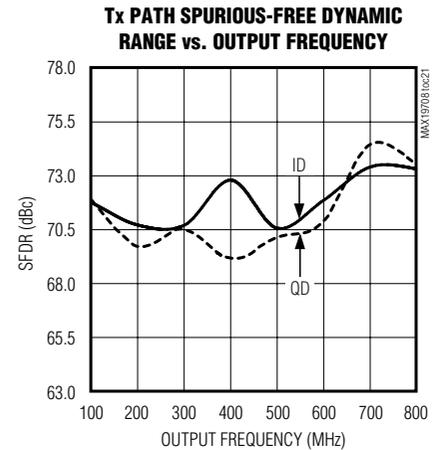
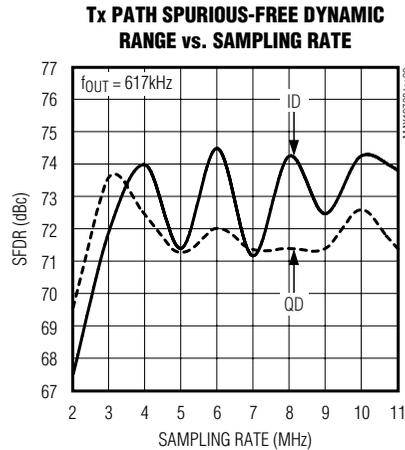
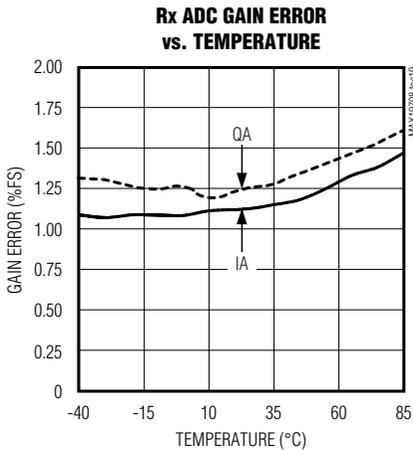
**Rx ADC OFFSET ERROR vs. TEMPERATURE**



# 10位、11Mpsps、超低功耗 模拟前端

## 典型工作特性 (续)

( $V_{DD} = 3V$ ,  $OV_{DD} = 1.8V$ , internal reference (1.024V),  $C_L \approx 10pF$  on all digital outputs,  $f_{CLK} = 11MHz$  (50% duty cycle), Rx ADC input amplitude =  $-0.5dBFS$ , Tx DAC output amplitude =  $0dBFS$ , differential Rx ADC input, differential Tx DAC output,  $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



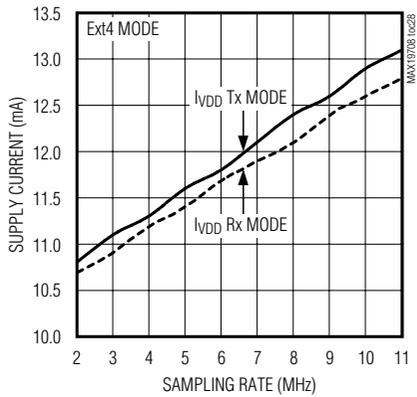
# 10位、11MSPS、超低功耗 模拟前端

典型工作特性 (续)

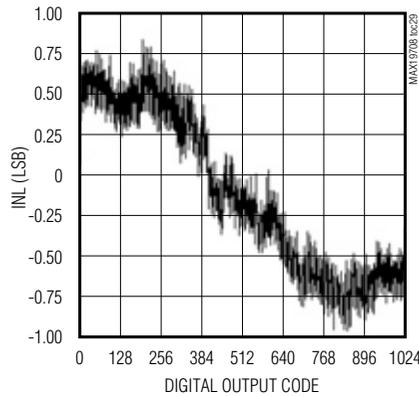
( $V_{DD} = 3V$ ,  $OV_{DD} = 1.8V$ , internal reference (1.024V),  $C_L \approx 10pF$  on all digital outputs,  $f_{CLK} = 11MHz$  (50% duty cycle), Rx ADC input amplitude =  $-0.5dBFS$ , Tx DAC output amplitude =  $0dBFS$ , differential Rx ADC input, differential Tx DAC output,  $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

MAX19708

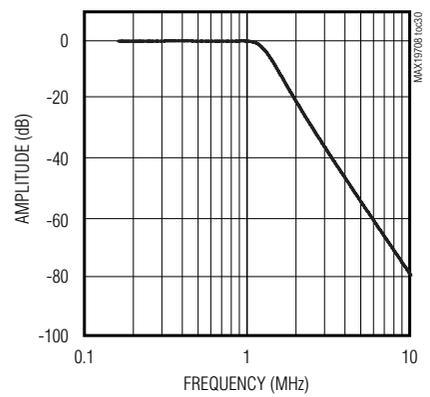
**SUPPLY CURRENT vs. SAMPLING RATE**



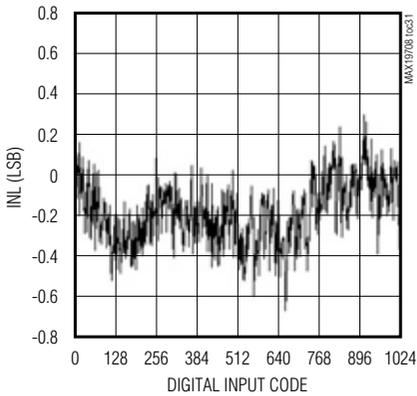
**Rx ADC INTEGRAL NONLINEARITY**



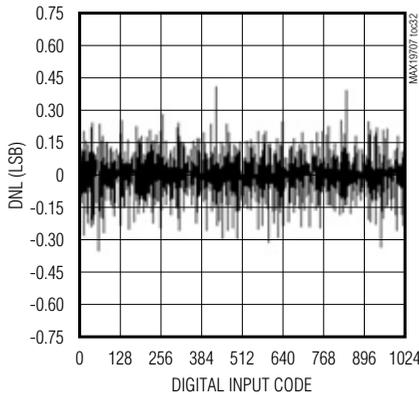
**TRANSMIT FILTER FREQUENCY RESPONSE**



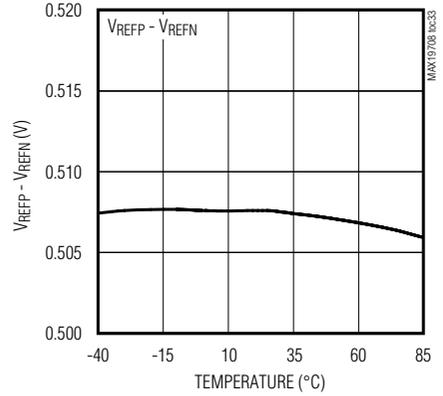
**Tx PATH INTEGRAL NONLINEARITY**



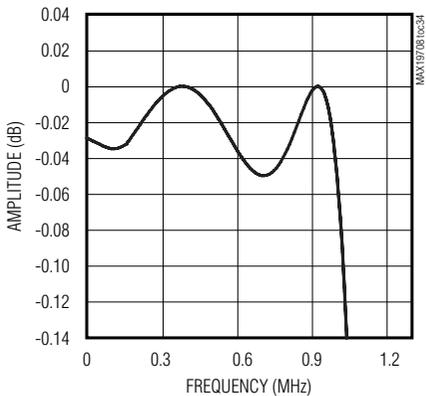
**Tx PATH DIFFERENTIAL NONLINEARITY**



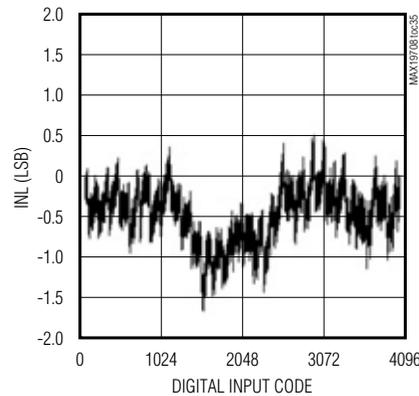
**REFERENCE OUTPUT VOLTAGE vs. TEMPERATURE**



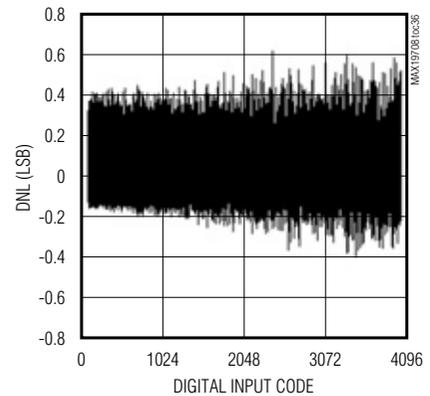
**TRANSMIT FILTER PASSBAND RIPPLE**



**AUX-DAC INTEGRAL NONLINEARITY**



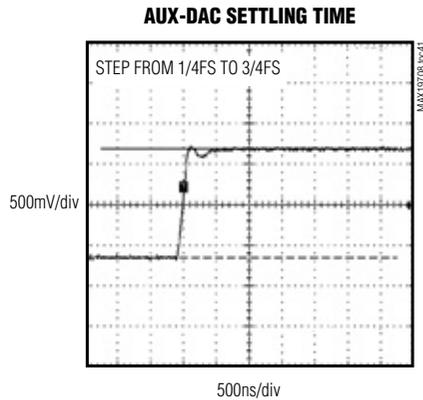
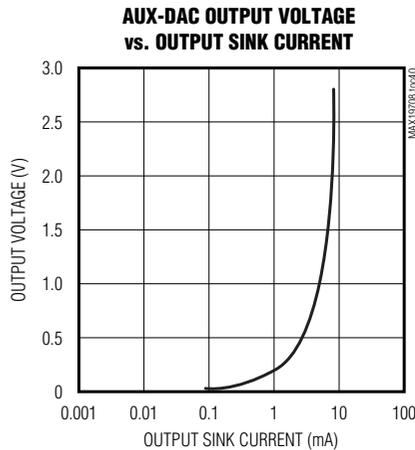
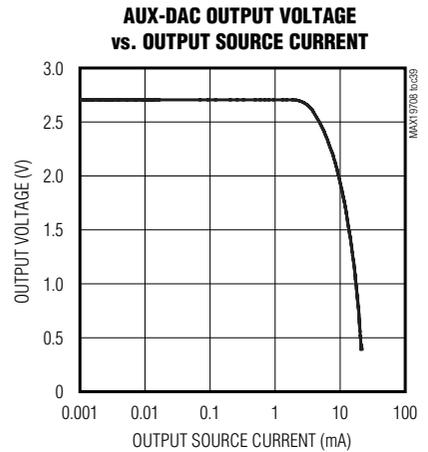
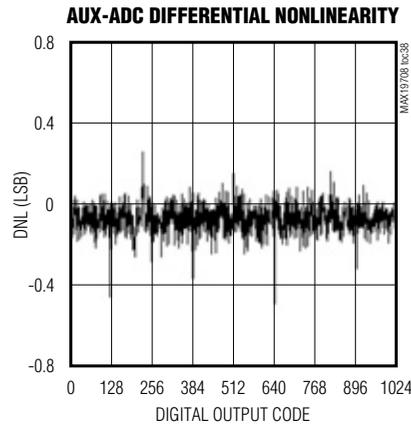
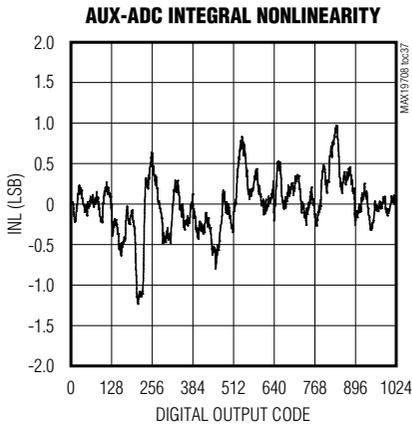
**AUX-DAC DIFFERENTIAL NONLINEARITY**



# 10位、11MSPS、超低功耗 模拟前端

## 典型工作特性 (续)

( $V_{DD} = 3V$ ,  $OV_{DD} = 1.8V$ , internal reference (1.024V),  $C_L \approx 10pF$  on all digital outputs,  $f_{CLK} = 11MHz$  (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output,  $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



## 引脚说明

引脚	名称	功能
1	REFP	高端基准电压, 用0.33 $\mu F$ 电容将其旁路到GND, 该电容应尽可能靠近REFP引脚安装。
2, 8, 11, 31, 33, 39, 43	$V_{DD}$	模拟电源。用并行连接的2.2 $\mu F$ 和0.1 $\mu F$ 电容将 $V_{DD}$ 旁路至GND。
3	IAP	通道IA同相模拟输入, 单端工作方式下, 将信号源连至IAP。
4	IAN	通道IA反相模拟输入, 单端工作方式下, 连接IAN至COM。
5, 7, 12, 32, 42	GND	模拟地, 连接所有GND引脚至地平面。
6	CLK	转换时钟输入, 接收ADC和发送DAC的时钟信号。
9	QAN	通道QA反相模拟输入。单端工作方式下, 连接QAN至COM。

# 10位、11Msps、超低功耗 模拟前端

引脚说明 (续)

MAX19708

引脚	名称	功能
10	QAP	通道QA同相模拟输入。单端工作方式下，将信号源连至QAP。
13-18, 21-24	D0-D9	数字I/O。接收ADC在Rx模式的输出；发送DAC在Tx模式的输入。D9为最高有效位 (MSB)，D0为最低有效位 (LSB)。
19	OGND	输出驱动器地
20	OV <sub>DD</sub>	输出驱动器电源。电压范围为+1.8V至V <sub>DD</sub> 。用2.2μF和0.1μF电容并联，将OV <sub>DD</sub> 旁路至OGND。
25	$\overline{\text{SHDN}}$	低电平有效关断输入。逻辑低电平使MAX19708进入关断状态。
26	DOUT	辅助ADC数字输出
27	T/ $\overline{\text{R}}$	发送或接收模式选择输入。T/ $\overline{\text{R}}$ 为逻辑低电平时为接收模式；逻辑高电平时为发送模式。
28	DIN	3线串行接口数据输入。数据在SCLK上升沿锁存。
29	SCLK	3线串行接口时钟输入。
30	$\overline{\text{CS}}$	3线串行接口片选输入。逻辑低电平使能串行接口。
34	ADC2	辅助ADC模拟输入
35	ADC1	辅助ADC模拟输入
36	DAC3	辅助DAC3模拟输出
37	DAC2	辅助DAC2模拟输出
38	DAC1	辅助DAC1模拟输出 (AFC DAC，在上电期间，V <sub>OUT</sub> = 1.1V)
40, 41	IDN, IDP	Tx通道ID差分电压输出
44, 45	QDN, QDP	Tx通道QD差分电压输出
46	REFIN	基准输入。使用内部基准连至V <sub>DD</sub> 。
47	COM	共模电压I/O。采用0.33μF电容旁路COM至GND。
48	REFN	负基准I/O。Rx ADC转换范围为±(V <sub>REFP</sub> - V <sub>REFN</sub> )。用0.1μF电容旁路REFN至GND。
—	EP	裸露焊盘。裸露焊盘在内部连接至GND。连接EP至GND层。

## 详细说明

MAX19708为集成了TD-SCDMA基带滤波器的双路10位Rx ADC和双路10位Tx DAC，在11Msps转换速率下具有超低功耗和较高的动态性能。Rx ADC模拟输入放大器为全差分结构，可接收1.024V<sub>p-p</sub>满量程信号。Tx DAC模拟输出支持±410mV或±500mV满量程全差分信号，共模直流电压可调，并可调节I/Q失调。

MAX19708集成了3路12位辅助DAC (aux-DAC)和10位、333ksps辅助ADC (aux-ADC)，带有4:1输入多路复用器。辅助DAC用于高速AGC、VGA和AFC电压设置，建立时间

为1μs。辅助ADC具有数据平均电路，降低处理器的系统开销；时钟分频器用于转换速率编程。

MAX19708带有3线串行接口，用于控制工作模式和电源管理。串行接口兼容SPI™和MICROWIRE™。MAX19708可通过串行接口选择关断、空闲、待机、发送 (Tx) 和接收 (Rx) 模式，并能控制辅助DAC和辅助ADC通道。

Rx ADC和Tx DAC共享数字I/O，从而减少了数字口线，只需10位并行复用总线。10位数字总线工作在+1.8V至+3.3V电源。

SPI是Motorola, Inc.的商标。

MICROWIRE是National Semiconductor Corp.的商标。

# 10位、11MSPS、超低功耗 模拟前端

## 双路10位Rx ADC

ADC的7级全差分、流水线结构可在极低功耗下实现高速转换。流水线各级电路每半个时钟周期对输入进行一次采样。包括输出锁存延内在内，通道IA总时延为5个时钟周期，通道QA为5.5个时钟周期。ADC满量程模拟输入范围为 $\pm V_{REF}$ ，共模输入范围为 $V_{DD} / 2 (\pm 0.2V)$ 。  $V_{REF}$ 是 $V_{REFP}$ 和 $V_{REFN}$ 之差。详细信息见基准设置一节。

## 输入采样和保持 (T/H) 电路

图1是Rx ADC输入采样和保持 (T/H) 电路简图。两路ADC输入 (IAP、QAP、IAN和QAN) 可以是差分或单端驱动。对IAP和IAN、QAP和QAN进行阻抗匹配，并将输入信号共模电压设置在Rx ADC的 $V_{DD} / 2 (\pm 200mV)$  范围内，以实现最佳性能。

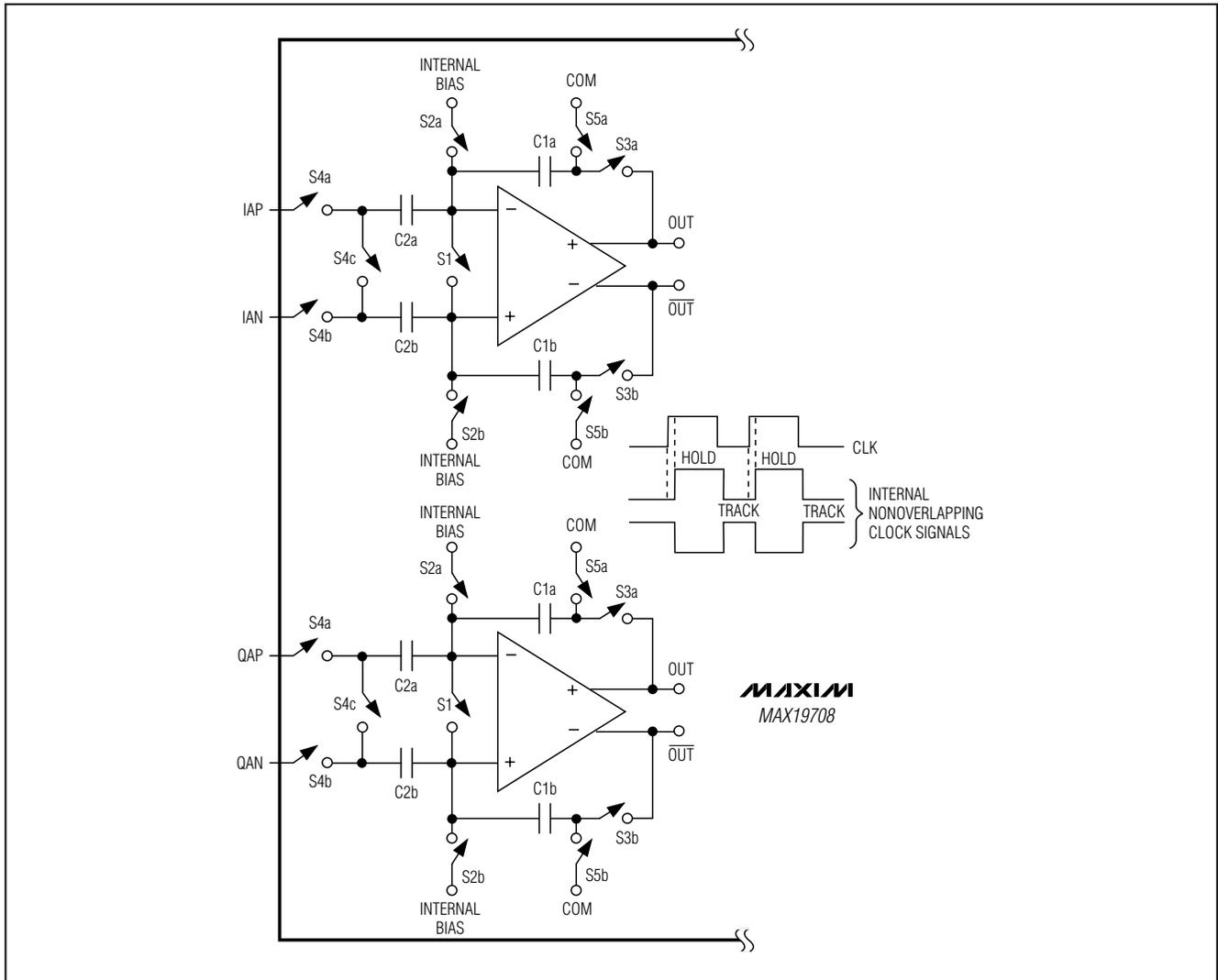


图1. Rx ADC内部T/H电路

# 10位、11Msps、超低功耗 模拟前端

表1. Rx ADC输出编码与输入电压的对应关系

DIFFERENTIAL INPUT VOLTAGE	DIFFERENTIAL INPUT (LSB)	OFFSET BINARY (D0–D9)	OUTPUT DECIMAL CODE
$V_{REF} \times 512/512$	511 (+Full Scale - 1 LSB)	11 1111 1111	1023
$V_{REF} \times 511/512$	510 (+Full Scale - 2 LSB)	11 1111 1110	1022
$V_{REF} \times 1/512$	+1	10 0000 0001	513
$V_{REF} \times 0/512$	0 (Bipolar Zero)	10 0000 0000	512
$-V_{REF} \times 1/512$	-1	01 1111 1111	511
$-V_{REF} \times 511/512$	-511 (-Full Scale + 1 LSB)	00 0000 0001	1
$-V_{REF} \times 512/512$	-512 (-Full Scale)	00 0000 0000	0

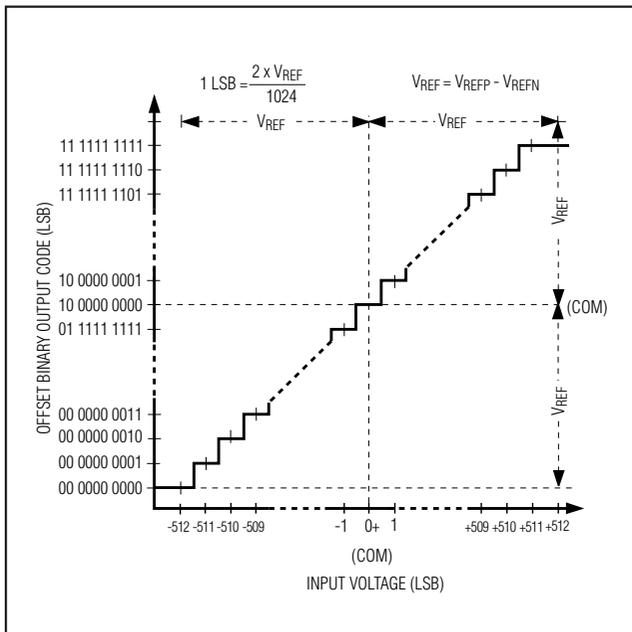


图2. Rx ADC传输函数

### Rx ADC系统时序要求

图3是时钟、模拟输入和输出数据结果之间的关系。通道I (CHI) 和通道Q (CHQ) 在时钟信号 (CLK) 上升沿采样，结果复用输出到D0–D9。CHI数据在CLK上升沿刷新，CHQ数据在CLK下降沿刷新。包括输出锁存延时时在内，CHI总延时时为5个时钟周期，CHQ为5.5个时钟周期。

### 数字输入/输出数据 (D0–D9)

MAX19708 在接收模式下，D0–D9是Rx ADC的数字逻辑输出。该总线与Tx DAC的数字逻辑输入共享，工作在半双工模式。MAX19708在发送模式下，D0–D9是Tx DAC数字逻辑输入。逻辑电平根据 $OV_{DD}$ 设置在1.8V至 $V_{DD}$ 。数字输出编码为偏移二进制码 (表1)。应保持尽可能小的数字输出D0–D9容性负载 (< 15pF)，以避免较大的数字电流馈入MAX19708模拟部分，导致动态性能下降。数字输出缓冲器能够隔离输出与较大的容性负载。在靠近MAX19708的数字输出端串联100Ω电阻，有助于提高ADC的性能。关于数字输出端通过100Ω串联电阻驱动数字缓冲的实例请参考MAX19708EVKIT原理图。

在SHDN、IDLE和STBY状态下，引脚D0–D9由内部上拉，防止出现浮空的数字输入。为确保没有电流通过D0–D9 I/O，外部总线应保持三态或上拉至 $OV_{DD}$ ，不应下拉至地。

# 10位、11Mpsps、超低功耗 模拟前端

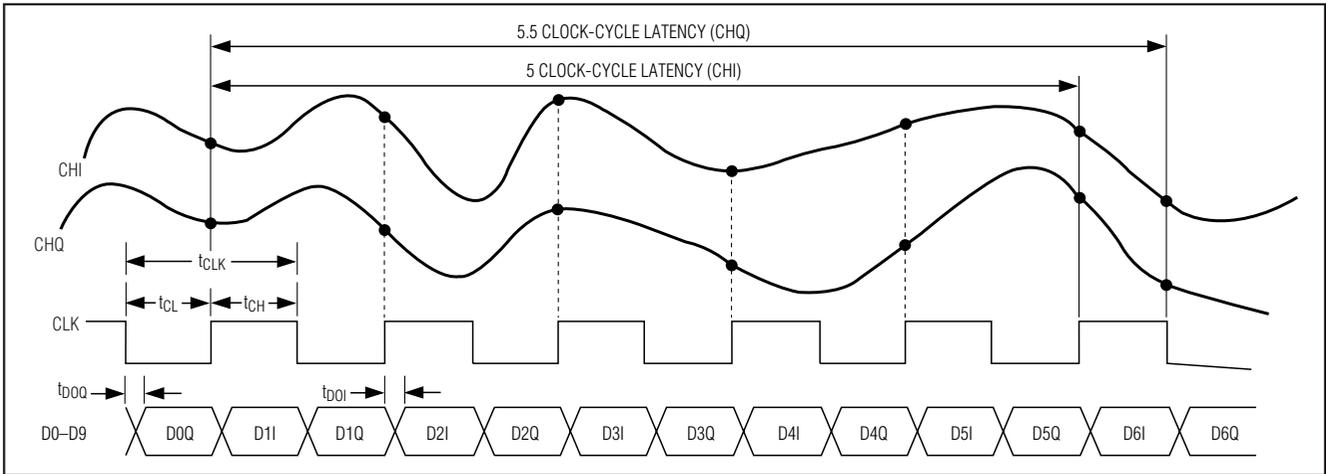


图3. Rx ADC系统时序图

## 表2. Tx通道输出电压与输入编码关系

(Internal Reference Mode  $V_{REFDAC} = 1.024V$ , External Reference Mode  $V_{REFDAC} = V_{REFIN}$ ;  $V_{FS} = 410$  for 820mVp-p Full Scale and  $V_{FS} = 500$  for 1Vp-p Full Scale)

DIFFERENTIAL OUTPUT VOLTAGE (V)	OFFSET BINARY (D0-D9)	INPUT DECIMAL CODE
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1023}{1023}$	11 1111 1111	1023
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1021}{1023}$	11 1111 1110	1022
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{3}{1023}$	10 0000 0001	513
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1}{1023}$	10 0000 0000	512
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1}{1023}$	01 1111 1111	511
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1021}{1023}$	00 0000 0001	1
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1023}{1023}$	00 0000 0000	0

### 双路10位Tx DAC和发送通道

双路10位数模转换器 (Tx DAC) 可工作在高达11MHz的时钟速率下。Tx DAC数字输入：D0-D9，复用10位总线。电压基准决定在IDN、IDP和QDN、QDP模拟输出上Tx通道的满量程输出电压。参见基准设置一节，了解基准电压设置的详细方法。每个Tx输出通道都集成了一个低通滤波器，可满足TD-SCDMA频谱模板要求。

在  $f_{IMAGE} = 4.32MHz$ 、 $f_{OUT} = 800kHz$  和  $f_{CLK} = 5.12MHz$  时TD-SCDMA滤波器的截止频率为1.32MHz，镜频抑制 > 55dB。请参考图4滤波器频率响应。

TD-SCDMA滤波器之后是缓冲放大器。放大器输出 (IDN、IDP和QDN、QDP) 偏置在一个可调节直流共模偏置电压上，设计用于驱动输入阻抗  $\geq 70k\Omega$  的差分输入级。这样可简化RF正交上变频器与MAX19708之间的模拟接口。

# 10位、11MSPS、超低功耗 模拟前端

MAX19708

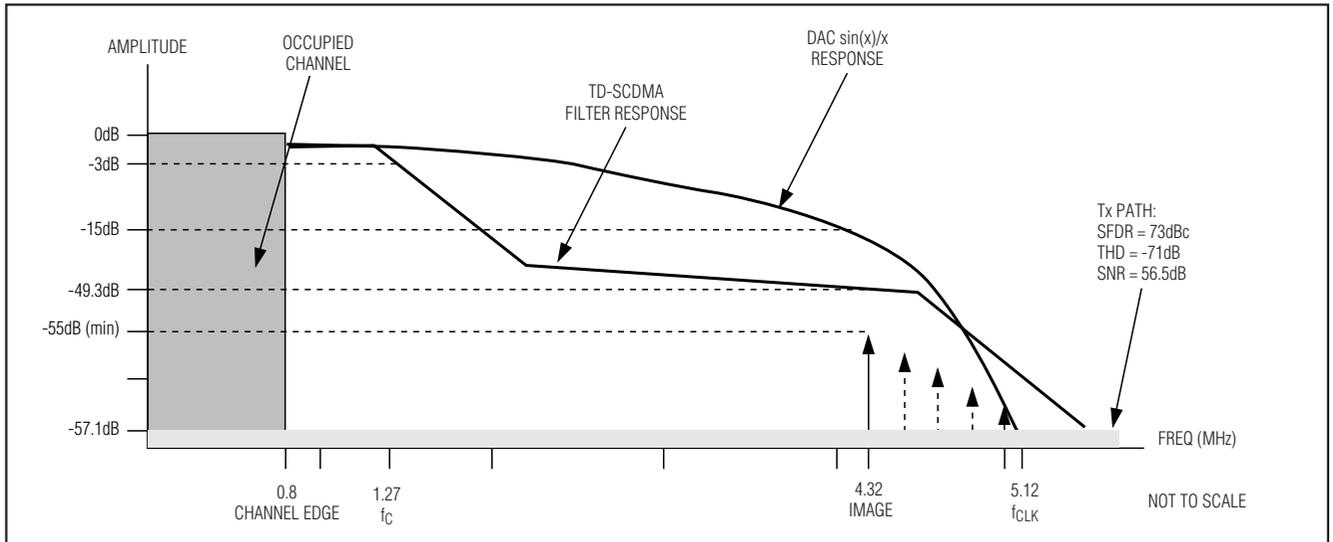


图4. TD-SCDMA滤波器频率响应

多数RF上变频器需要0.9V至1.4V的共模偏置。MAX19708直流共模偏置在保证每个Tx DAC完整动态范围的同时，可省去分立的电平设置电阻，也无需编码产生电平偏移。由于存在内部共模直流电压，Tx DAC差分模拟输出不能用于单端模式。表2给出了Tx通道输出电压和输入编码之间的对应关系。表11列出了直流共模电压的选择。图5所示为Tx DAC模拟输出电压。

缓冲放大器提供可编程的 $\pm 410\text{mV}$ 或 $\pm 500\text{mV}$ 满量程输出电平，每个I/Q通道具有独立的DC失调校准。这两种功能均通过SPI接口设置。DC失调校准用于优化Tx信号通路的边带和载波抑制（参见表8和表10）。

### Tx DAC时序

图6是时钟、输入数据和模拟输出之间的对应关系。I通道 (ID) 数据在时钟信号下降沿锁存，Q通道 (QD) 数据在时钟信号上升沿锁存。I和Q输出同时在下一个时钟信号上升沿刷新。

### 3线串行接口和工作模式

3线串行接口控制MAX19708工作模式和三个12位辅助DAC及10位辅助ADC。上电时，设置MAX19708，使其工作在所要求的模式下。采用3线串行接口设置器件的关断、空闲、待机、Rx、Tx、辅助DAC控制或辅助ADC转换。一个16位数据寄存器用于模式控制，如表3所示。该16位字由A3-A0控制位和D11-D0数据位组成。数据移位顺序是MSB (D11) 在前，最后是LSB (A0)。表4、表5和表6列出了MAX19708的工作模式和SPI命令。串行接口在任何模式下保持有效。

### SPI寄存器说明

如表3所示，通过设置寄存器控制位A3-A0选择不同的工作模式。更改A3-A0位，将在ENABLE-16、Aux-DAC1、Aux-DAC2、Aux-DAC3、IOFFSET、QOFFSET、Aux-ADC、ENABLE-8和COMSEL模式中进行选择。ENABLE-16是默认工作模式。此模式支持关断、空闲和待机状态，以及FAST、SLOW、Rx和Tx模式间的切换。表4是MAX19708的电源管理模式。表5给出了通过T/R引脚控制外部Tx-Rx切换的模式。表6提供SPI控制Tx-Rx切换的模式。

# 10位、11Msps、超低功耗 模拟前端

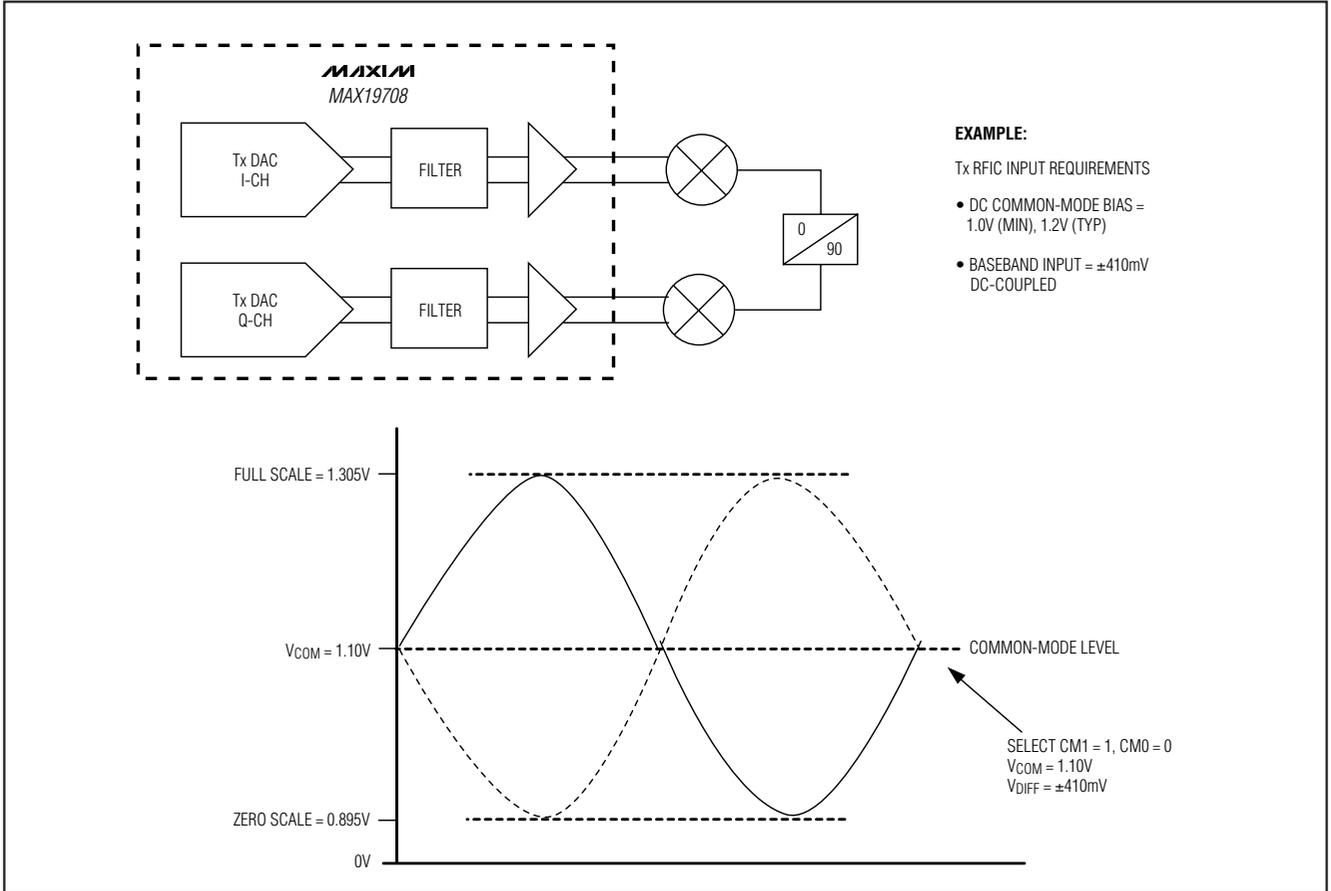


图5. Tx DAC在IDN、IDP和QDN、QDP差分输出的共模直流电压

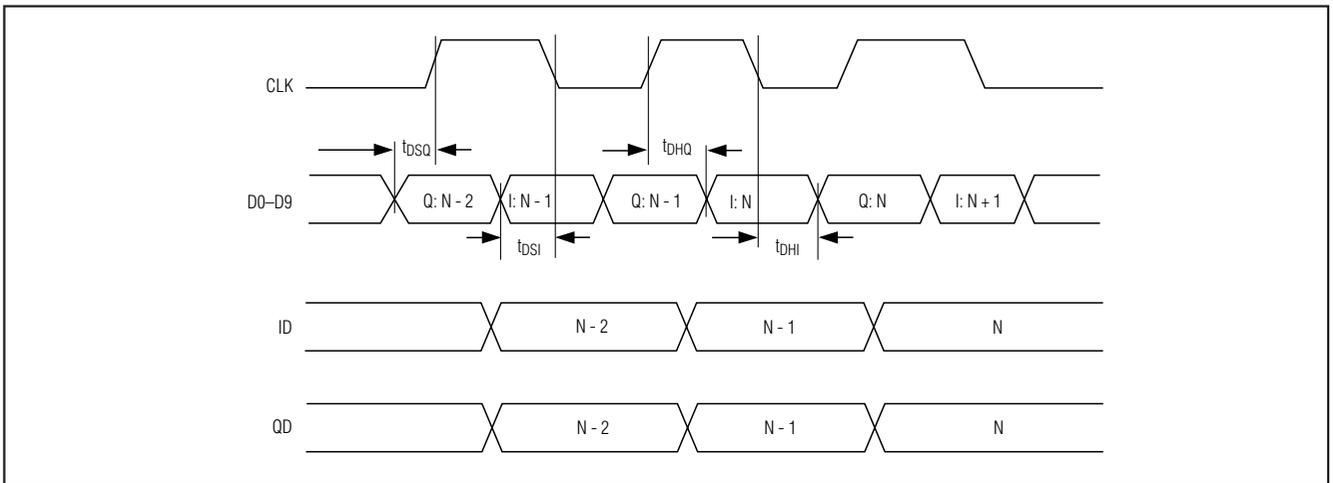


图6. Tx DAC系统时序图

# 10位、11Msps、超低功耗 模拟前端

MAX19708

表3. MAX19708模式控制

REGISTER NAME	D11 (MSB)	D10 15	D9 14	D8 13	D7 12	D6 11	D5 10	D4 9	D3 8	D2 7	D1 6	D0 5	A3 4	A2 3	A1 2	A0 1 (LSB)
ENABLE-16	E11 = 0 Reserved	E10 = 0 Reserved	E9	—	E7	E6	E5	E4	E3	E2	E1	E0	0	0	0	0
Aux-DAC1	1D11	1D10	1D9	1D8	1D7	1D6	1D5	1D4	1D3	1D2	1D1	1D0	0	0	0	1
Aux-DAC2	2D11	2D10	2D9	2D8	2D7	2D6	2D5	2D4	2D3	2D2	2D1	2D0	0	0	1	0
Aux-DAC3	3D11	3D10	3D9	3D8	3D7	3D6	3D5	3D4	3D3	3D2	3D1	3D0	0	0	1	1
IOFFSET	—	—	—	—	—	—	IO5	IO4	IO3	IO2	IO1	IO0	0	1	0	0
QOFFSET	—	—	—	—	—	—	QO5	QO4	QO3	QO2	QO1	QO0	0	1	0	1
COMSEL	—	—	—	—	—	—	—	—	—	—	CM1	CM0	0	1	1	0
Aux-ADC	AD11 = 0 Reserved	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	1	1	1
ENABLE-8	—	—	—	—	—	—	—	—	E3	E2	E1	E0	1	0	0	0

— = 没有用到。

表4. 电源管理模式

ADDRESS				DATA BITS					T/ $\bar{R}$	MODE	FUNCTION (POWER MANAGEMENT)	DESCRIPTION	COMMENT
A3	A2	A1	A0	E9*	E3	E2	E1	E0	PIN 27				
0000 (16-Bit Mode) or 1000 (8-Bit Mode)	1X000					X	SHDN	SHUTDOWN	Rx ADC = OFF Tx DAC = OFF Aux-DAC = OFF Aux-ADC = OFF CLK = OFF REF = OFF	Device is in complete shutdown. Overrides T/ $\bar{R}$ pin.			
	XX001					X	IDLE	IDLE	Rx ADC = OFF Tx DAC = OFF Aux-DAC = Last State CLK = ON REF = ON	Fast turn-on time. Moderate idle power. Overrides T/ $\bar{R}$ pin.			
	1X010					X	STBY	STANDBY	Rx ADC = OFF Tx DAC = OFF Aux-DAC = Last State Aux-ADC = OFF CLK = OFF REF = ON	Slow turn-on time. Low standby power. Overrides T/ $\bar{R}$ pin.			

X = 无关。

\*E9位在8位模式中不可用。

# 10位、11Msps、超低功耗 模拟前端

表5. 利用T/R̄引脚外部控制Tx-Rx (T/R̄ = 0 = Rx模式, T/R̄ = 1 = Tx模式)

ADDRESS				DATA BITS				T/R̄	STATE	FUNCTION Rx TO Tx-Tx TO Rx SWITCHING SPEED	DESCRIPTION	COMMENT				
A3	A2	A1	A0	E3	E2	E1	E0	PIN 27								
0000 (16-Bit Mode) or 1000 (8-Bit Mode)				0011				0	Ext1-Rx	FAST-SLOW	Rx Mode: Rx ADC = ON Tx DAC = ON Rx Bus = Enable	Moderate Power: Fast Rx to Tx when T/R̄ transitions 0 to 1.				
								1	Ext1-Tx		Tx Mode: Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power: Slow Tx to Rx when T/R̄ transitions 1 to 0.				
				0100				0100				0	Ext2-Rx (Default)	SLOW-FAST	Rx Mode: Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power: Slow Rx to Tx when T/R̄ transitions 0 to 1.
												1	Ext2-Tx		Tx Mode: Rx ADC = ON Tx DAC = ON Tx Bus = Enable	Moderate Power: Fast Tx to Rx when T/R̄ transitions 1 to 0.
				0101				0101				0	Ext3-Rx	SLOW-SLOW	Rx Mode: Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power: Slow Rx to Tx when T/R̄ transitions 0 to 1.
												1	Ext3-Tx		Tx Mode: Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power: Slow Tx to Rx when T/R̄ transitions 1 to 0.
				0110				0110				0	Ext4-Rx	FAST-FAST	Rx Mode: Rx ADC = ON Tx DAC = ON Rx Bus = Enable	Moderate Power: Fast Rx to Tx when T/R̄ transitions 0 to 1.
												1	Ext4-Tx		Tx Mode: Rx ADC = ON Tx DAC = ON Tx Bus = Enable	Moderate Power: Fast Tx to Rx when T/R̄ transitions 1 to 0.

在ENABLE-16模式下, 辅助DAC具有独立的控制位E4、E5和E6, Tx通道满量程输出由E7设置, E9用于使能辅助ADC。表7给出了辅助DAC的使能编码, 表8为满量程输出选择。表9给出了辅助ADC的使能编码。E11和E10保留, 需要将E11和E10位设为逻辑低电平。

Aux-DAC1、aux-DAC2和aux-DAC3模式对DAC1、DAC2和DAC3辅助DAC通道进行选择, 并为每个DAC保持输入数据。\_D11-\_D0是每个辅助DAC的输入数据, 可通过SPI编程。MAX19708还包含两个6位寄存器, 分别对Tx通路的I、Q通道进行失调校准(参见表10)。利用COMSEL模

# 10位、11MSPS、超低功耗 模拟前端

MAX19708

表6. 利用SPI命令控制Tx-Rx

ADDRESS				DATA BITS				T/R	MODE	FUNCTION (Tx-Rx SWITCHING SPEED)	DESCRIPTION	COMMENTS
A3	A2	A1	A0	E3	E2	E1	E0	PIN 27				
0000 (16-Bit Mode) or 1000 (8-Bit Mode)				1	0	1	1	X	SPI1-Rx	SLOW	Rx Mode: Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power: Slow Rx to Tx through SPI command.
				1	1	0	0	X	SPI2-Tx	SLOW	Tx Mode: Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power: Slow Tx to Rx through SPI command.
				1	1	0	1	X	SPI3-Rx	FAST	Rx Mode: Rx ADC = ON Tx DAC = ON Rx Bus = Enabled	Moderate Power: Fast Rx to Tx through SPI command.
				1	1	1	0	X	SPI4-Tx	FAST	Tx Mode: Rx ADC = ON Tx DAC = ON Tx Bus = Enabled	Moderate Power: Fast Tx to Rx through SPI command.

X = 无关。

表7. 辅助DAC使能表 (ENABLE-16模式)

E6	E5	E4	Aux-DAC3	Aux-DAC2	Aux-DAC1
0	0	0	ON	ON	ON
0	0	1	ON	ON	OFF
0	1	0	ON	OFF	ON
0	1	1	ON	OFF	OFF
1	0	0	OFF	ON	ON
1	0	1	OFF	ON	OFF
1	1	0	OFF	OFF	ON
1	1	1	OFF	OFF	OFF

式的CM1和CM0位选择输出共模电压(参见表11)。利用aux-ADC模式启动辅助ADC转换(详细内容请参考10位、333ksps辅助ADC一节)。ENABLE-8模式用于快速使能和关断、空闲、待机状态之间的切换,以及FAST、SLOW、Rx和Tx模式之间的切换。

表8. Tx通路满量程选择 (ENABLE-16模式)

E7	Tx-PATH OUTPUT FULL SCALE
0 (Default)	±410mV
1	±500mV

表9. 辅助ADC使能表 (ENABLE-16模式)

E9	SELECTION
0 (Default)	Aux-ADC is Powered ON
1	Aux-ADC is Powered OFF

关断模式将关闭MAX19708的所有模拟电路,将Rx ADC数字输出置为三态模式,能够最有效地降低功耗。当Rx ADC输出由三态恢复工作时,数字输出为上一次的转换数据。Tx DAC从关断模式唤醒时,以前存储的数据将会

# 10位、11Msps、超低功耗 模拟前端

表 10. 通道 I、Q 失调控制位 (IOFFSET 或 QOFFSET 模式)

BITS IO5–IO0 WHEN IN IOFFSET MODE, BITS QO5–QO0 WHEN IN QOFFSET MODE						OFFSET 1 LSB = (VFS <sub>P-P</sub> / 1023)
IO5/QO5	IO4/QO4	IO3/QO3	IO2/QO2	IO1/QO1	IO0/QO0	
1	1	1	1	1	1	-31 LSB
1	1	1	1	1	0	-30 LSB
1	1	1	1	0	1	-29 LSB
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
1	0	0	0	1	0	-2 LSB
1	0	0	0	0	1	-1 LSB
1	0	0	0	0	0	0mV
0	0	0	0	0	0	0mV (Default)
0	0	0	0	0	1	1 LSB
0	0	0	0	1	0	2 LSB
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
0	1	1	1	0	1	29 LSB
0	1	1	1	1	0	30 LSB
0	1	1	1	1	1	31 LSB

注：发送满量程信号为±410mV时：1 LSB = (820mV<sub>P-P</sub> / 1023) = 0.8016mV。发送满量程信号为±500mV时：1 LSB = (1V<sub>P-P</sub> / 1023) = 0.9775mV。

表 11. 共模选择 (COMSEL 模式)

CM1	CM0	Tx PATH OUTPUT COMMON MODE (V)
0	0	1.40 (Default)
0	1	1.25
1	0	1.10
1	1	0.90

丢失。从关断模式唤醒所需时间取决于REFP、REFN和COM电容充电时间。内部基准模式和带缓冲的外部基准模式下，唤醒时间典型值为：进入Rx模式82.2μs，进入Tx模式29μs。

空闲模式下，基准和时钟分配电路工作，其它所有功能都被禁止；Rx ADC输出强制为三态。唤醒时间为：进入Rx模式9.6μs，进入Tx模式7.6μs。当Rx ADC输出从三态恢复工作时，数字输出为上一轮的转换数据。

待机模式下，基准工作，器件其它功能被禁止。从待机模式的唤醒时间为：进入Rx模式17.5μs，进入Tx模式24μs。当Rx ADC输出从三态恢复到有效状态时，数字输出为上一轮的转换数据。

### FAST/SLOW Rx和Tx模式

MAX19708不仅具有外部Tx-Rx控制功能，还提供SLOW和FAST模式实现Rx和Tx切换。在FAST Tx模式，Rx ADC核上电，而ADC核在D0–D9总线的数字输出为三态；同样，在FAST Rx模式下，发送通道(DAC核和Tx滤波器)上电，而DAC核在D0–D9总线的数字输入为三态。由于变换器已经处于上电状态，不必从关断状态恢复，因此Tx至Rx或Rx至Tx的切换时间很短。在FAST模式下，Rx至Tx和Tx至Rx的切换时间为0.5μs。但是，由于Tx和Rx内核始终有效，该模式下功耗较高。为防止这些状态下出现总线冲突，Rx ADC缓冲输出在Tx期间保持三态，Tx DAC输入总线在Rx期间保持三态。

# 10位、11MSPS、超低功耗 模拟前端

SLOW 模式下，Rx ADC核在Tx期间关闭；同样，Tx DAC和滤波器在Rx期间关断，以保持低功耗。SLOW Tx模式下功耗为35.1mW；Rx模式下的功耗为24mW，而FAST模式下的功耗为41.1mW。但是，SLOW模式下不同状态间的切换恢复时间增加。SLOW模式下，Rx至Tx的切换时间为7 $\mu$ s，Tx至Rx为8.1 $\mu$ s。

## 外部T/R切换控制与串行接口控制

ENABLE-16或ENABLE-8寄存器的E3位决定器件的Tx-Rx模式由外部T/R输入（E3为逻辑低）控制，还是通过SPI命令（E3为逻辑高）控制。MAX19708默认设置为外部控制Tx-Rx模式。在外部控制模式下，利用T/R输入（引脚27）控制Rx和Tx的模式切换，这种切换速度较快。MAX19708

可通过串口禁止外部Tx-Rx控制。在SHDN、IDLE或STBY模式下，T/R输入无效。将E3置低，并通过串口控制退出SHDN、IDLE或STBY模式，恢复外部Tx-Rx控制。

## SPI时序

串行数字接口兼容于3线（ $\overline{CS}$ 、SCLK、DIN）标准SPI/QSPI™/MICROWIRE/DSP接口。 $\overline{CS}$ 置低允许串行数据加载到DIN或输出到DOUT。 $\overline{CS}$ 由高变低后，数据在串行时钟（SCLK）上升沿以高位在先的方式同步移位。16位数据装入串行输入寄存器后， $\overline{CS}$ 变高锁存数据。在下一个写周期前，需要将 $\overline{CS}$ 置为高电平，并至少保持80ns。SCLK在转换期间为空闲状态，可以是高电平，也可以是低电平。图7是3线串行接口的详细时序。

QSPI是Motorola, Inc.的商标。

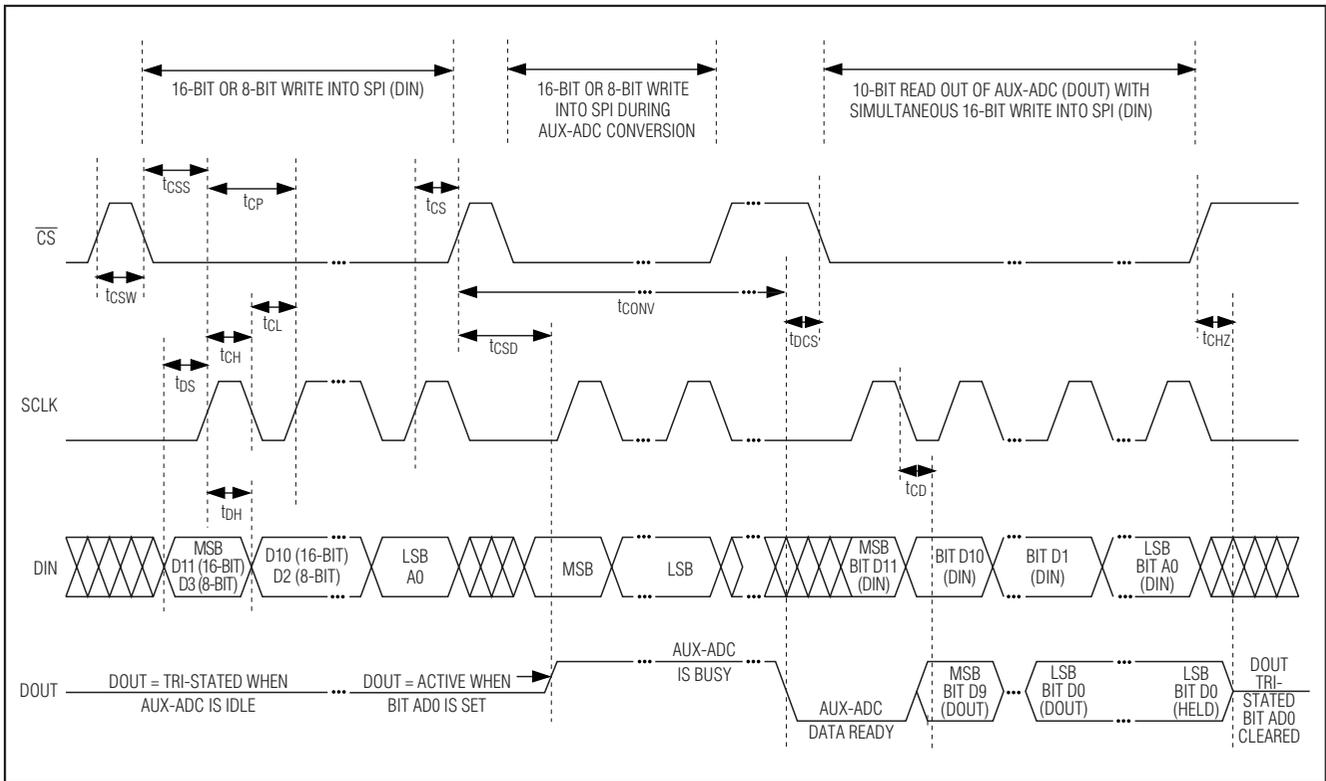


图7. 串口时序图

## 10位、11Msps、超低功耗 模拟前端

### 模式恢复时序

图8是模式恢复时序。 $t_{WAKE}$ 是退出关断、空闲或待机模式，进入Rx或Tx模式的唤醒时间。 $t_{ENABLE}$ 是Rx和Tx模式之间相互切换的恢复时间。 $t_{WAKE}$ 和 $t_{ENABLE}$ 分别是Rx ADC达到指定SINAD指标1dB以内的建立时间和Tx DAC达到10个LSB误差范围内的时间。 $t_{WAKE}$ 和 $t_{ENABLE}$ 是在16位串行指令由 $\overline{CS}$ 上升沿锁存到MAX19708后(通过SPI控制)或 $T/\overline{R}$ 逻辑跳变(外部Tx-Rx控制)后进行测量。在FAST模式下，Tx和Rx模式间切换的恢复时间为 $0.5\mu s$ 。

### 系统时钟输入 (CLK)

Rx ADC和Tx DAC共享CLK输入。CLK输入可接收由 $OV_{DD}$ 设置的1.8V至 $V_{DD}$  CMOS逻辑电平。由于器件的级间转换取决于外部时钟上升沿和下降沿的重复性，应采用低

抖动、上升和下降时间较快( $< 2ns$ )的时钟。由于在时钟信号上升沿采样，要求该上升沿抖动应尽可能低。任何明显的时钟抖动都会降低片内Rx ADC的SNR指标，如下式所示：

$$SNR = 20 \times \log \left( \frac{1}{2 \times \pi \times f_{IN} \times t_{AJ}} \right)$$

其中， $f_{IN}$ 代表模拟输入频率， $t_{AJ}$ 是时钟抖动时间。

时钟抖动对于欠采样应用非常关键。可将时钟输入作为模拟输入考虑，与其它模拟输入和数字信号线分开布线。MAX19708时钟输入电压门限为 $OV_{DD} / 2$ ，占空比 $50\% \pm 15\%$ 。

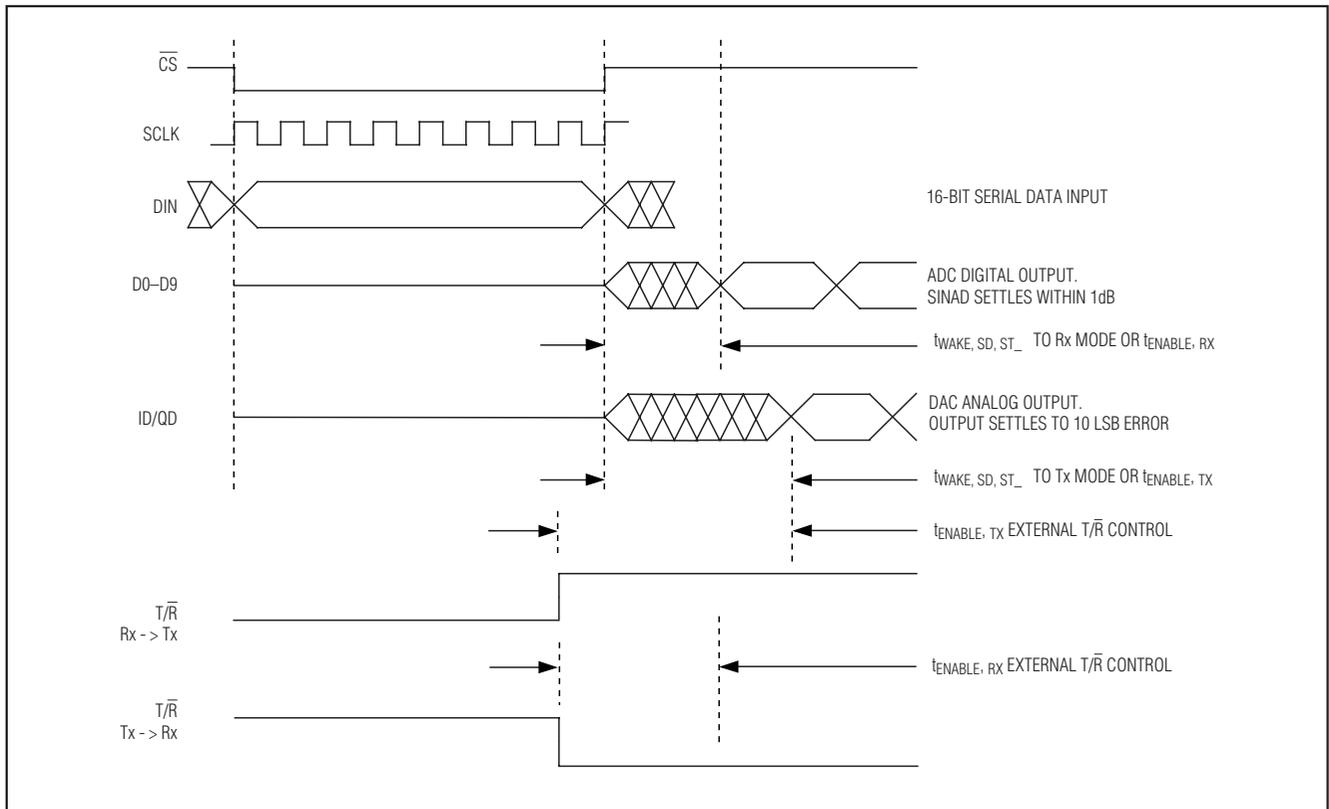


图8. 模式恢复时序

## 10位、11Msps、超低功耗模拟前端

### 12位辅助控制DAC

MAX19708 包含三路12位辅助DAC (DAC1、DAC2、DAC3), 建立时间为1 $\mu$ s, 用于控制可变增益放大器 (VGA)、自动增益控制 (AGC) 和自动频率控制 (AFC)。辅助DAC输出范围为0.1V至2.56V。上电过程中, VGA和AGC输出 (DAC2和DAC3) 为零。AFC DAC (DAC1) 上电期间输出为1.1V。辅助DAC可由SPI总线单独控制, 但在SHDN模式下, 辅助DAC完全关断, 输出电压为零。在STBY和IDLE模式下, 辅助DAC维持上一次的转换结果。从SHDN唤醒时, 辅助DAC恢复上一次的转换结果。

应仔细考虑辅助DAC的输出负载, 以获得所需的建立时间和稳定性。容性负载最大不得超过5pF (含封装和引线电容), 阻性负载必须大于200k $\Omega$ 。如果容性负载大于5pF, 则需在输出上串联一个10k $\Omega$ 电阻。此串联电阻有助于驱动较大的负载电容 (< 15pF), 但会延长建立时间。

### 10位、333ksps辅助ADC

MAX19708 集成了333ksps、10位辅助ADC (aux-ADC), 带有4:1输入多路复用器。在辅助ADC模式寄存器中, 将AD0置位将启动一次辅助ADC转换。转换完成后, AD0位

自动清零。转换期间将AD0置位或清零均无效 (参见表12)。AD1位决定辅助ADC的内部基准 (参见表13)。AD2和AD3位决定辅助ADC的输入源 (参见表14)。AD4、AD5和AD6位用来选择发出一条开始转换命令后取平均的个数。随着取平均个数的增加, 转换时间也变长 (参见表15)。适当设置AD7、AD8和AD9位 (参见表16), 可对系统时钟分频, 得到转换时钟。将AD10位置高 (参见表17), 可在DOUT输出辅助ADC的输出数据。

辅助ADC带有4:1输入多路复用器, 能够测量四路输入源。输入源是由AD3和AD2 (参见表14) 选择。两个多路复用器输入 (ADC1和ADC2) 可以连接到外部信号源, 例如: MAX2208射频功率检测器或MAX6613温度传感器。另外两个多路复用器输入内部连接到V<sub>DD</sub>和OV<sub>DD</sub>, 用于监测电源电压。内部V<sub>DD</sub>和OV<sub>DD</sub>连接通过集成的电阻分压器实现, 产生V<sub>DD</sub>/2和OV<sub>DD</sub>/2的测量结果。辅助ADC的电压基准可从内部2.048V带隙基准或/V<sub>DD</sub> (参见表13) 选择。提供V<sub>DD</sub>基准选择, 能够以高于2.048V的满量程范围测量外部电压。输入源电压范围不能超出V<sub>DD</sub>。

表 12. 辅助ADC转换

AD0	SELECTION
0	Aux-ADC Idle (Default)
1	Aux-ADC Start-Convert

表 13. 辅助ADC基准

AD1	SELECTION
0	Internal 2.048V Reference (Default)
1	Internal V <sub>DD</sub> Reference

表 14. 辅助ADC输入源

AD3	AD2	AUX-ADC INPUT SOURCE
0	0	ADC1 (Default)
0	1	ADC2
1	0	V <sub>DD</sub> / 2
1	1	OV <sub>DD</sub> / 2

## 10位、11Msps、超低功耗 模拟前端

转换过程需要12个时钟沿 (1个时钟用于输入采样、10位数据的每一位需要1个时钟, 最后1个时钟用于装载串行输出寄存器) 完成一次转换 (未进行数据平均操作)。数据平均的每次转换需要12个时钟沿 (当参与数据平均的个数大于1时), 转换时钟由系统时钟输入 (CLK) 产生。SPI可编程分频器对系统时钟进行适当分频 (设置位AD7、AD8和AD9; 参见表16), 并为辅助ADC提供转换时钟。辅助ADC的最大转换速率为333ksps。最大转换时钟频率为4MHz (333ksps x 12个时钟)。根据提供给MAX19708的系统CLK频率 (参见表16), 选择适当的分频比使转换时钟频率小于4MHz。辅助ADC的总转换时间可通过下式计算:  $t_{CONV} = (12 \times N_{AVG} \times N_{DIV}) / f_{CLK}$ ; 其中,  $N_{AVG}$  为参与数据平均的个数 (参见表15)、 $N_{DIV}$  为CLK分频比 (参见表16),  $f_{CLK}$  为系统CLK频率。

DOUT通常处于三态模式。将辅助ADC启动转换位 (AD0) 置位, DOUT有效并置为高电平, 指示aux-ADC忙。转换周期完成 (包括取平均在内) 后, 将数据放入输出寄存器, 且DOUT变为低电平, 指示输出数据已就绪, 可驱动到DOUT端。当AD10置位 (AD10 = 1) 时, aux-ADC进入数据输出模式, 当 $\overline{CS}$ 置为低电平时数据在DOUT端有效。辅助ADC数据移出DOUT (MSB在前), 在串行时钟(SCLK) 的下降沿移出数据。 $\overline{CS}$ 置高时, DOUT进入三态。当AD10清零 (AD10 = 0) 时, 不能够从DOUT获取aux-ADC数据 (参见表17)。

可对DIN进行写操作, 与DOUT状态无关。从DIN端输入的16位指令将更新器件配置。为防止从DOUT读数据时更改内部寄存器, 须保持DIN处于高电平状态。可向地址1111写入全1, 因为不存在地址1111, 所以内部寄存器不会受到影响。

表 15. 辅助ADC数据平均

AD6	AD5	AD4	AUX-ADC AVERAGING
0	0	0	1 Conversion (No Averaging) (Default)
0	0	1	Average of 2 Conversions
0	1	0	Average of 4 Conversions
0	1	1	Average of 8 Conversions
1	0	0	Average of 16 Conversions
1	0	1	Average of 32 Conversions
1	1	X	Average of 32 Conversions

X = 无关。

表 16. 辅助ADC时钟 (CLK) 分频器

AD9	AD8	AD7	AUX-ADC CONVERSION CLOCK
0	0	0	CLK Divided by 1 (Default)
0	0	1	CLK Divided by 2
0	1	0	CLK Divided by 4
0	1	1	CLK Divided by 8
1	0	0	CLK Divided by 16
1	0	1	CLK Divided by 32
1	1	0	CLK Divided by 64
1	1	1	CLK Divided by 128

表 17. 辅助ADC数据输出模式

AD10	SELECTION
0	Aux-ADC Data is Not Available on DOUT (Default)
1	Aux-ADC Enters Data Output Mode Where Data is Available on DOUT

# 10位、11Msps、超低功耗 模拟前端

MAX19708

表 18. 基准模式

V <sub>REFIN</sub>	REFERENCE MODE
> 0.8V × V <sub>DD</sub>	Internal Reference Mode. V <sub>REF</sub> is internally generated to be 0.512V. Bypass REFP, REFN, and COM each with a 0.33μF capacitor.
1.024V ±10%	Buffered External Reference Mode. An external 1.024V ±10% reference voltage is applied to REFIN. V <sub>REF</sub> is internally generated to be V <sub>REFIN</sub> / 2. Bypass REFP, REFN, and COM each with a 0.33μF capacitor. Bypass REFIN to GND with a 0.1μF capacitor.

### 基准设置

MAX19708内部精密的1.024V带隙基准可在整个电源范围和温度范围内保持稳定。REFIN输入提供两种基准模式。由REFIN (V<sub>REFIN</sub>)电压设置基准工作模式 (表18)。

在内部基准模式下，将REFIN连接到V<sub>DD</sub>。V<sub>REF</sub>是由内部产生的0.512V ±4%电压基准。COM、REFP和REFN分别为低阻输出，V<sub>COM</sub> = V<sub>DD</sub> / 2、V<sub>REFP</sub> = V<sub>DD</sub> / 2 + V<sub>REF</sub> / 2、V<sub>REFN</sub> = V<sub>DD</sub> / 2 - V<sub>REF</sub> / 2。分别采用0.33μF电容旁路REFP、REFN和COM。采用0.1μF电容旁路REFIN至GND。

对于带缓冲的外部基准模式，在REFIN端接1.024V ±10%电压。此时，COM、REFP和REFN为低阻输出，V<sub>COM</sub> = V<sub>DD</sub> / 2、V<sub>REFP</sub> = V<sub>DD</sub> / 2 + V<sub>REFIN</sub> / 4、V<sub>REFN</sub> = V<sub>DD</sub> / 2 - V<sub>REFIN</sub> / 4。分别采用0.33μF电容旁路REFP、REFN和COM。采用0.1μF电容旁路REFIN至GND。此模式下，Tx通道满量程输出与外部基准成正比。例如，如果V<sub>REFIN</sub>增加10% (最大值)，Tx DAC满量程输出也相应增大10%，达到±451mV。

### 应用信息

#### 采用非平衡变压器AC耦合

RF变压器 (图9) 为单端信号至差分信号转换提供了一种优异的解决方案，可获得最佳ADC性能。将变压器中心抽头连至COM，为输入提供一个V<sub>DD</sub> / 2的DC电平偏置。可以使用1:1变压器，为降低对驱动电路的要求，也可使用升压变压器。通常，MAX19708全差分输入可以获得比单端信号更好的SFDR和THD性能，特别是高频输入的情况。差分模式下，由于输入信号 (IAP、IAN、QAP、QAN) 对称，偶次谐波分量很低，与单端模式相比，每路Rx ADC输入只需单端信号摆幅的一半。图10是将MAX19708 Tx DAC差分模拟输出转换为单端输出的RF变压器电路。

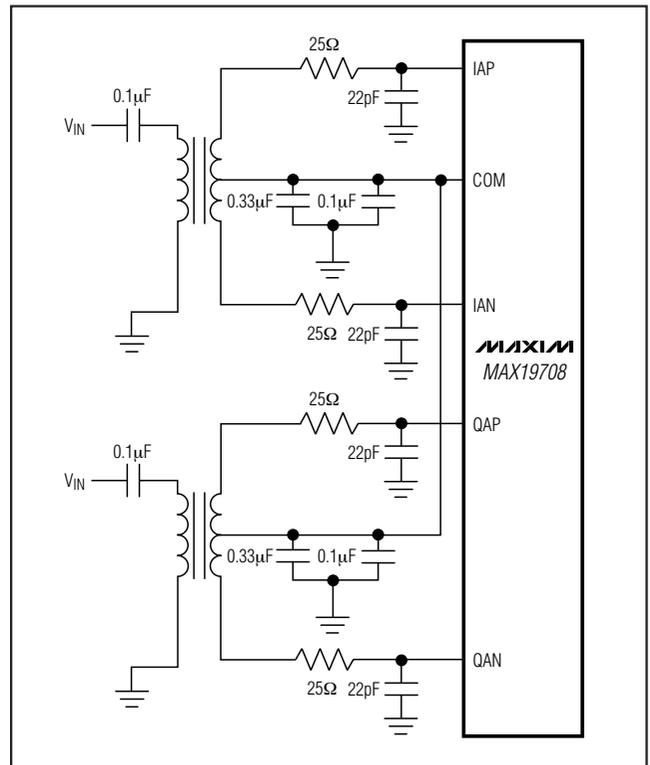


图9. Rx ADC采用非平衡变压器耦合的单端至差分输入驱动

#### 用运算放大器耦合

在无法使用非平衡变压器的情况下，可以采用运算放大器驱动MAX19708 Rx ADC。Rx ADC采用运算放大器驱动的单端AC耦合和差分DC耦合分别如图11和图12所示。MAX4454和MAX4354等放大器具有高速、宽带、低噪声和低失真特性，能够保持输入信号的完整性。图12运算放大器电路还可以做为Tx DAC差分模拟输出接口，用来

# 10位、11Mpsps、超低功耗 模拟前端

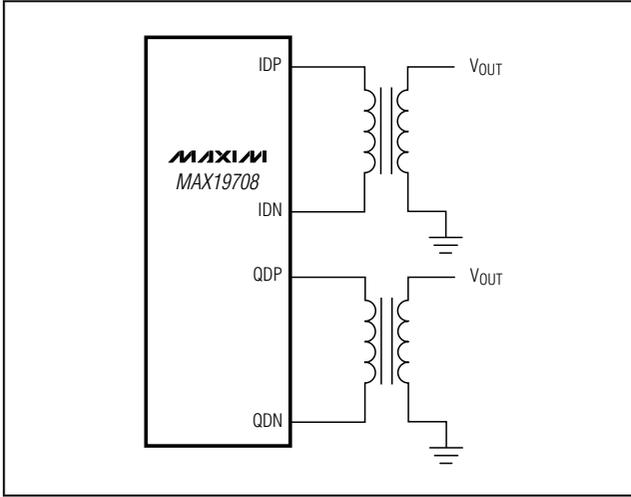


图10. Tx DAC非平衡变压器耦合的差分至单端输出驱动

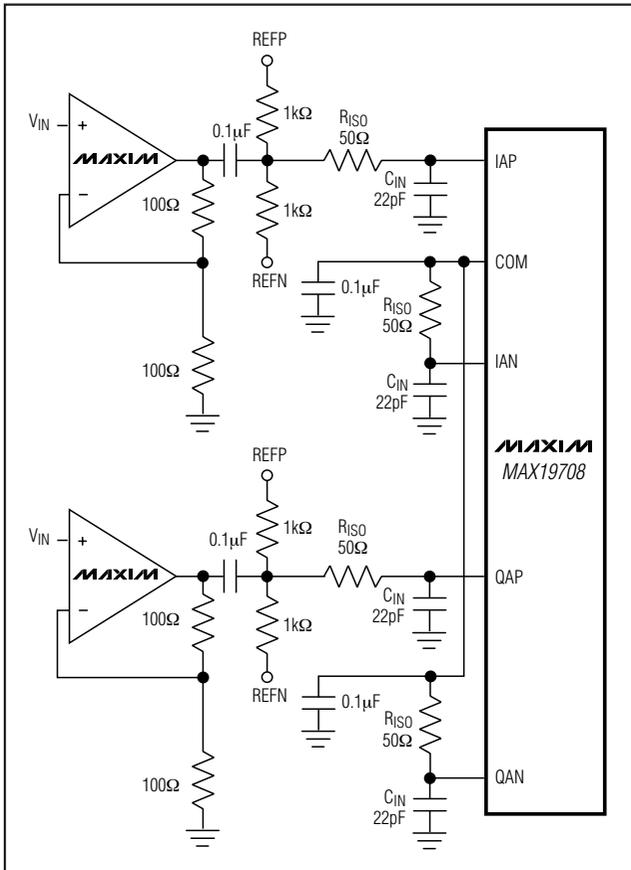


图11. Rx ADC单端驱动

提供增益或缓冲。由于存在内部共模电压，Tx DAC差分模拟输出不能用于单端模式。Tx DAC模拟输出设计用于驱动输入阻抗  $\geq 70k\Omega$  的差分输入级。如果需要单端输出，可采用放大器提供差分至单端转换，但需要选择具有适当输入共模电压范围的放大器。

## TDD 模式

MAX19708针对TD-SCDMA应用进行优化。当选择FAST模式时，MAX19708通过T/ $\bar{R}$ 引脚，可在 $0.5\mu s$ （典型值）内实现Tx和Rx模式转换。Rx ADC和Tx DAC独立工作，Rx ADC和Tx DAC数字总线共享10位并行总线。利用3线串行接口或外部T/ $\bar{R}$ 引脚选择Rx模式（使能Rx ADC）或Tx模式（使能Tx DAC）。Rx模式下，Tx DAC总线被禁止；Tx模式下，Rx ADC总线为三态，以消除任何不希望的杂散辐射，并避免出现总线冲突。TDD模式下， $f_{CLK} = 11MHz$ 时，MAX19708在Rx模式的功耗为41.1mW；在Tx模式的功耗为42.3mW。

## TD-SCDMA应用

图13是典型的TD-SCDMA应用电路。MAX19708设计用于直接与MAX2507和MAX2392射频前端接口，提供完整的“RF至数字”前端解决方案。MAX19708的多项功能有助于直接与MAX2392和MAX2507连接：

- 集成Tx滤波器减少元件数量、降低成本，符合TD-SCDMA频谱模板要求。
- 可调节的Tx直流共模输出电压，不必使用分立直流电平调节元件，同时可保持Tx DAC全动态范围。
- 经过优化的Tx满量程输出，不必为I/Q增益控制选用分立放大器。
- Tx-I/Q失调校准，无需分立的补偿DAC进行失调补偿，即可提高边带/载波抑制能力。
- 建立时间为 $1\mu s$ 的辅助DAC用于VGA和AGC控制，可实现快速、精确的Tx功率和Rx增益控制。

# 10位、11MSPS、超低功耗 模拟前端

MAX19708

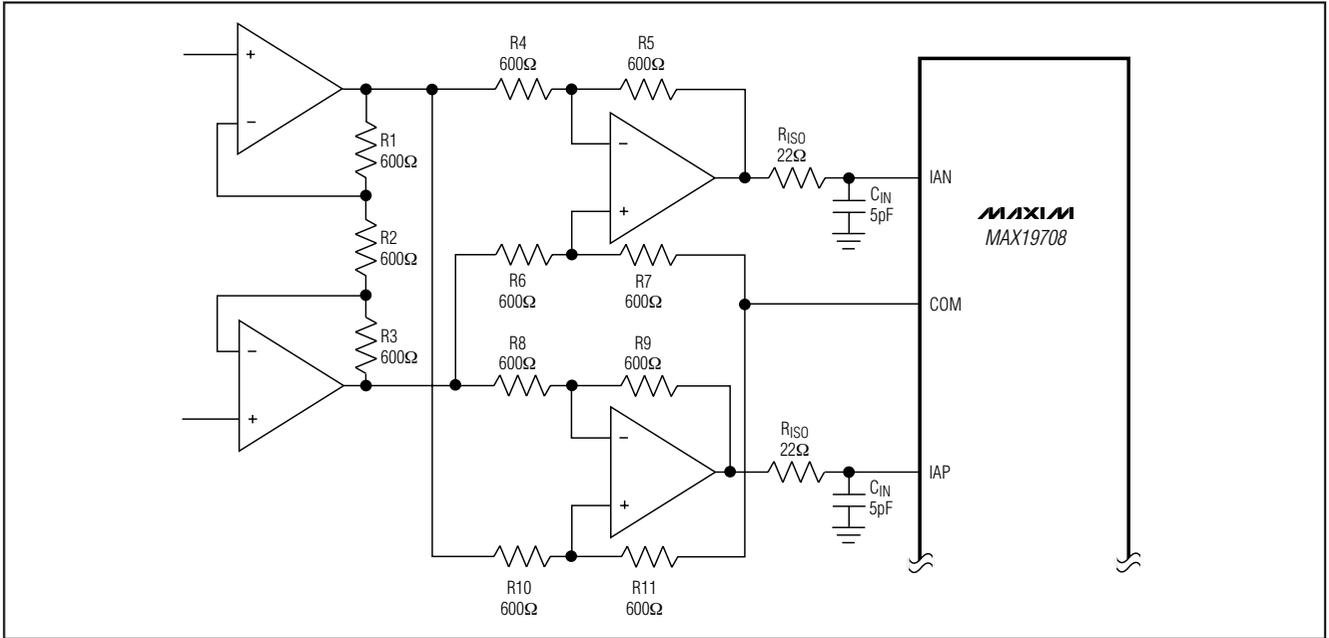


图12. Rx ADC直流耦合差分驱动

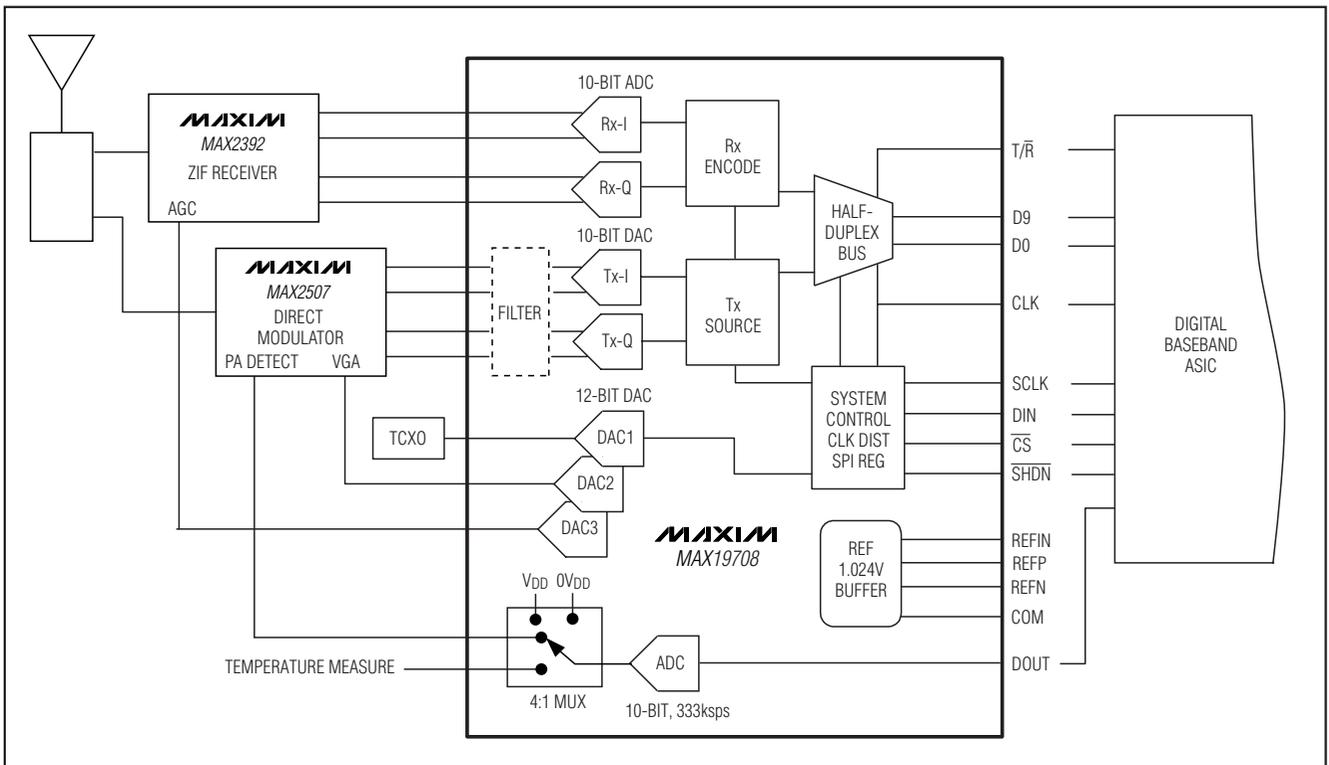


图13. TD-SCDMA典型应用电路

# 10位、11Msps、超低功耗 模拟前端

## 接地、旁路与布线

MAX19708需要高速电路板布线技术，电路板布线可以参考MAX19708评估板数据资料。所有旁路电容应尽可能靠近器件安装，并与器件放置在电路板的同一层，应该选用表贴器件以减小寄生电感。用 $0.1\mu\text{F}$ 陶瓷电容与 $2.2\mu\text{F}$ 电容并联，将 $V_{\text{DD}}$ 旁路到GND。用 $0.1\mu\text{F}$ 陶瓷电容与 $2.2\mu\text{F}$ 电容并联，将 $OV_{\text{DD}}$ 旁路到OGND。分别用 $0.33\mu\text{F}$ 陶瓷电容将REFP、REFN与COM旁路到GND。用 $0.1\mu\text{F}$ 电容将REFIN旁路到GND。

具有独立的地平面与电源平面的多层板可提供最佳的信号完整性。模拟地 (GND) 与数字输出地 (OGND) 采用独立的地平面，并与器件封装的物理位置相对应。连接MAX19708背面的裸露焊盘至GND平面。两个地平面单点相连，使噪声较大的数字地电流不会影响模拟地。可以凭经验将两个地平面之间的某一点确定为最佳连接点。可通过一个低阻值表贴电阻 ( $1\Omega$ 至 $5\Omega$ )、磁珠连接两个地平面，也可以直接短路连接两个地平面。如果该地平面与所有噪声较大的数字系统地 (如后续输出缓冲器或DSP地平面) 充分隔离，则可以使所有接地引脚共用同一个地平面。

高速数字信号线应远离敏感的模拟信号线。确保模拟输入引线与其相应的变换器隔离开，以减小通道间串扰。确保所有信号引线尽可能短，并避免 $90^\circ$ 转角。

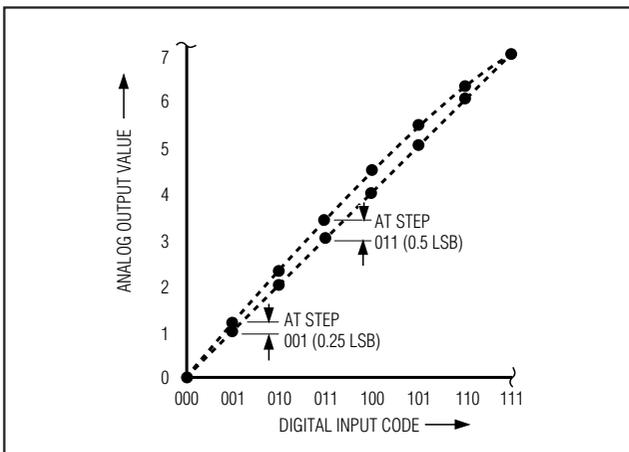


图14a. 积分非线性

## 动态参数定义

### ADC与DAC的静态参数定义

#### 积分非线性 (INL)

积分非线性是实际传递函数值与直线的偏差。这条直线可以是最佳直线拟合，也可以是消除失调与增益误差后传输函数两个端点间的连线。该器件静态线性参数测量采用的是最佳直线拟合法 (DAC图14a)。

#### 微分非线性 (DNL)

微分非线性是实际步长宽度与1个LSB理想值之差，小于1 LSB的DNL误差保证不会产生失码 (ADC)，并可确保传输函数 (ADC与DAC) 的单调性 (DAC图14b)。

### ADC失调误差

理想情况下，中点跳变出现在中点以上0.5个LSB处，失调误差是测试得到的跳变点与理想跳变点间的差值。

### DAC失调误差

失调误差 (图14a) 是理想失调点与实际失调点之差。失调点是数字输入为中点时对应的输出值。该误差对所有编码的影响是相等的，通常可通过微调加以补偿。

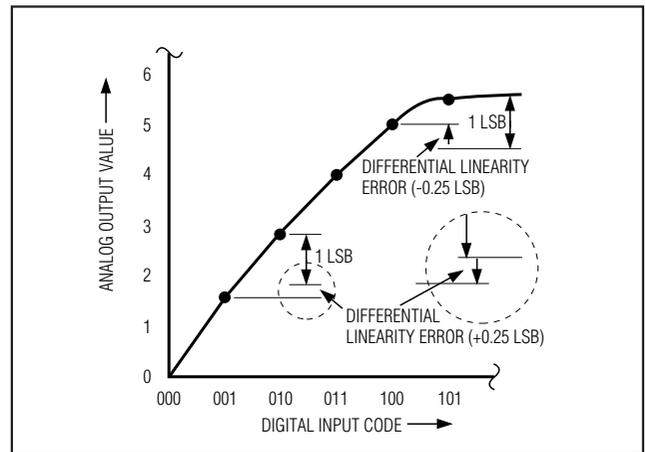


图14b. 微分非线性

# 10位、11MSPS、超低功耗模拟前端

## ADC增益误差

理想情况下，ADC满量程跳变出现在低于满量程1.5个LSB处。增益误差是在消除失调误差后测试的跳变点与理想跳变点之间的差值。

## ADC动态参数定义

### 孔径抖动

图15给出了孔径抖动 ( $t_{AJ}$ ) 的说明，它是孔径延时期间采样值的变化。

### 孔径延时

孔径延时 ( $t_{AD}$ ) 是指采样时钟上升沿与实际采样瞬间的时间差 (图15)。

## 信噪比 (SNR)

从数字采样中重建最佳波形，理论上SNR最大值是满量程模拟输入 (RMS值) 与量化误差RMS (剩余误差) 之比，并直接由ADC的分辨率 (N位) 确定：

$$\text{SNR (最大值)} = 6.02\text{dB} \times N + 1.76\text{dB} \quad (\text{单位: dB})$$

实际上，除了量化噪声外还有其它噪声源：热噪声、基准噪声、时钟抖动等。SNR采用信号RMS与噪声RMS之比计算。噪声RMS包括除基波、前五次谐波与DC失调以外所有奈奎斯特频率的频谱成份。

## 信号与噪声加失真比 (SINAD)

SINAD采用信号RMS与噪声RMS之比计算。噪声RMS包括除基波与DC失调以外奈奎斯特频率的所有频谱成份。

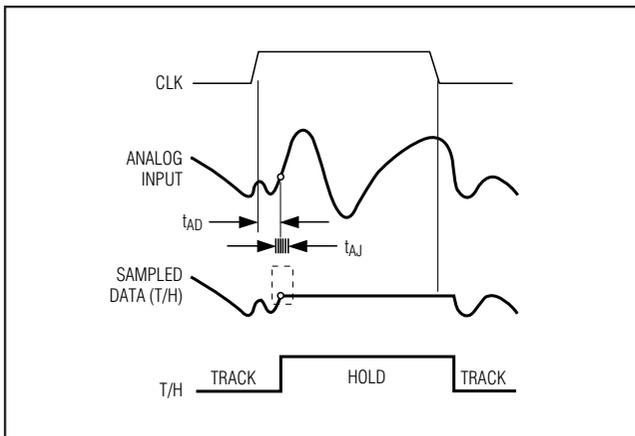


图15. T/H孔径延时

## 有效位数 (ENOB)

ENOB规定了在指定输入频率与采样频率下ADC的动态性能。理想的ADC误差仅包括量化误差。满量程正弦输入波形的ENOB由下式计算：

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02$$

## 总谐波失真 (THD)

THD通常是输入信号前5次谐波RMS之和与基波之比，可以用下式表示：

$$\text{THD} = 20 \times \log \left[ \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2)}}{V_1} \right]$$

其中， $V_1$ 为基波幅值， $V_2$ - $V_6$ 为2次至6次谐波幅值。

## 三次谐波失真 (HD3)

HD3被定义为3次谐波分量的RMS值与输入信号基波的比值。

## 无杂散动态范围 (SFDR)

SFDR是基波 (信号成分最大值) RMS值与不包括DC失调的第二谐波成份的RMS值之比，以分贝为单位。

## 交调失真 (IMD)

当 $f_1$ 和 $f_2$ 两路信号加在输入端时，IMD是相对于总输入功率的交调分量总功率，交调分量为 $(f_1 \pm f_2)$ 、 $(2 \times f_1)$ 、 $(2 \times f_2)$ 、 $(2 \times f_1 \pm f_2)$ 、 $(2 \times f_2 \pm f_1)$ 。每路输入信号电平为-7dBFS。

## 3阶交调 (IM3)

当 $f_1$ 和 $f_2$ 两路信号加在输入端时，IM3是对应于任意一路输入信号的最差三阶交调分量的功率。三阶交调分量为 $(2 \times f_1 \pm f_2)$ 、 $(2 \times f_2 \pm f_1)$ 。每路输入信号电平为-7dBFS。

## 10位、11Msps、超低功耗 模拟前端

### 电源抑制比

电源抑制比定义为电源变化±5%时产生的失调量与增益误差的偏移量。

### 小信号带宽

将-20dBFS的模拟输入信号送入ADC、并且信号摆率不会限制ADC性能的条件下，随着输入频率的升高数字转换结果将会下降，下降3dB时所对应的频点称为小信号带宽。注意，T/H性能通常是制约小信号输入带宽的因素。

### 满功率带宽

将-0.5dBFS的模拟输入信号送入ADC，随着输入频率的升高数字转换结果将会下降，下降3dB时所对应的频点称为满功率带宽频率。

### DAC动态参数定义

#### 总谐波失真

THD是奈奎斯特频率输出谐波RMS之和与基波的比值：

$$\text{THD} = 20 \times \log \left[ \frac{\sqrt{(V_2^2 + V_3^2 + \dots + V_n^2)}}{V_1} \right]$$

其中， $V_1$ 为基波幅值， $V_2$ 至 $V_n$ 为奈奎斯特频率的2次至n次谐波幅值。

#### 无杂散动态范围

无杂散动态范围 (SFDR) 是基波 (信号成分最大值) RMS值与不包括DC成份的奈奎斯特频率第二谐波RMS值之比。

### 选型指南

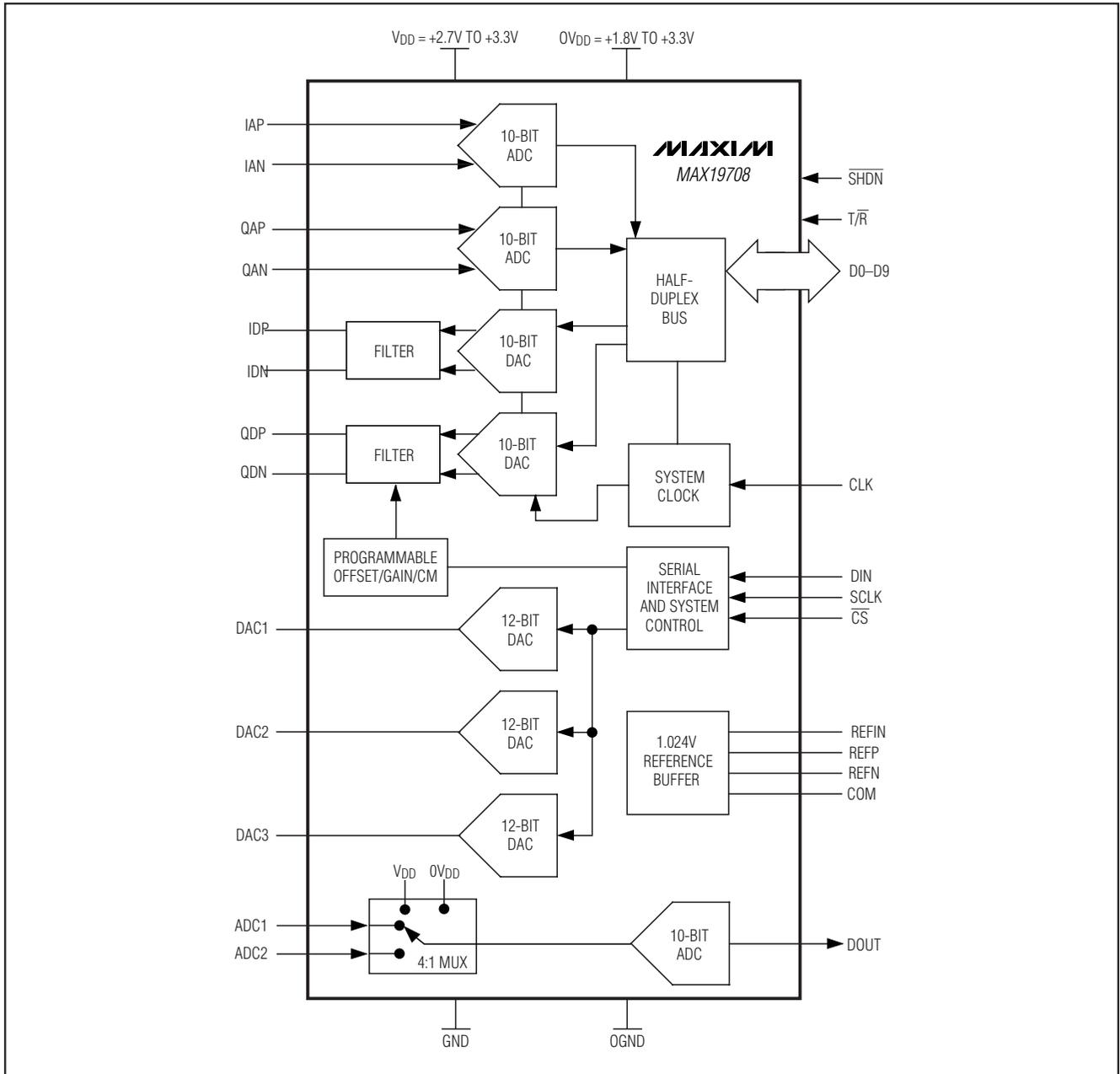
PART	DESCRIPTION	SAMPLING RATE (Msps)
MAX19700	Dual 10-Bit Rx ADC, Dual 10-Bit Tx DAC, Integrated TD-SCDMA Filters, Three 12-Bit Auxiliary DACs	7.5
MAX19708	Dual 10-Bit Rx ADC, Dual 10-Bit Tx DAC, Integrated TD-SCDMA Filters, Three 12-Bit Auxiliary DACs, 10-Bit Auxiliary ADC with 4:1 Input Mux	11
MAX19705/MAX19706 <sup>†</sup> /MAX19707 <sup>†</sup>	Dual 10-Bit Rx ADC, Dual 10-Bit Tx DAC, Three 12-Bit Auxiliary DACs, 10-Bit Auxiliary ADC with 4:1 Input Mux	7.5/22/45

<sup>†</sup> 未来产品 — 供货信息请与厂商联系。

# 10位、11MSPS、超低功耗 模拟前端

功能框图

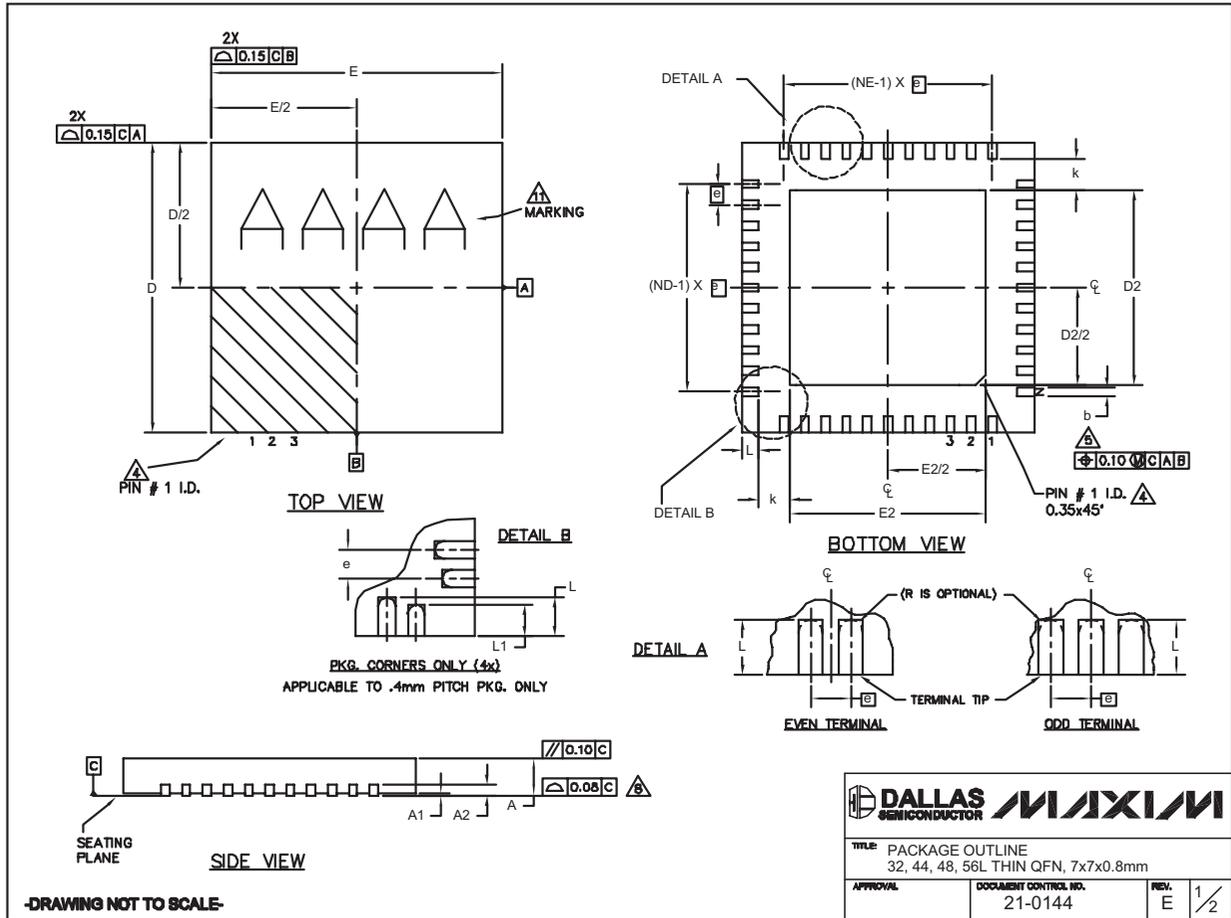
MAX19708



# 10位、11MSPS、超低功耗 模拟前端

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 [www.maxim-ic.com.cn/packages](http://www.maxim-ic.com.cn/packages)。)



32, 44, 48L QFN.EPS

# 10位、11Msps、超低功耗 模拟前端

封装信息 (续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 [www.maxim-ic.com.cn/packages](http://www.maxim-ic.com.cn/packages)。)

MAX19708

COMMON DIMENSIONS														EXPOSED PAD VARIATIONS											
PKG	32L 7x7			44L 7x7			48L 7x7			CUSTOM PKG. (T4877-1) 48L 7x7			56L 7x7			PKG. CODES	DEPOPULATED LEADS	D2			E2			JEDEC MO220 REV. C	DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T3277-2	-	4.55	4.70	4.85	4.55	4.70	4.85	-	YES
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	-	0.05	T3277-3	-	4.55	4.70	4.85	4.55	4.70	4.85	-	NO
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			T4477-2	-	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	YES
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25	T4477-3	-	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	YES
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	T4877-1**	13,24,37,48	4.20	4.30	4.40	4.20	4.30	4.40	-	NO
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	T4877-3	-	4.95	5.10	5.25	4.95	5.10	5.25	-	YES
e	0.65 BSC.			0.50 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.			T4877-4	-	5.45	5.60	5.63	5.45	5.60	5.63	-	YES
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	0.35	0.45	T4877-5	-	2.40	2.50	2.60	2.40	2.50	2.60	-	NO
L	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.45	0.55	0.65	0.40	0.50	0.60	T4877-6	-	5.45	5.60	5.63	5.45	5.60	5.63	-	NO
L1	-	-	-	-	-	-	-	-	-	-	-	-	0.30	0.40	0.50	T4877-7	-	4.95	5.10	5.25	4.95	5.10	5.25	-	YES
N	32			44			48			44			56			T5677-1	-	5.20	5.30	5.40	5.20	5.30	5.40	-	YES
ND	8			11			12			10			14												
NE	8			11			12			12			14												

\*\* NOTE: T4877-1 IS A CUSTOM 48L PKG. WITH 4 LEADS DEPOPULATED. TOTAL NUMBER OF LEADS ARE 44.

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220 EXCEPT THE EXPOSED PAD DIMENSIONS OF T4877-1/-3/-4/-5/-6 & T5677-1.
10. WARPAGE SHALL NOT EXCEED 0.10 mm.
11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY
12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

**-DRAWING NOT TO SCALE-**

TITLE: PACKAGE OUTLINE 32, 44, 48, 56L THIN QFN, 7x7x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0144
REV. E	2/2

## MAXIM北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责, 也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 37