

提供评估板

MAXIM

多通道、真差分、串行、
14 位 ADC

MAX1146-MAX1149

概述

特性

低功耗、14 位、多通道、模数转换器 (ADC) MAX1146-MAX1149, 内置采样/保持 (T/H)、电压基准和时钟。MAX1146/MAX1148 采用 +4.75V 至 +5.25V 单电源供电, MAX1147/MAX1149 采用 +2.7V 至 +3.6V 单电源供电。所有模拟输入均可通过软件设置为单极性/双极性和单端/差分模式。

其 4 线串口可直接连接 SPI™/QSPI™/MICROWIRE™ 器件, 无需外部逻辑接口。利用串行触发输出 (SSTRB) 可方便实现与数字信号处理器的连接。MAX1146-MAX1149 采用内部时钟或外部串行时钟实现逐次逼近型模数转换。

MAX1146/MAX1148 内部含一个 +4.096V 基准, 而 MAX1147/MAX1149 内部含一个 +2.500V 基准。所有器件均可使用 1.5V 到 V_{DD} 的外部基准。

MAX1146-MAX1149 提供一个硬关断和两个软关断模式。采用软关断模式可以使器件在转换之间关断。关断后, 访问串口将自动启动器件。快速的启动时间允许在所有转换之间关断。采用快速启动, 电源电流可降至低于 120μA。

MAX1146-MAX1149 提供 20 引脚的 TSSOP 封装。

- ◆ 8 路单端或 4 路差分输入 (MAX1148/MAX1149)
- ◆ 4 路单端或 2 路差分输入 (MAX1146/MAX1147)
- ◆ 内部复用器和 T/H
- ◆ 单电源供电
 - 4.75V 至 5.25V 电源供电 (MAX1146/MAX1148)
 - 2.7V 至 3.6V (MAX1147/MAX1149)
- ◆ 内部基准
 - +4.096V (MAX1146/MAX1148)
 - +2.500V (MAX1147/MAX1149)
- ◆ 116ksps 采样速率
- ◆ 低功耗
 - 1.1mA (116ksps)
 - 120μA (10ksps)
 - 12μA (1ksps)
 - 300nA (关断模式)
- ◆ SPI/QSPI/MICROWIRE 兼容
- ◆ 20 引脚 TSSOP

应用

便携式数据记录仪
数据采集
医疗仪器
电池供电仪表
过程控制

引脚配置位于数据资料末尾。

SPI/QSPI 是 Motorola, Inc. 的商标。

MICROWIRE 是 National Semiconductor Corp. 的商标。

订购信息/选购指南

PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)	INPUT CHANNELS	INTERNAL REFERENCE (V)
MAX1146BCUP	0°C to +70°C	20 TSSOP	±2	4	+4.096
MAX1146BEUP	-40°C to +85°C	20 TSSOP	±2	4	+4.096
MAX1147BCUP	0°C to +70°C	20 TSSOP	±2	4	+2.500
MAX1147BEUP	-40°C to +85°C	20 TSSOP	±2	4	+2.500
MAX1148BCUP	0°C to +70°C	20 TSSOP	±2	8	+4.096
MAX1148BEUP	-40°C to +85°C	20 TSSOP	±2	8	+4.096
MAX1149BCUP	0°C to +70°C	20 TSSOP	±2	8	+2.500
MAX1149BEUP	-40°C to +85°C	20 TSSOP	±2	8	+2.500



多通道、真差分、串行、 14位ADC

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND, DGND	-0.3V to +6.0V	Continuous Power Dissipation (T _A = +70°C)	
AGND to DGND	-0.3V to +0.3V	20 TSSOP (derate 10.9mW/°C above +70°C)	879mW
CH0–CH7, COM to AGND	-0.3V to (V _{DD} + 0.3V)	Operating Temperature Ranges	
REF, REFADJ to AGND	-0.3V to (V _{DD} + 0.3V)	MAX114_BC_ _	0°C to +70°C
Digital Inputs to DGND	-0.3V to (V _{DD} + 0.3V)	MAX114_BE_ _	-40°C to +85°C
Digital Outputs to DGND	-0.3V to (V _{DD} + 0.3V)	Storage Temperature Range	-60°C to +150°C
Digital Output Sink Current	25mA	Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 5V (MAX1146/MAX1148), V_{DD} = 3.3V (MAX1147/MAX1149), $\overline{\text{SHDN}} = \text{V}_{\text{DD}}$, V_{COM} = 0, f_{SCLK} = 2.1MHz, external clock (50% duty cycle), 18 clocks/conversion (116ksps), V_{REFADJ} = V_{DD}, C_{REF} = 2.2μF, external +4.096V reference at REF (MAX1146/MAX1148), external 2.500V reference at REF (MAX1147/MAX1149), T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution			14			Bits
Relative Accuracy (Note 2)	INL			±0.7	±2	LSB
Differential Nonlinearity	DNL		-1.0	±0.5	+1.5	LSB
Offset Error					±10	LSB
Offset Temperature Coefficient				0.3		ppm/°C
Gain Error		(Note 3)			±20	LSB
Gain Temperature Coefficient				±0.8		ppm/°C
Channel-to-Channel Offset Matching				±1		LSB
Channel-to-Channel Gain Matching				±1		LSB
DYNAMIC SPECIFICATIONS (1kHz sine-wave input, 2.5Vp-p, full-scale analog input, 116ksps, 2.1MHz external clock)						
Signal-to-Noise Plus Distortion Ratio	SINAD		77	81		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-96	-88	dB
Spurious-Free Dynamic Range	SFDR		84	98		dB
Channel-to-Channel Crosstalk		(Note 4)		-85		dB
Small-Signal Bandwidth	SSBW	-3dB point		3.0		MHz
Full-Power Bandwidth	FPBW	SINAD > 68dB		2.0		MHz
CONVERSION RATE						
Conversion Time (Note 5)	t _{CONV}	External clock, 2.1MHz 15 SCLK cycles	7.2			μs
		Internal clock	6	8		

多通道、真差分、串行、 14 位 ADC

MAX1146—MAX1149

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 5V$ (MAX1146/MAX1148), $V_{DD} = 3.3V$ (MAX1147/MAX1149), $\overline{SHDN} = V_{DD}$, $V_{COM} = 0$, $f_{SCLK} = 2.1MHz$, external clock (50% duty cycle), 18 clocks/conversion (116ksps), $V_{REFADJ} = V_{DD}$, $C_{REF} = 2.2\mu F$, external +4.096V reference at REF (MAX1146/MAX1148), external 2.500V reference at REF (MAX1147/MAX1149), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Throughput Rate	f_{SAMPLE}	Internal clock mode, $f_{SCLK} = 2.1MHz$	18 clocks/conversion		60.3	ksps
			24 clocks/conversion		51.5	
		External clock mode, $f_{SCLK} = 2.1MHz$	18 clocks/conversion		116.66	
			24 clocks/conversion		87.50	
T/H Acquisition Time	t_{ACQ}		1.4			μs
Aperture Delay	t_{AD}			20		ns
Aperture Jitter	t_{AJ}			<50		ps
Serial Clock Frequency	f_{SCLK}	External clock mode	0.1		2.1	MHz
		Internal clock mode	0		2.1	
Internal Clock Frequency				2.1		MHz
ANALOG INPUTS (CH0—CH7, COM)						
Input Voltage Range, Single-Ended and Differential (Note 6)		Unipolar, COM = 0	0		V_{REF}	V
		Bipolar, COM = $V_{REF} / 2$, single-ended			$\pm V_{REF} / 2$	
Multiplexer Leakage Current		On/off-leakage current, $V_{CH_} = 0$ to V_{DD}		± 0.01	± 1	μA
Input Capacitance				18		pF
INTERNAL REFERENCE ($C_{REF} = 2.2 F$, $C_{REFADJ} = 0.01 F$)						
REF Output Voltage	V_{REF}	MAX1147/MAX1149, $T_A = +25^\circ C$	2.480	2.500	2.520	V
		MAX1146/MAX1148, $T_A = +25^\circ C$	4.076	4.096	4.116	
REF Short-Circuit Current	I_{REFSC}	REF = DGND			20	mA
V_{REF} Tempco (Note 7)		MAX114_ BC _ _		± 30	± 50	ppm/ $^\circ C$
		MAX114_ BE _ _		± 40	± 60	
Load Regulation		0 to 0.2mA output load (Note 8)		2.0		mV
Capacitive Bypass at REF			2			μF
Capacitive Bypass at REFADJ			0.01			μF
REFADJ Output Voltage				1.250		V
REFADJ Input Range				± 18		mV
REFADJ Logic High		Pull REFADJ high to disable the internal bandgap reference and reference buffer	$V_{DD} - 0.25V$			V
Reference Buffer Voltage Gain		MAX1147/MAX1149		2.000		V/V
		MAX1146/MAX1148		3.277		

多通道、真差分、串行、 14位ADC

MAX1146—MAX1149

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 5V$ (MAX1146/MAX1148), $V_{DD} = 3.3V$ (MAX1147/MAX1149), $\overline{SHDN} = V_{DD}$, $V_{COM} = 0$, $f_{SCLK} = 2.1MHz$, external clock (50% duty cycle), 18 clocks/conversion (116ksps), $V_{REFADJ} = V_{DD}$, $C_{REF} = 2.2\mu F$, external +4.096V reference at REF (MAX1146/MAX1148), external 2.500V reference at REF (MAX1147/MAX1149), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
EXTERNAL REFERENCE AT REF							
REF Input Voltage Range	V_{REF}		1.5		$V_{DD} + 50mV$	V	
REF Input Current	I_{REF}	Shutdown		325	450	μA	
REF Input Resistance			6	8		$k\Omega$	
DIGITAL INPUTS (DIN, SCLK, \overline{CS}, \overline{SHDN})							
Input High Voltage	V_{IH}	$V_{DD} < 3.6V$	2.0			V	
		$V_{DD} > 3.6V$	3.0				
Input Low Voltage	V_{IL}				0.8	V	
Input Hysteresis	V_{HYST}			0.2		V	
Input Leakage	I_{IN}				± 1	μA	
Input Capacitance	C_{IN}			10		pF	
DIGITAL OUTPUT (DOUT, SSTRB)							
Output-Voltage Low	V_{OL}	$I_{SINK} = 2mA$			0.4	V	
Output-Voltage High	V_{OH}	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V	
Tri-State Leakage Current	I_L	$\overline{CS} = V_{DD}$			± 10	μA	
Tri-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD}$		10		pF	
POWER REQUIREMENTS							
Positive Supply Voltage	V_{DD}	MAX1147/MAX1149	2.7		3.6	V	
		MAX1146/MAX1148	4.75		5.25		
Supply Current (Note 8)	I_{DD}	Normal operation, full-scale input	External reference	116ksps	1.1	1.5	mA
				10ksps	0.12		
				1ksps	0.012		
		Internal reference at 116ksps		1.9	2.4	mA	
Shutdown Supply Current (Note 8)		Fast power-down		230		μA	
		Full power-down		0.3			
		$\overline{SHDN} = DGND$		0.3	10		
Power-Supply Rejection (Note 9)	PSR	External reference		± 0.2		mV	

多通道、真差分、串行、 14 位 ADC

MAX1146-MAX1149

TIMING CHARACTERISTICS

($V_{DD} = 4.75V$ to $5.25V$ (MAX1146/MAX1148), $V_{DD} = 2.7V$ to $3.6V$ (MAX1147/MAX1149), $\overline{SHDN} = V_{DD}$, $V_{COM} = 0$, $f_{SCLK} = 2.1MHz$, external clock (50% duty cycle), 18 clocks/conversion (116ksps), $V_{REFADJ} = V_{DD}$, $C_{REF} = 2.2\mu F$, external +4.096V reference at REF for the MAX1146/MAX1148, external 2.500V reference at REF for the MAX1147/MAX1149, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Figures 1, 2, and 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIN to SCLK Setup Time	t_{DS}		50			ns
DIN to SCLK Hold Time	t_{DH}		0			ns
SCLK Fall to Output Data Valid	t_{DOV}	$C_{LOAD} = 50pF$	10		80	ns
\overline{CS} Fall to DOUT Enable	t_{DOE}	$C_{LOAD} = 50pF$			120	ns
\overline{CS} Rise to DOUT Disable	t_{DOD}	$C_{LOAD} = 50pF$			120	ns
\overline{SHDN} Rise \overline{CS} Fall to SCLK Rise Time	t_{CSS}		50			ns
\overline{SHDN} Rise \overline{CS} Fall to SCLK Rise Hold Time	t_{CSH}		50			ns
SCLK Clock Frequency	f_{SCLK}	External clock mode	0.1		2.1	MHz
		Internal clock mode	0		2.1	
SCLK Pulse-Width High	t_{CH}	Internal clock mode	100			ns
SCLK Pulse-Width Low	t_{CL}	Internal clock mode	100			ns
\overline{CS} Fall to SSTRB Output Enable	t_{STE}	External clock mode only			120	ns
\overline{CS} Rise to SSTRB Output Disable	t_{STD}	External clock mode only			120	ns
SSTRB Rise to SCLK Rise	t_{SCK}	Internal clock mode only		0		ns
SCLK Fall to SSTRB Edge	t_{SCST}				80	ns
\overline{CS} Pulse Width	t_{CSW}		100			ns

Note 1: Tested at $V_{DD} = 3.0V$ (MAX1147/MAX1149) or $5.0V$ (MAX1146/MAX1148); $V_{COM} = 0$; unipolar single-ended input mode.

Note 2: Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.

Note 3: Offset nulled. Measured with external reference.

Note 4: "On" channel grounded; full-scale 1kHz sine wave applied to all "off" channels.

Note 5: Conversion time defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle. (See Figures 8–11.)

Note 6: The common-mode range for the analog inputs is from AGND to V_{DD} .

Note 7: Digital inputs equal V_{DD} or DGND.

Note 8: External load should not change during conversion for specified accuracy.

Note 9: Measured as $(V_{FS} \times 3.6V) - (V_{FS} \times 2.7V)$ for the MAX1147/MAX1149 and $(V_{FS} \times 5.25V) - (V_{FS} \times 4.75V)$ for the MAX1146/MAX1148. $V_{DD} = 3.6V$ to $2.7V$ for MAX1147/MAX1149 and $V_{DD} = 5.25V$ to $4.75V$ for the MAX1146/MAX1148.

多通道、真差分、串行、14位ADC

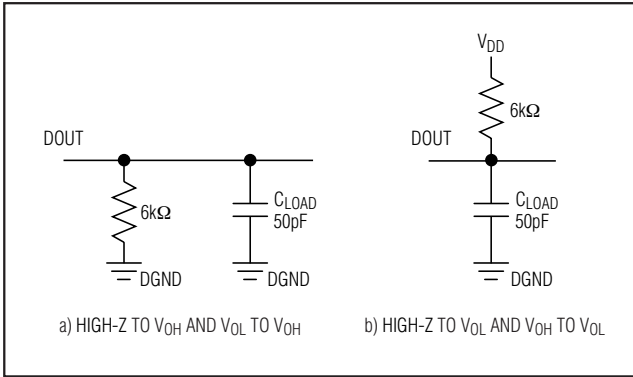


图 1. 测试使能时间的负载电路

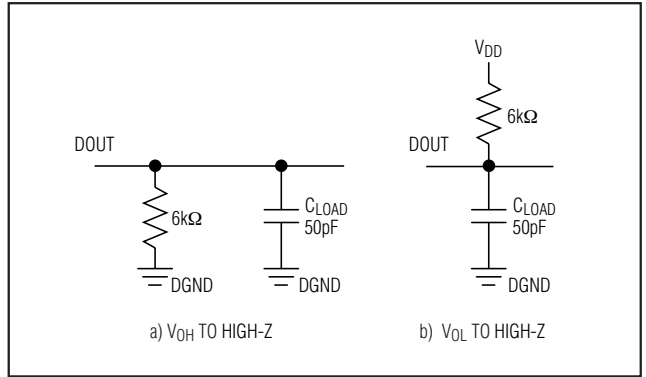


图 2. 测试禁止时间的负载电路

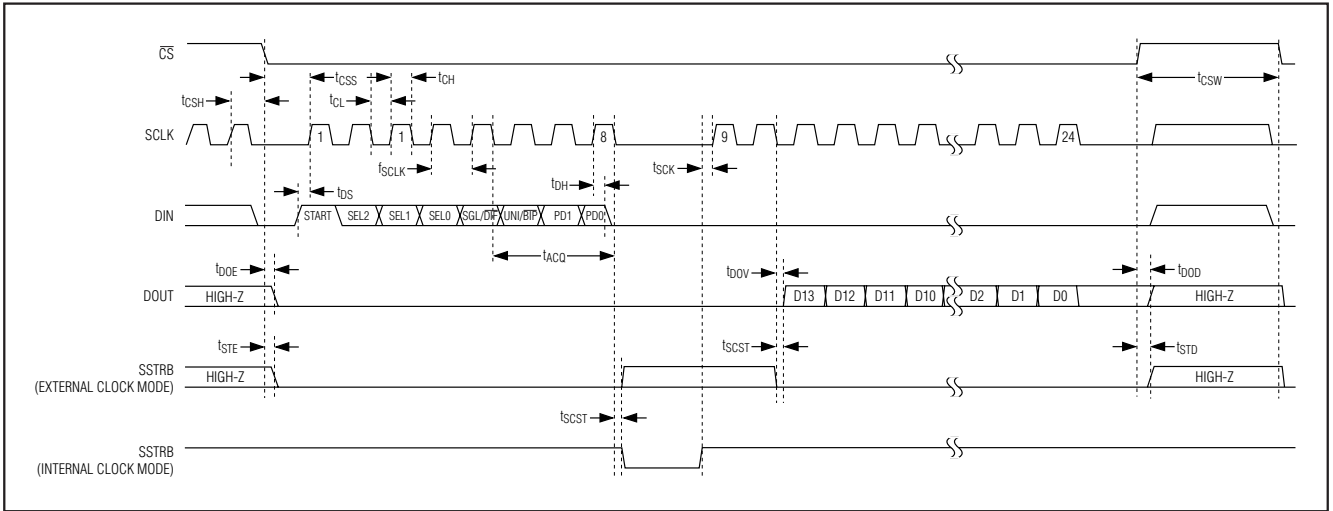


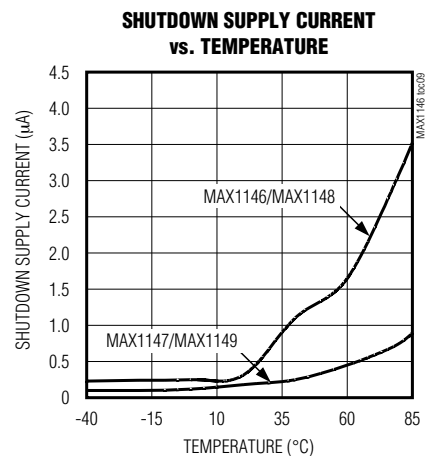
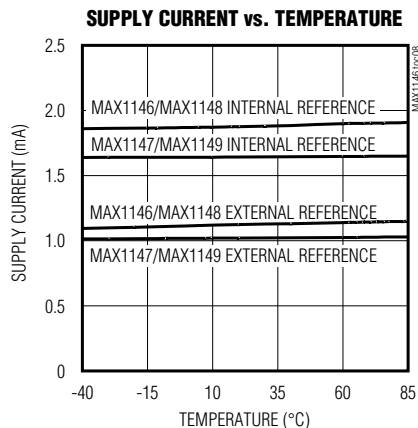
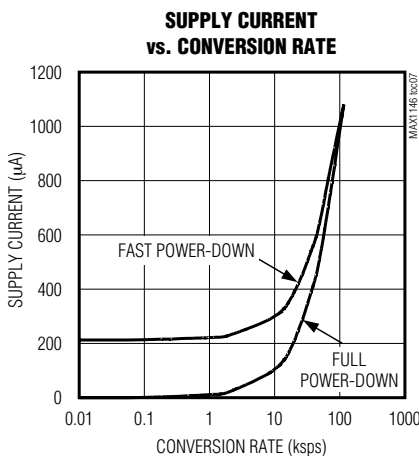
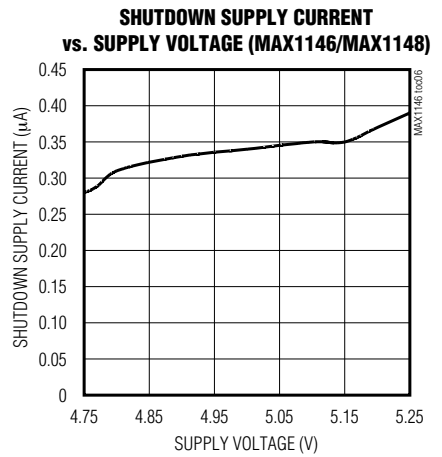
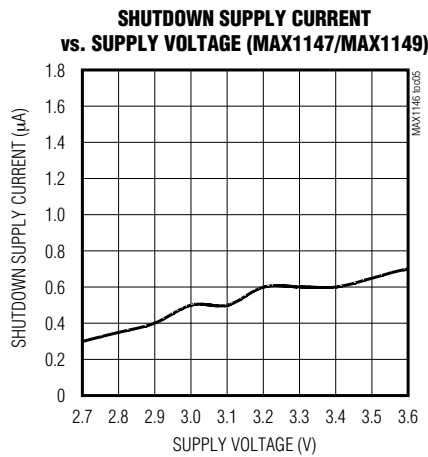
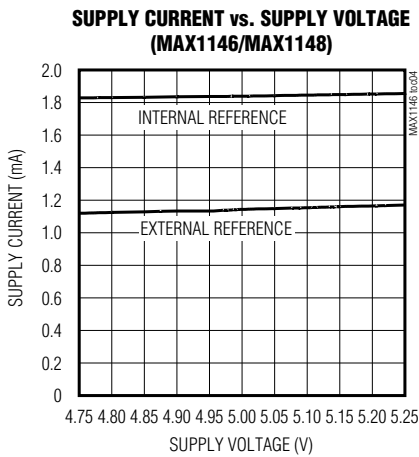
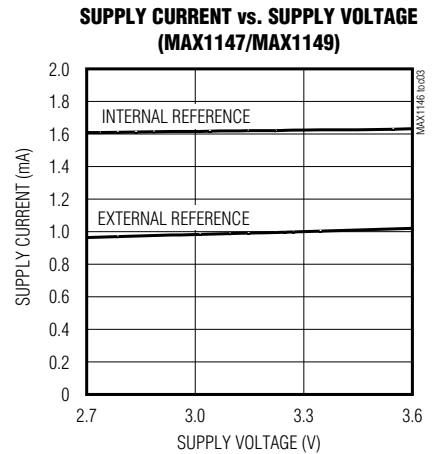
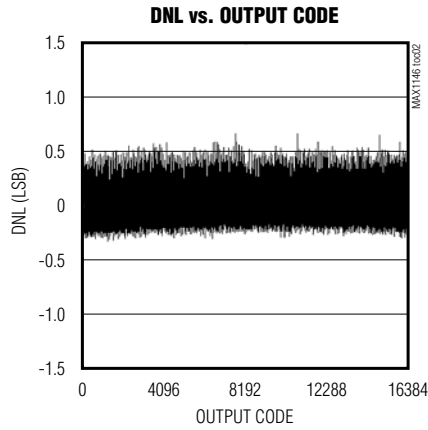
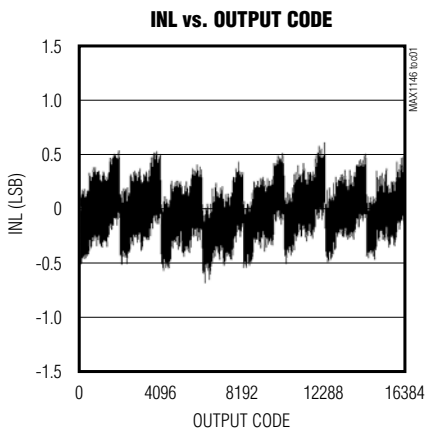
图 3. 详细工作时序

多通道、真差分、串行、 14 位 ADC

典型工作特性

($V_{DD} = +5.0V$ (MAX1146/MAX1148), $V_{DD} = +3.3V$ (MAX1147/MAX1149), $\overline{SHDN} = V_{DD}$, $V_{COM} = 0$, $f_{SCLK} = 2.1MHz$, external clock (50% duty cycle), 18 clocks/conversion (116ksps), $V_{REFADJ} = V_{DD}$, external +4.096V reference at REF (MAX1146/MAX1148), external +2.500V reference at REF (MAX1147/MAX1149), $C_{REF} = 2.2\mu F$, $C_{LOAD} = 50pF$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX1146-MAX1149

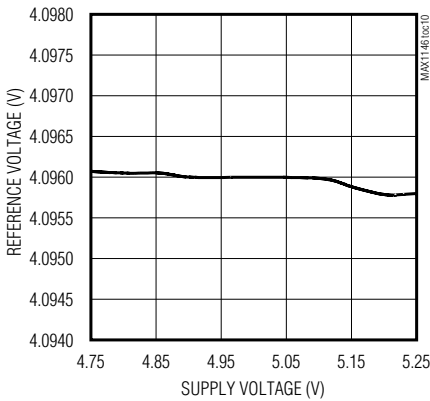


多通道、真差分、串行、 14位ADC

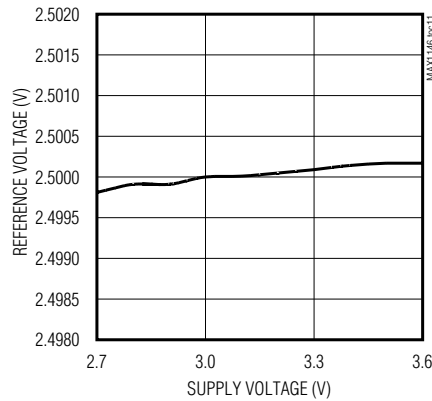
典型工作特性 (续)

($V_{DD} = +5.0V$ (MAX1146/MAX1148), $V_{DD} = +3.3V$ (MAX1147/MAX1149), $\overline{SHDN} = V_{DD}$, $V_{COM} = 0$, $f_{SCLK} = 2.1MHz$, external clock (50% duty cycle), 18 clocks/conversion (116ksps), $V_{REFADJ} = V_{DD}$, external +4.096V reference at REF (MAX1146/MAX1148), external +2.500V reference at REF (MAX1147/MAX1149), $C_{REF} = 2.2\mu F$, $C_{LOAD} = 50pF$, $T_A = +25^\circ C$, unless otherwise noted.)

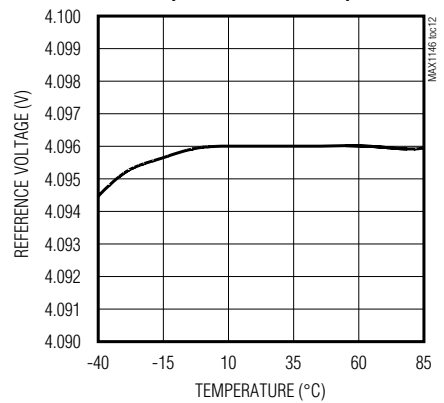
**REFERENCE VOLTAGE vs. SUPPLY VOLTAGE
(MAX1146/MAX1148)**



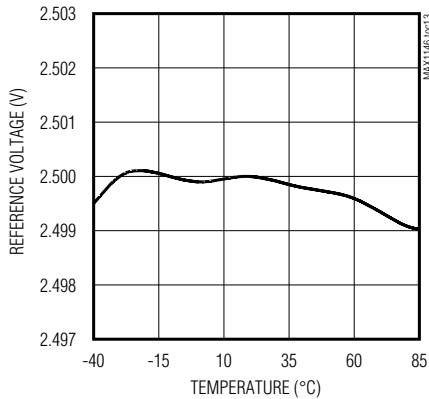
**REFERENCE VOLTAGE vs. SUPPLY VOLTAGE
(MAX1147/MAX1149)**



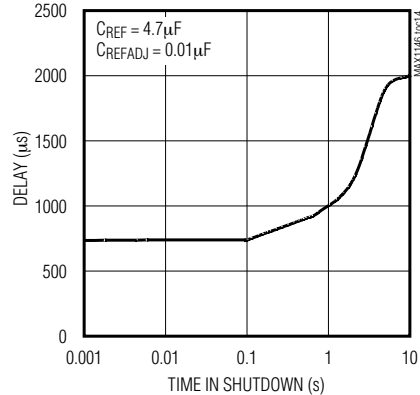
**REFERENCE VOLTAGE vs. TEMPERATURE
(MAX1146/MAX1148)**



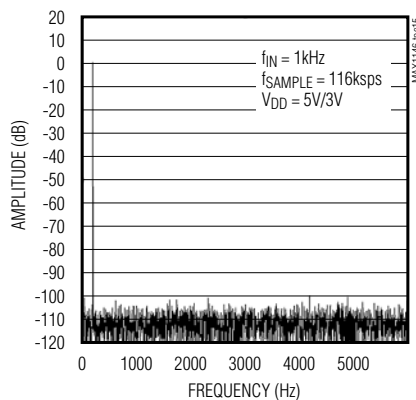
**REFERENCE VOLTAGE vs. TEMPERATURE
(MAX1147/MAX1149)**



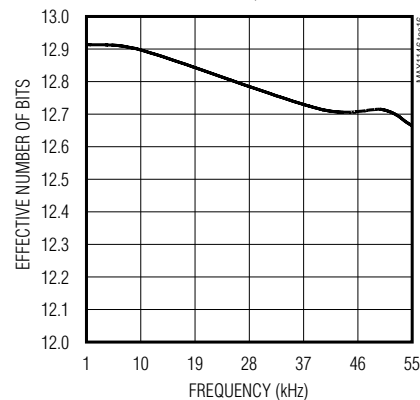
**REFERENCE BUFFER POWER-UP DELAY
vs. TIME IN SHUTDOWN**



FFT PLOT



**EFFECTIVE NUMBER OF BITS
vs. FREQUENCY**

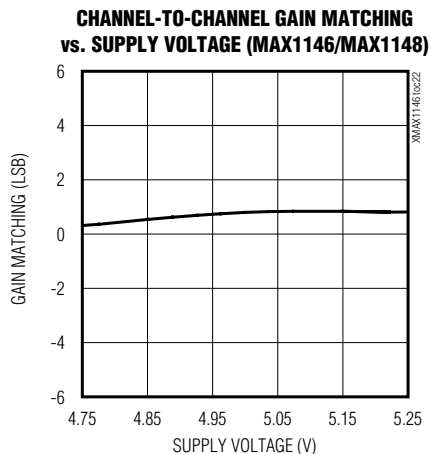
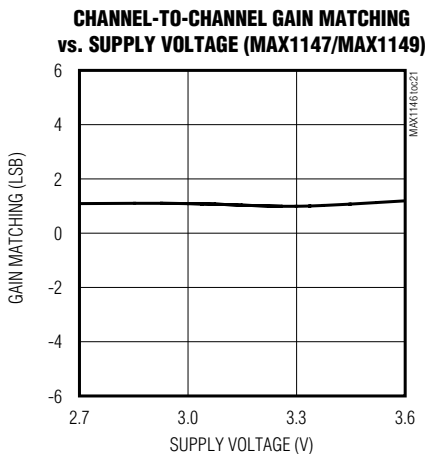
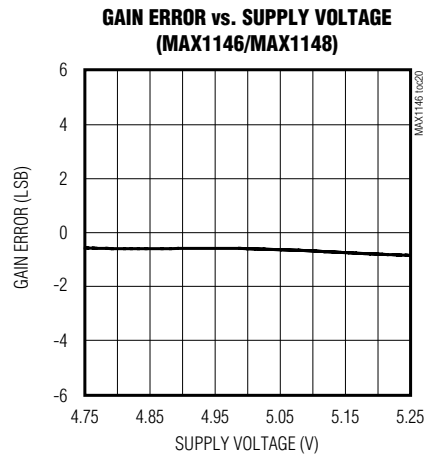
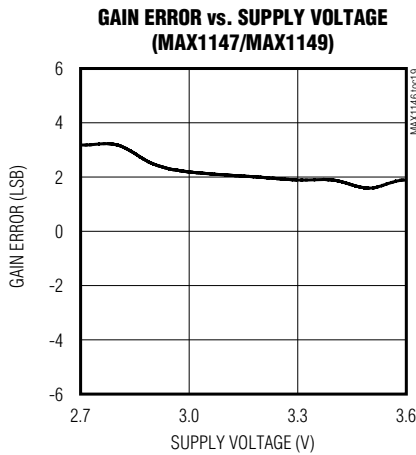
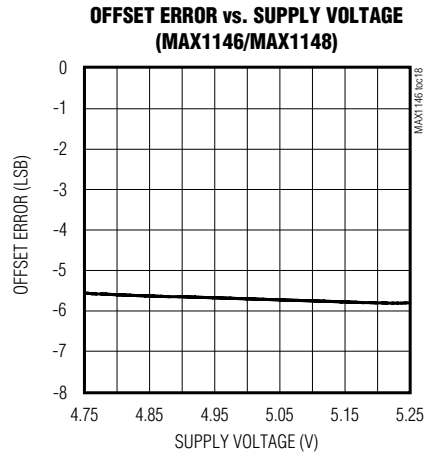
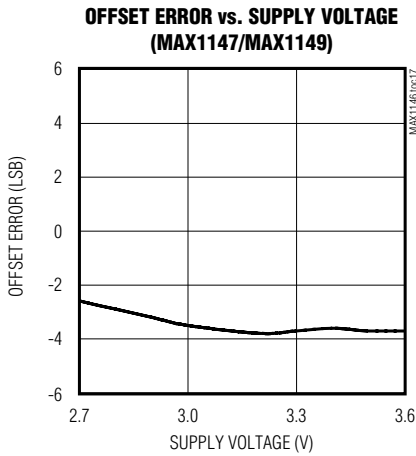


多通道、真差分、串行、 14 位 ADC

典型工作特性 (续)

($V_{DD} = +5.0V$ (MAX1146/MAX1148), $V_{DD} = +3.3V$ (MAX1147/MAX1149), $\overline{SHDN} = V_{DD}$, $V_{COM} = 0$, $f_{SCLK} = 2.1MHz$, external clock (50% duty cycle), 18 clocks/conversion (116ksps), $V_{REFADJ} = V_{DD}$, external +4.096V reference at REF (MAX1146/MAX1148), external +2.500V reference at REF (MAX1147/MAX1149), $C_{REF} = 2.2\mu F$, $C_{LOAD} = 50pF$, $T_A = +25^\circ C$, unless otherwise noted.)

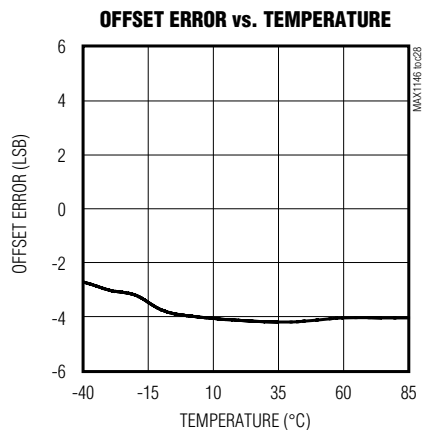
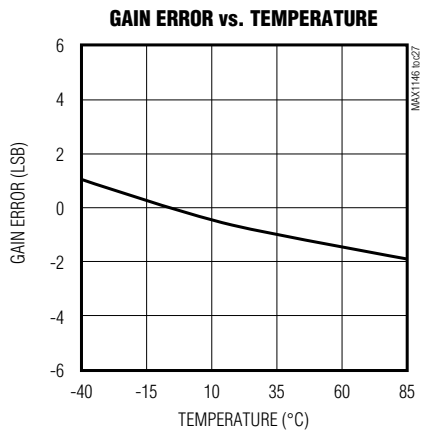
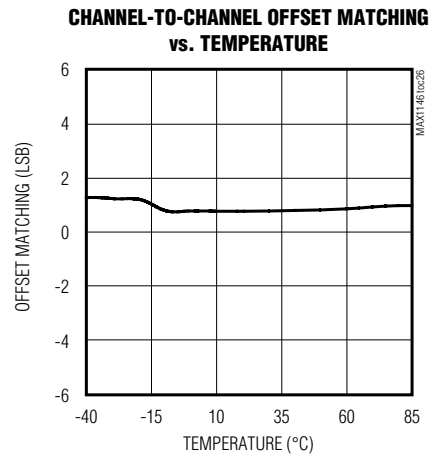
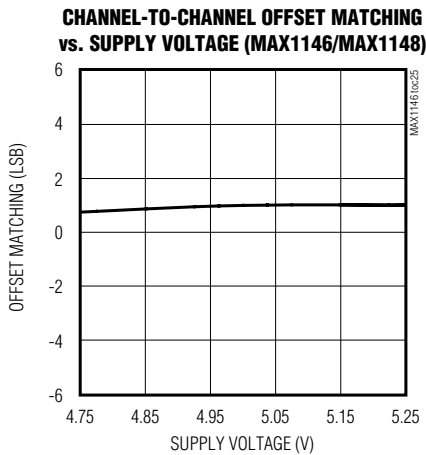
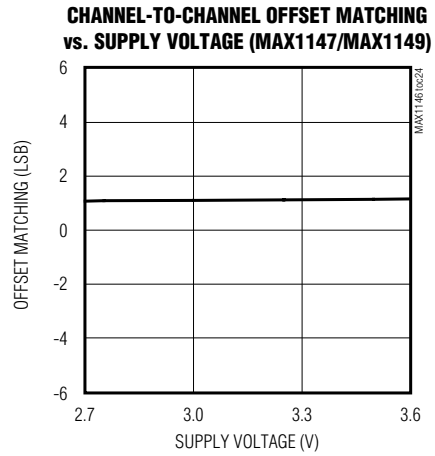
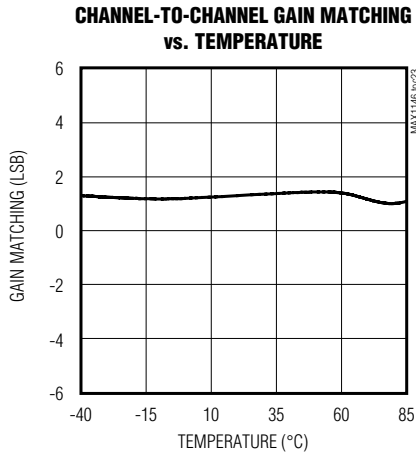
MAX1146-MAX1149



多通道、真差分、串行、 14位ADC

典型工作特性 (续)

($V_{DD} = +5.0V$ (MAX1146/MAX1148), $V_{DD} = +3.3V$ (MAX1147/MAX1149), $\overline{SHDN} = V_{DD}$, $V_{COM} = 0$, $f_{SCLK} = 2.1MHz$, external clock (50% duty cycle), 18 clocks/conversion (116ksps), $V_{REFADJ} = V_{DD}$, external +4.096V reference at REF (MAX1146/MAX1148), external +2.500V reference at REF (MAX1147/MAX1149), $C_{REF} = 2.2\mu F$, $C_{LOAD} = 50pF$, $T_A = +25^\circ C$, unless otherwise noted.)



多通道、真差分、串行、 14 位 ADC

引脚说明

MAX1146-MAX1149

引脚		名称	功能
MAX1148 MAX1149	MAX1146 MAX1147		
1	1	CH0	模拟输入
2	2	CH1	
3	3	CH2	
4	4	CH3	
5	—	CH4	
6	—	CH5	
7	—	CH6	
8	—	CH7	
9	9	COM	公共输入端。单端模式下为模拟负输入。单极性和双极性模式下，COM 设置零编码输出的电压。
10	10	$\overline{\text{SHDN}}$	低电平有效关断输入。 $\overline{\text{SHDN}}$ 置低，器件关断，电源电流降至0.2 μA 。置高，使能器件。
11	11	REF	基准缓冲输出/ADC 基准输入。模数转换的基准电压。内部基准模式下，MAX1146/MAX1148 的 V_{REF} 为 +4.096V，MAX1147/MAX1149 的 V_{REF} 为 +2.500V。
12	12	REFADJ	带隙基准输出和基准缓冲输入。采用0.01 μF 电容旁路至 AGND。REFADJ 连至 V_{DD} 禁止内部带隙基准和基准缓冲放大器。
13	13	AGND	模拟地
14	14	DGND	数字地
15	15	DOUT	串行数据输出。 $\overline{\text{CS}}$ 置低时，数据在 SCLK 下降沿同步输出。 $\overline{\text{CS}}$ 置高时，DOUT 为高阻。
16	16	SSTRB	串行触发输出。在内部时钟模式下，ADC 转换开始后，SSTRB 置低，转换完成后，SSTRB 置高。在外部时钟模式下，SSTRB 在 MSB 输出前保持两个时钟周期的高电平。 $\overline{\text{CS}}$ 置高时，SSTRB 为高阻（外部时钟模式）。
17	17	DIN	串行数据输入。 $\overline{\text{CS}}$ 置低时，数据在 SCLK 上升沿同步输入。 $\overline{\text{CS}}$ 置高时，DIN 为高阻。
18	18	$\overline{\text{CS}}$	低电平有效片选。只有 $\overline{\text{CS}}$ 置低时，数据才可同步输入 DIN。 $\overline{\text{CS}}$ 置高时，DOUT 为高阻。
19	19	SCLK	串行时钟输入。将数据同步输入或输出串口，在外部时钟模式下决定转换速率（占空比必须在 40% 至 60% 之间）。
20	20	V_{DD}	正电源。用0.1 μF 电容旁路至 AGND。
—	5-8	N.C.	无连接。内部未连接。

多通道、真差分、串行、14位ADC

详细说明

MAX1146-MAX1149 ADC采用逐次逼近技术和输入T/H电路将模拟信号转换成14位数字输出。灵活的串口提供了与微处理器(μP)的方便连接。图4为典型应用电路,图5为MAX1148/MAX1149的原理图。

真差分模拟输入和采样/保持

MAX1146-MAX1149模拟输入结构包括一个模拟输入复用器(MUX)、两个T/H电容、T/H开关、一个比较器和两个开关电容数模转换器(DAC)(图6)。

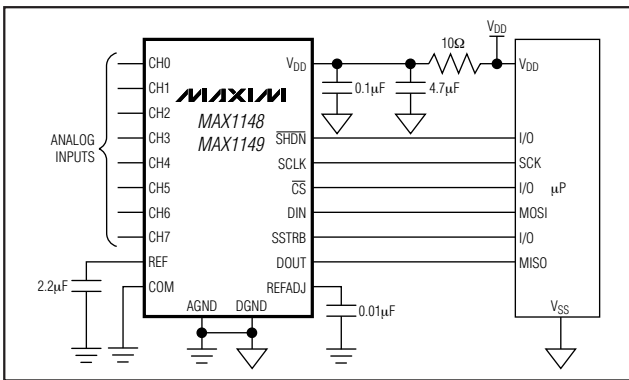


图4. 典型应用电路

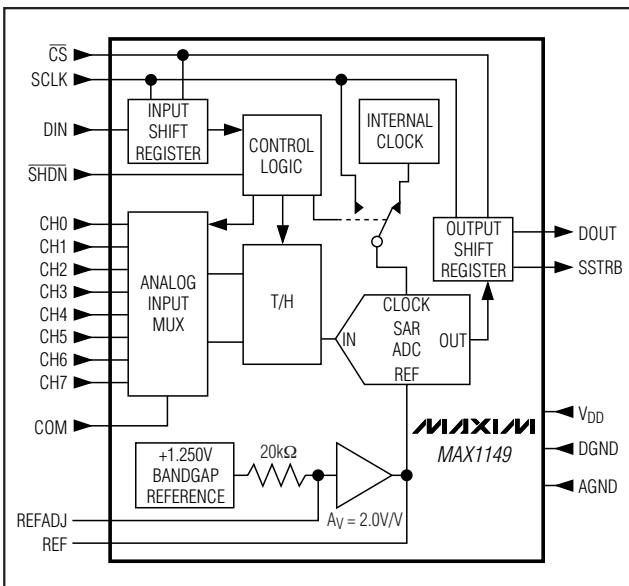


图5. 原理图

在单端模式下,模拟输入MUX将IN+连至所选通道,IN-连至COM。在差分模式下,IN+和IN-连接CH0/CH1等被选择的模拟输入对。根据表1-5选择模拟输入通道。

在控制字节第五个SCLK下降沿,模拟输入复用器接通所选通道。此时,T/H开关处于采样位置,C_{T/H+}和C_{T/H-}采样模拟输入信号。在控制字节第八个SCLK下降沿,MUX断开,T/H开关切换到保持位置,维持C_{T/H+}和C_{T/H-}上的电荷作为输入信号的采样。输入MUX和T/H开关位置参见图8-11。

在转换期间,开关电容DAC进行调整,在14位精度内将比较器输入电压恢复为0。此操作需要15个转换时钟周期,相当于将C_{T/H+}和C_{T/H-}上18pF × (V_{IN+} - V_{IN-})的电荷转移至二进制加权电容DAC,形成模拟输入信号的数字输出。

转换完成后,T/H开关由保持位置切回采样位置,MUX切换到最近指定的位置。在内部时钟模式下,转换在SSTRB的上升沿完成。在外部时钟模式下,转换在第十八个SCLK下降沿完成。

采样输入信号所需的T/H时间是模拟输入源阻抗的函数。如果输入信号源阻抗高,则采样时间延长。MAX1146-MAX1149提供三个SCLK周期(t_{ACQ}),期间T/H电容必须获取表征输入信号的电荷,一般是控制字节的最后三个SCLK。应尽量减小输入源阻抗(R_{SOURCE}),以保证T/H电容在分配时间内完成充电。

$$t_{ACQ} = 11.5 \times (R_{SOURCE} + R_{IN}) \times C_{IN}$$

式中,R_{SOURCE}为模拟输入源阻抗,R_{IN}等于2.6kΩ(模拟输入MUX和T/H开关电阻之和),C_{IN}等于18pF(C_{T/H+},C_{T/H-}和输入寄生电容之和)。

为减小源阻抗较高时的采样误差,可在模拟输入和AGND之间连100pF的电容。该输入电容可减小输入AC阻抗,但是与源阻抗一起构成了一个RC滤波器,限制了模拟输入带宽。对于较大的源阻抗,可采用MAX4430等缓冲放大器,以保证模拟输入信号的完整性。

多通道、真差分、串行、 14 位 ADC

MAX1146-MAX1149

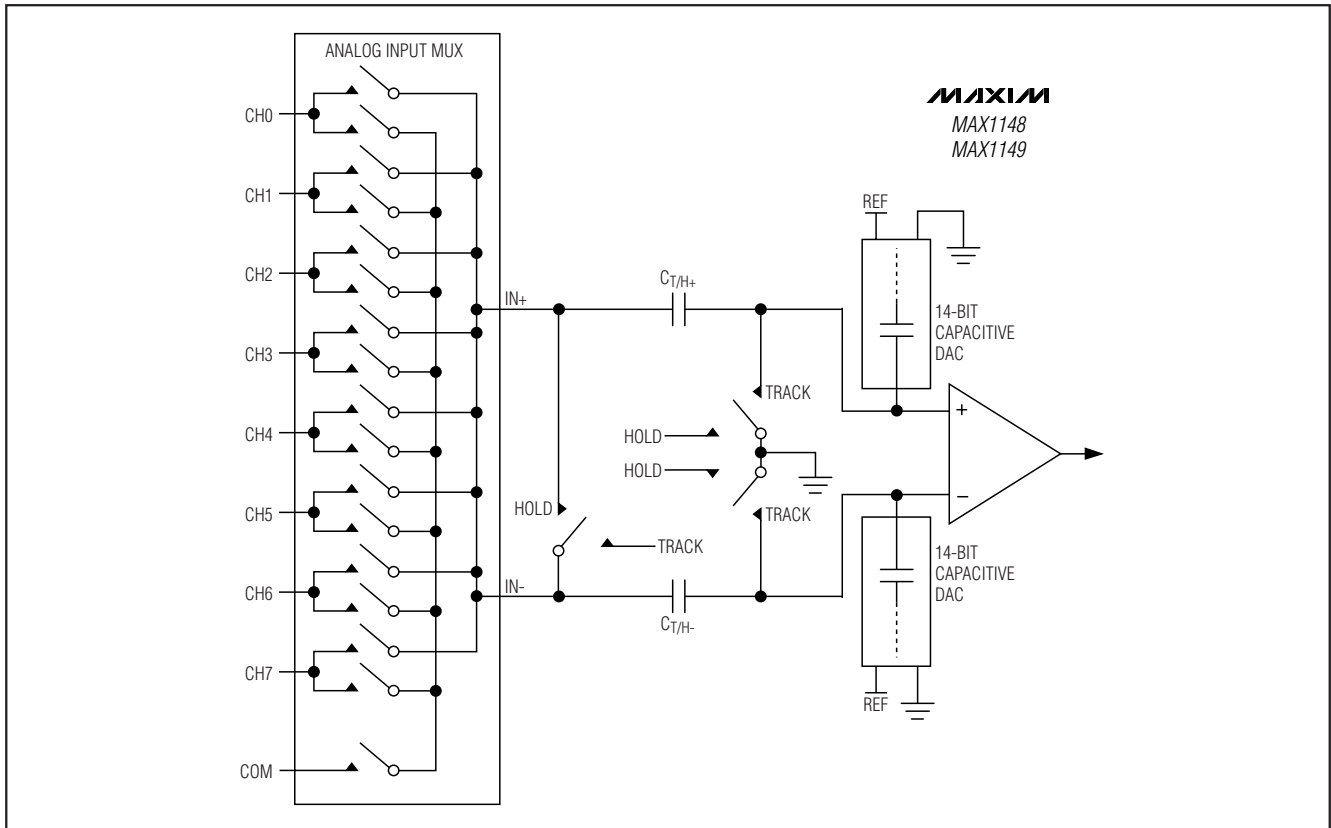


图 6. 等效输入电路

输入带宽

MAX1146-MAX1149 输入采样电路具有 3.0MHz 小信号带宽。可实现高速瞬变信号数字采样，采用欠采样技术，可测量带宽超过 ADC 采样速率的周期信号。为避免其它高频信号与被采样信号混叠，建议采用抗混叠滤波。

模拟输入保护

内部保护二极管将模拟输入钳位在 V_{DD} 和 AGND 之间。这些二极管仅允许模拟输入在 $(AGND - 0.3V)$ 至 $(V_{DD} + 0.3V)$ 之间变化，以免对器件造成损坏。对于高精度转换，输入不能比 AGND 低 50mV，也不能比 V_{DD} 高 50mV。

注意：模拟输入高于电源 50mV 时，将电流限制在 2mA。

快速查看

图 7 所示电路可用于快速评估 MAX1148/MAX1149。MAX1148/MAX1149 每次转换前，需要使用 SCLK 向 DIN 输入一个控制字节。连接 DIN 至 V_{DD} ，可通过时钟 SCLK 输入控制字节 \$FF HEX (参见表 1)，即触发 CH7 外部时钟模式下的单端单极性转换，转换之间不关断。在外部时钟模式下，14 位转换结果的 MSB 移出 DOUT 前，SSTRB 输出两个时钟周期的高脉冲。改变 CH7 的模拟输入，可改变 DOUT 输出位的顺序。每次转换需 18 个时钟周期 (图 10)。所有 SSTRB 和 DOUT 的改变均出现在 SCLK 下降沿。

多通道、真差分、串行、 14位ADC

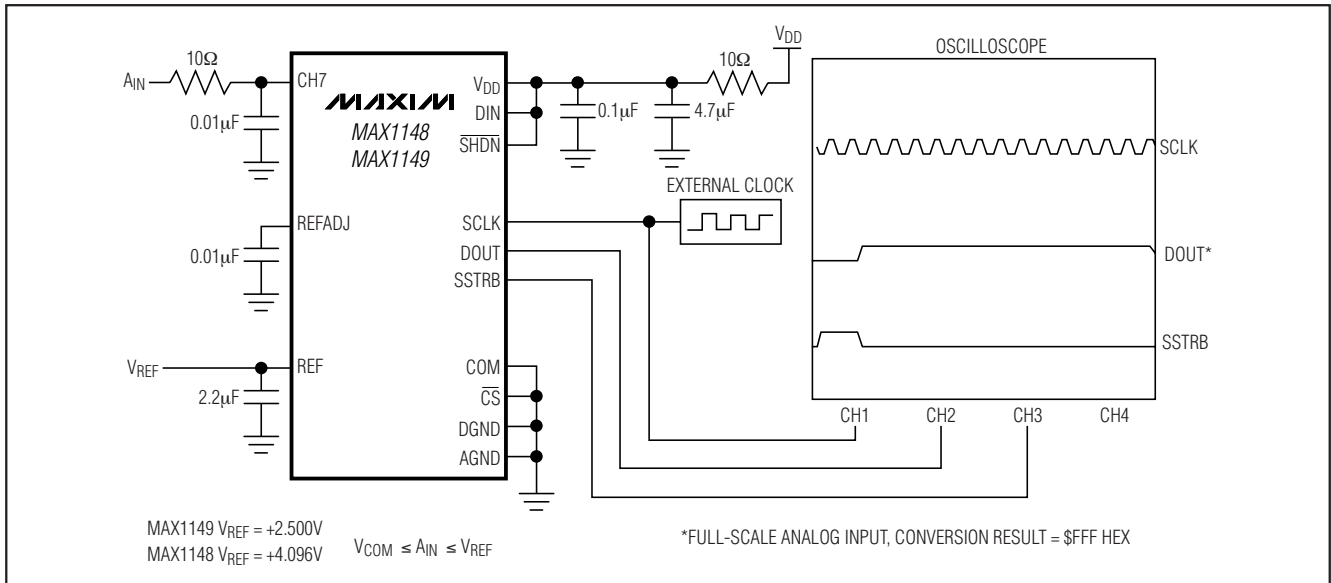


图7. 快速查看电路

表 1. 控制字节格式

BIT	NAME	DESCRIPTION
7 (MSB)	START	Start bit. The first logic 1 bit after \overline{CS} goes low defines the beginning of the control byte.
6	SEL2	Channel-select bits. The channel-select bits select which of the eight channels are used for the conversion (Tables 2, 3, 4, and 5).
5	SEL1	
4	SEL0	
3	SGL/ \overline{DIF}	1 = single ended, 0 = differential. Selects single-ended or differential conversions. In single-ended mode, input signal voltages are referred to COM. In differential mode, the voltage difference between two channels is measured.
2	UNI/ \overline{BIP}	1 = unipolar, 0 = bipolar. Selects unipolar or bipolar conversion mode. In unipolar mode, connect COM to AGND to perform conversion from 0 to V_{REF} . In bipolar mode, connect COM to $V_{REF}/2$ to perform conversion from 0 to V_{REF} . See Table 7.
1	PD1	Selects clock and power-down modes. PD1 = 0 and PD0 = 0 selects full power-down mode*. PD1 = 0 and PD0 = 1 selects fast power-down mode*.
0 (LSB)	PD0	PD1 = 1 and PD0 = 0 selects internal clock mode. PD1 = 1 and PD0 = 1 selects external clock mode.

* 起始位自动复位关断模式。

多通道、真差分、串行、 14 位 ADC

表 2. MAX1148/MAX1149 在单端模式下的通道选择 ($SGL/\overline{DIF} = 1$)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	COM
0	0	0	+								-
1	0	0		+							-
0	0	1			+						-
1	0	1				+					-
0	1	0					+				-
1	1	0						+			-
0	1	1							+		-
1	1	1								+	-

表 3. MAX1148/MAX1149 在差分模式下的通道选择 ($SGL/\overline{DIF} = 0$)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+	-						
0	0	1			+	-				
0	1	0					+	-		
0	1	1							+	-
1	0	0	-	+						
1	0	1			-	+				
1	1	0					-	+		
1	1	1							-	+

表 4. MAX1146/MAX1147 在单端模式下的通道选择 ($SGL/\overline{DIF} = 1$)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	COM
0	0	0	+				-
1	0	0		+			-
0	0	1			+		-
1	0	1				+	-

上电复位

初次上电时，内部上电复位电路使能 MAX1146-MAX1149 的内部时钟模式，MAX1146-MAX1149 准备好进行转换时 SSTRB 置高。不能在电源电压稳定前启动转换。 \overline{CS} 置低后，DIN 上出现第一个逻辑 1 被认为是起始位。转换开始之前，DOUT 输出为零。

启动转换

向 DIN 同步输入一个控制字节启动一次转换。 \overline{CS} 置低时，SCLK 的每个上升沿将来自 DIN 的一位移入 MAX1146-

表 5. MAX1146/MAX1147 在差分模式下的通道选择 ($SGL/\overline{DIF} = 0$)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3
0	0	0	+	-		
0	0	1			+	-
1	0	0	-	+		
1	0	1			-	+

MAX1149 内部移位寄存器。 \overline{CS} 置低后的第一个逻辑 1 被认为是控制字节的 MSB。该起始位之前同步进入 DIN 的任何逻辑 0 均无效。表 1 为控制字节的格式。

MAX1146-MAX1149 兼容 SPI/QSPI 和 MICROWIRE 器件。对于 SPI，在 SPI 控制寄存器中选择正确的时钟极性和采样沿。设置 CPOL = 0 和 CPHA = 0。MICROWIRE、SPI 和 QSPI 总线可在发送一个字节的的同时接收一个字节。采用典型应用电路 (图 4)，最简单的软件接口仅需三次 8 位传输实现一次转换 (第一个 8 位配置 ADC，其余两个 8 位同步输出 14 位转换结果)。

多通道、真差分、串行、14位ADC

数字输出

在单极性输入模式下，数字输出为标准二进制格式(图14)。在双极性输入模式下，数字输出为二的补码格式(图15)。数据在SCLK下降沿同步输出，MSB先出。

时钟模式

MAX1146–MAX1149既可以使用外部串行时钟也可以使用内部时钟来驱动逐次逼近转换。数据移入移出MAX1146–MAX1149使用外部时钟。

外部时钟模式可实现最快吞吐率(116ksps)，其串行时钟频率范围为0.1MHz至2.1MHz。内部时钟模式可提供最佳噪声性能，这是因为数字接口在转换期间可以为空闲状态，其串行时钟频率范围为0至2.1MHz。内部时钟模式允许CPU请求一次转换，然后同步返回结果。

控制字节的PD1和PD0位用来设置时钟和关断模式。MAX1146–MAX1149上电时为内部时钟模式，所有电路均被使能。图8-图11是可用时钟模式。

外部时钟

在外部时钟模式下，外部时钟移入移出数据，同时还驱动模数转换。在控制字节的最后一位移入后，SSTRB输出两个时钟周期的高脉冲。逐次逼近转换结果每一位在随后14个SCLK下降沿出现在DOUT上(图8和10)。当CS为高电平时，SSTRB和DOUT为高阻。

如果外部串行时钟频率低于100kHz或串行时钟中断导致转换时间超过140μs，则需采用内部时钟模式。转换必须在140μs内完成，否则T/H电容的压降会影响转换结果。

内部时钟

配置为内部时钟模式时，MAX1146–MAX1149在内部产生转换所需时钟，μP不再产生驱动SAR转换的时钟，并可在方便时以最大2.1MHz的时钟速率读取转换结果。SSTRB在转换开始时置低，当转换完成后置高。SSTRB置低最长时间为8.0μs，期间，SCLK应保持低电平以实现最佳噪声性能。

一个内部寄存器用来在转换过程中存储数据。在转换完成后的任何时刻，可由SCLK将数据由此寄存器同步输出。在SSTRB置高后的第二个SCLK时钟下降沿，DOUT输出转换结果的MSB，然后是MSB先出格式的其余位(图9和11)。

为达到最高转换精度，MAX1146–MAX1149的数字I/O在内部时钟转换期间(t_{CONV})应保持静止。在转换中不要将CS置高。CS置高将退出当前转换。在DIN同步输入18个零以确保下一个起始位被识别。当选择内部时钟模式时，CS置高，SSTRB并不进入高阻状态。SSTRB的上升沿表明MAX1146–MAX1149已经完成转换。之后μP可在方便时读取转换结果。

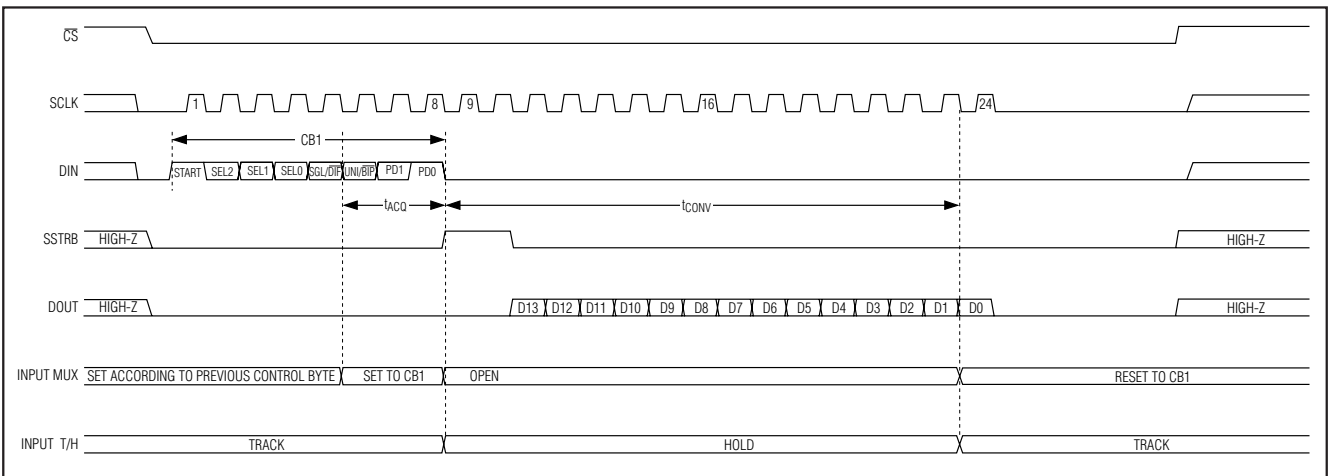


图8. 外部时钟模式 — 24时钟/转换时序

多通道、真差分、串行、 14 位 ADC

MAX1146-MAX1149

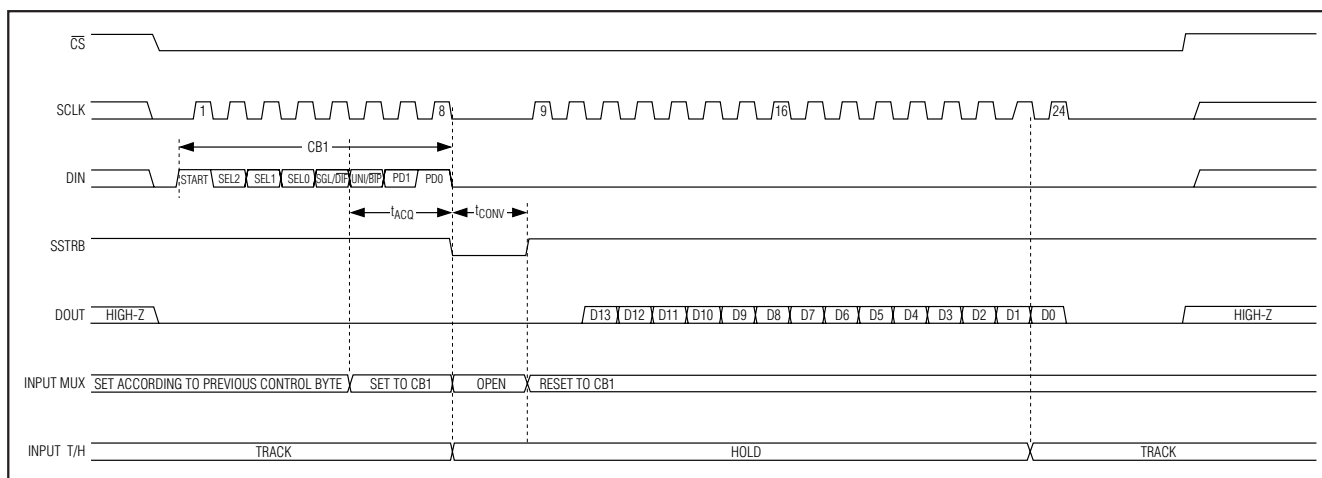


图 9. 内部时钟模式 — 24 时钟/转换时序

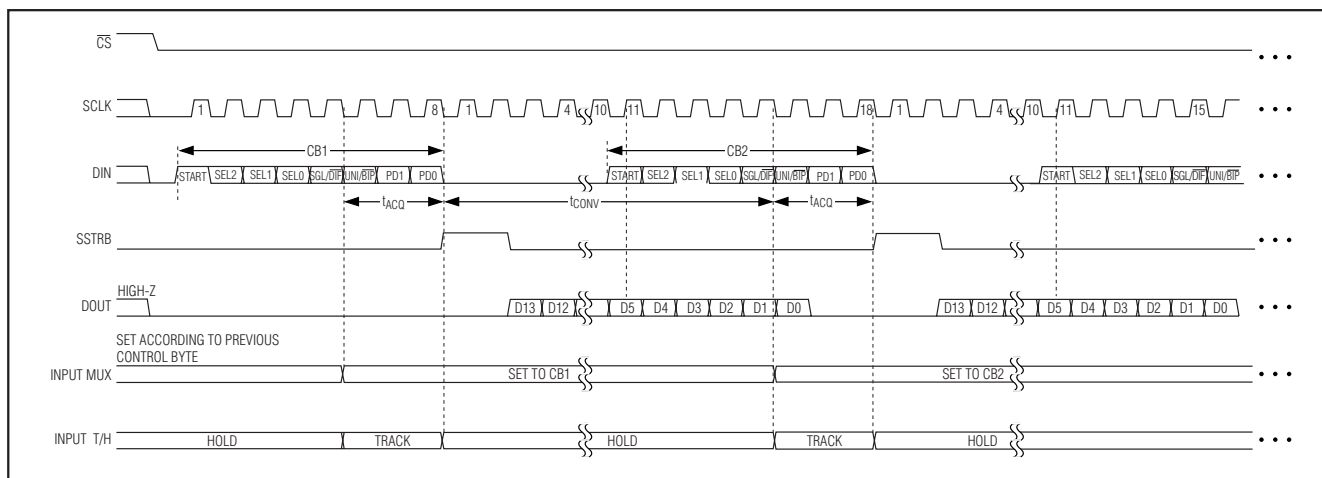


图 10. 外部时钟模式 — 18 时钟/转换时序

应用信息

空闲模式

当转换结果的所有位被同步输出或在 DIN 同步输入 18 个零后，器件进入空闲状态。

起始位

仅 \overline{CS} 下降沿并不能启动一次转换。 \overline{CS} 置低后同步输入 DIN 的第一个逻辑 1 为起始位，并作为控制字节的第一位。识别出起始位后，器件在 SCLK 第五个下降沿开始采样。在 SCLK 的第八个下降沿，控制字节最后一位同步输入后开始转换。起始位定义如下：

- 1) 转换器空闲的任何时间， \overline{CS} 置低，第一个同步输入 DIN 的逻辑 1。
- 2) DOUT 同步输出当前转换结果第 5 位后，同步输入 DIN 的第一个逻辑 1 (图 10 和 11)。

在当前转换完成之前触发 \overline{CS} ，将退出转换，清空输出寄存器。

如果转换期间 \overline{CS} 保持低电平，则 MAX1146-MAX1149 的最快转换速度为每次 18 个时钟周期。图 10 和 11 为 18 个 SCLK 周期进行一次转换的串口时序。

多通道、真差分、串行、14位ADC

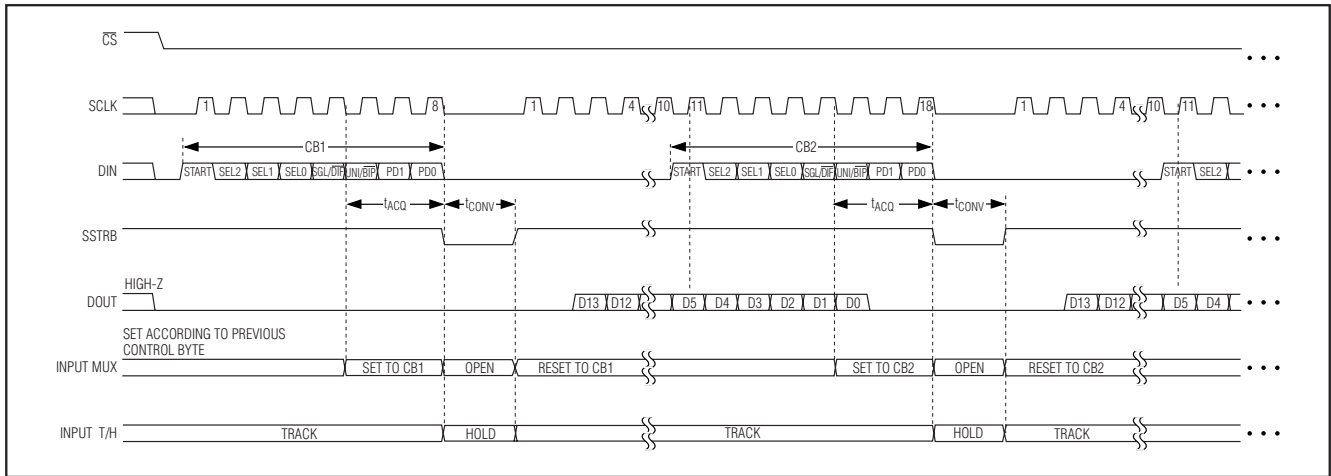


图 11. 内部时钟模式 — 18 时钟/转换时序

硬关断和软关断模式

MAX1146-MAX1149 可提供一个硬关断和两个软关断模式。

$\overline{\text{SHDN}}$ 置低转换器进入硬关断模式。转换立即中止，电源电流减至 300nA。当使用内部基准缓冲，且 $C_{\text{REFADJ}} = 0.01\mu\text{F}$ ， $C_{\text{REF}} = 2.2\mu\text{F}$ 时，器件启动时间为 2ms。较大的 C_{REFADJ} 和 C_{REF} 容值会增加启动时间 (表 6)。采用外部基准时，器件由快速关断模式启动无需唤醒时间。

通过控制字节的 PD1 和 PD0 位选择软关断模式 (表 1)。当转换过程完成后，进入软关断模式。此时串口保持有效，最后的转换结果可同步输出。在完全关断模式，只有串口工作，电源电流减小到 300nA。在快速关断模式，只有带隙基准和串口工作，电源电流减小到 230 μA ；采用外部基准时，快速关断模式下的电源电流降至 120 μA 。

表 6. 内部基准缓冲启动时间和旁路电容

C_{REFADJ}^*	C_{REF}	POWER-UP TIMES FROM AN EXTENDED POWER-DOWN
0.01 μF	4.7 μF	2ms
0.1 μF	10 μF	25ms

* 启动时间由 C_{REFADJ} 控制。

MAX1146-MAX1149 收到控制字节的起始位后，自动从软关断模式中唤醒 (表 1)。当采用内部基准缓冲，且 $C_{\text{REFADJ}} = 0.01\mu\text{F}$ ， $C_{\text{REF}} = 2.2\mu\text{F}$ 时，器件启动时间为 2ms。较大的 C_{REFADJ} 和 C_{REF} 容值会增加启动时间 (表 6)。采用外部基准时，器件由快速关断模式启动无需唤醒时间。

基准电压

MAX1146-MAX1149 可采用内部或外部基准。基准电压决定 ADC 输入范围，还决定满量程输出值 (表 7)。

内部基准

MAX1146-MAX1149 含有一个内部 1.250V 带隙基准。该基准通过一个 20k Ω 电阻连接至 REFADJ。采用 0.01 μF 电容旁路 REFADJ 至 AGND。MAX1146/MAX1148 的基准缓冲具有 3.277V/V 增益，在 REF 提供 +4.096V 基准电压。MAX1147/MAX1149 的基准缓冲具有 2.000V/V 增益，在 REF 提供 +2.500V 基准电压。使用内部基准时，用最小 2.2 μF 的电容将 REF 旁路至 AGND。

外部基准

MAX1146-MAX1149 以两种方式使用外部基准：

- 1) 将 REFADJ 连接至 V_{DD} ，禁止内部基准缓冲，REF 接外部基准 (图 12)。
- 2) 将外部基准连至 REFADJ，使用内部基准缓冲 (图 13)。

多通道、真差分、串行、14位ADC

MAX1146-MAX1149

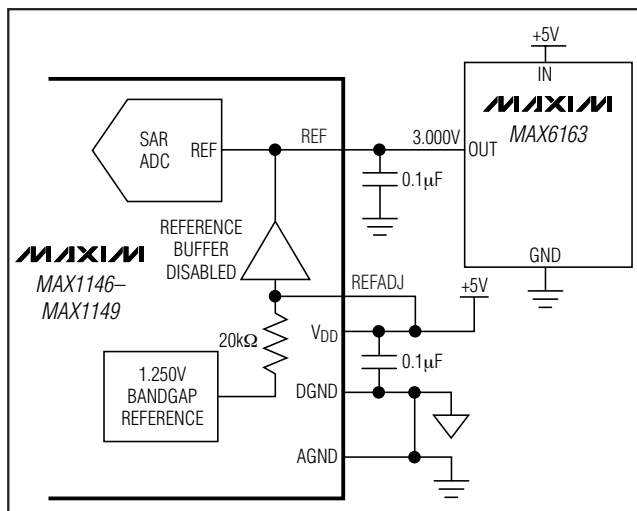


图 12. 外部基准连至 REF

方式 1 允许直接应用 1.5V 至 $V_{DD} + 50\text{mV}$ 的外部基准。REF 输入阻抗典型值为 $10\text{k}\Omega$ 。进行转换时，接 REF 的外部基准必须能提供最大 $210\mu\text{A}$ 电流，并且其输出阻抗应小于 10Ω 。用 $0.1\mu\text{F}$ 电容旁路 REF 至 AGND 可改善输出阻抗。

方式 2 利用内部基准缓冲来减小外部基准负载。REFADJ 输入阻抗典型值为 $20\text{k}\Omega$ 。在转换时，接 REFADJ 的外部基准必须提供最小 $100\mu\text{A}$ 电流，并且输出阻抗应小于 100Ω 。MAX1146/MAX1148 基准缓冲具有 3.277V/V 增益，MAX1147/MAX1149 具有 2.000V/V 增益。接 REFADJ 的外部基准电压乘以基准缓冲增益即为 SAR ADC 的基准电压，在 REF 测得的基准电压值必须在 1.5V 至 $V_{DD} + 50\text{mV}$

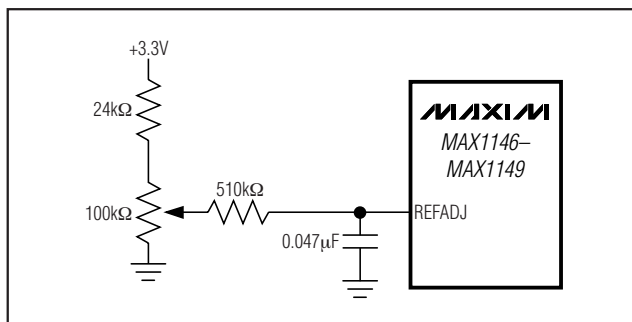


图 13. 基准调整电路

之间。用 $0.01\mu\text{F}$ 电容旁路 REFADJ 至 AGND， $2.2\mu\text{F}$ 电容旁路 REF 至 AGND。

传输函数

表 7 为单极性和双极性模式的满量程电压范围。

MAX1146-MAX1149 输出数据编码在单极性模式时为二进制格式，双极性模式时为二的补码格式， $1\text{ LSB} = (V_{REF}/2^N)$ ，其中 N 为位数 (14)。量化电平分界点位于相邻整数倍 LSB 值之间的中点。图 14 和图 15 分别为单极性和双极性输入/输出 (I/O) 的传输函数。

串口

MAX1146-MAX1149 的串口与 SPI、QSPI 和 MICROWIRE 完全兼容。如串口可用，将 CPU 的串口设为主机，并由 CPU 产生 ADC 串行时钟。最大可选时钟频率为 2.1MHz 。

SPI 和 MICROWIRE 接口

使用 SPI (图 16a) 或 MICROWIRE 接口 (图 16b) 时，设置 $\text{CPOL} = \text{CPHA} = 0$ 。需要读两个 8 位来获取 ADC 的全部

表 7. 满度和零度

INPUT AND OUTPUT MODES	UNIPOLAR MODE		BIPOLAR MODE		
	ZERO SCALE	FULL SCALE	NEGATIVE FULL SCALE	ZERO SCALE	POSITIVE FULL SCALE
Single-Ended Mode	V_{COM}	$V_{\text{REF}} + V_{\text{COM}}$	$\frac{-V_{\text{REF}}}{2} + V_{\text{COM}}$	V_{COM}	$\frac{+V_{\text{REF}}}{2} + V_{\text{COM}}$
Differential Mode	$V_{\text{IN-}}$	$V_{\text{REF}} + V_{\text{IN-}}$	$\frac{-V_{\text{REF}}}{2} + V_{\text{IN-}}$	$V_{\text{IN-}}$	$\frac{+V_{\text{REF}}}{2} + V_{\text{IN-}}$

注意：模拟输入的共模范围为 AGND 至 V_{DD} 。

多通道、真差分、串行、14位ADC

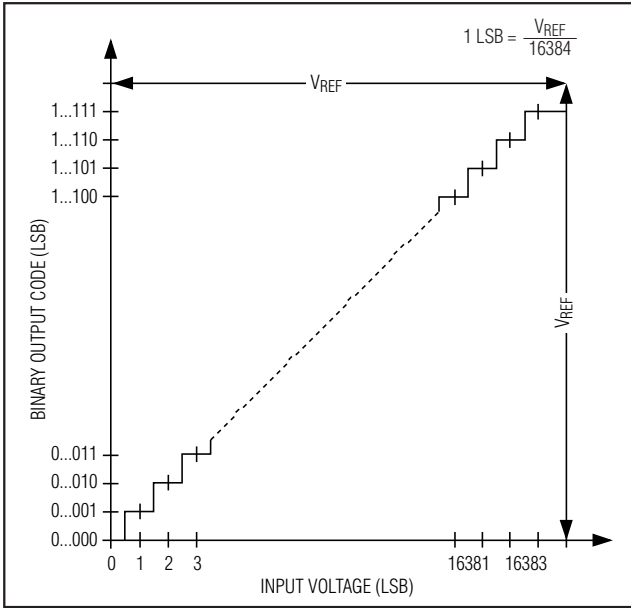


图 14. 单极性传输函数

14位结果。DOUT数据在串行时钟下降沿转换，在SCLK上升沿同步进入μP。第一个8位数据流为转换结果前8位，以MSB开始。第二个8位数据流含其余6位。

QSPI接口

采用高速QSPI接口(图17)时设置CPOL = 0, CPHA = 0, MAX1146-MAX1149支持最大2.1MHz的f_{SCLK}。需要读16位来获取ADC的全部14位结果。DOUT数据在串行时钟的下降沿转换，在SCLK上升沿同步进入μP。前14位为所需数据。

PIC16/PIC17 SSP模块接口

MAX1146-MAX1149兼容于使用同步串口(SSP)模块的PIC16/PIC17微控制器(μC)。如需建立SPI通信，可按照

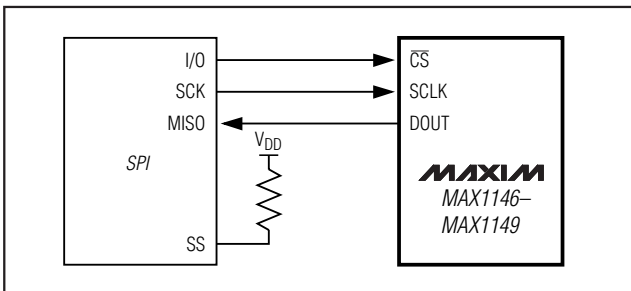


图 16a. SPI 连接

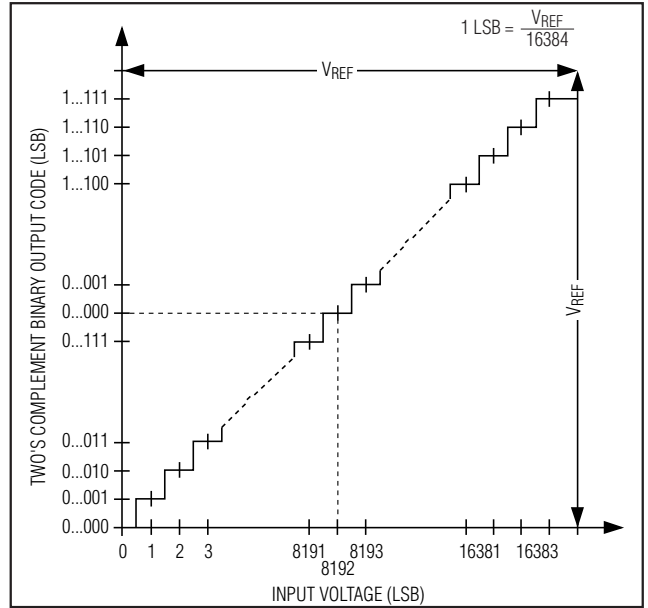


图 15. 双极性传输函数

图18所示连接控制器，并将PIC16/PIC17配置为主机。按表8和表9所示初始化同步串口控制寄存器(SSPCON)和同步串口状态寄存器(SSPSTAT)。在SPI模式中，PIC16/PIC17 μC允许同时进行8位数据的同步收和发。需要连续读两个8位获取ADC全部14位结果。DOUT数据在串行时钟下降沿转换，在SCLK上升沿同步进入μC。第一个8位数据流为转换结果前8位，以MSB开始。第二个数据流含其余各位，即D5至D0。

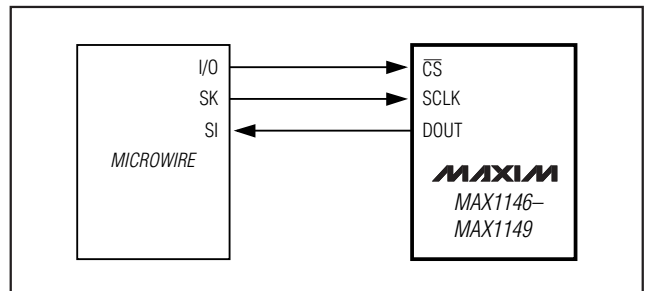


图 16b. MICROWIRE 连接

多通道、真差分、串行、 14 位 ADC

MAX1146-MAX1149

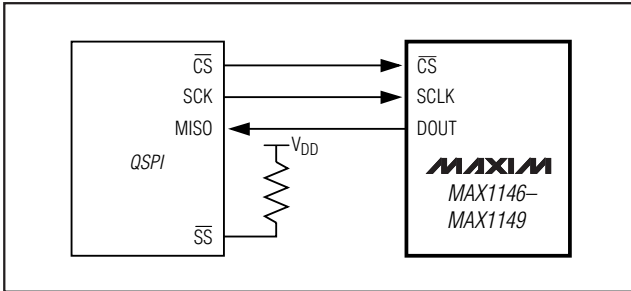


图 17. QSPI 连接

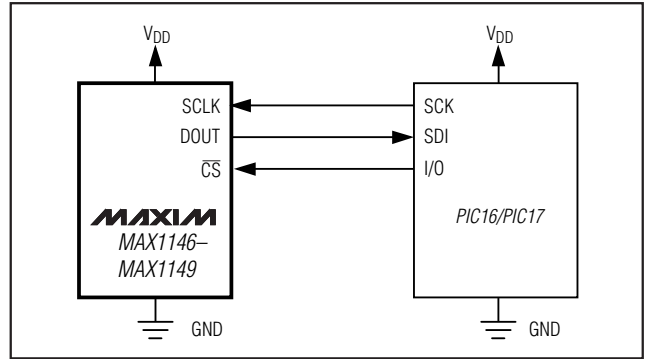


图 18. PIC16/ PIC17 微控制器的 SPI 接口连接

表 8. SSPCON 寄存器详细内容

CONTROL BIT		PIC16/PIC17 SETTINGS	SYNCHRONOUS SERIAL-PORT CONTROL REGISTER (SSPCON)
WCOL	Bit 7	X	Write collision detection bit.
SSPOV	Bit 6	X	Receive overflow detect bit.
SSPEN	Bit 5	1	Synchronous serial port enable bit: 0: Disables serial port and configures these pins as I/O port pins. 1: Enables serial port and configures SCK, SDO, and SCI pins as serial-port pins.
CKP	Bit 4	0	Clock polarity select bit. CKP = 0 for SPI master mode selection.
SSPM3	Bit 3	0	Synchronous serial port mode select bit. Sets SPI master mode and selects FCLK = fOSC / 16.
SSPM2	Bit 2	0	
SSPM1	Bit 1	0	
SSPM0	Bit 0	1	

表 9. SSPSTAT 寄存器详细内容

CONTROL BIT		MAX1146-MAX1149 SETTINGS	SYNCHRONOUS SERIAL-PORT STATUS REGISTER (SSPSTAT)
SMP	Bit 7	0	SPI data input sample phase. Input data is sampled at the middle of the data output time.
CKE	Bit 6	1	SPI clock edge select bit. Data is transmitted on the rising edge of the serial clock.
D/A	Bit 5	X	Data address bit.
P	Bit 4	X	Stop bit.
S	Bit 3	X	Start bit.
R/W	Bit 2	X	Read/write bit information.
UA	Bit 1	X	Update address.
BF	Bit 0	X	Buffer full status bit.

多通道、真差分、串行、14位ADC

TMS320LC3x 接口

图 19 是外部时钟模式下，MAX1146-MAX1149 与 TMS320 接口的应用电路。图 20 是该接口电路的时序图。采用以下步骤启动 MAX1146-MAX1149 转换，并读取结果：

- 1) TMS320 将 CLKX (发送时钟) 配置为高电平有效的输出时钟，CLKR (TMS320 接收时钟) 配置为高电平有效的输入时钟。TMS320 的 CLKX 和 CLKR 与 MAX1146-MAX1149 的 SCLK 输入连在一起。
- 2) 通过 TMS320 的 XF_I/O 端口将 MAX1146-MAX1149 的 \overline{CS} 置低，将数据同步输入 MAX1146-MAX1149 的 DIN。
- 3) 向 MAX1146-MAX1149 写 8 位 (1XXXXX11)，初始化转换，将其设为外部时钟模式。根据具体应用参考表 1 选择合适的 XXXXX 值。
- 4) TMS320 的 FSR 输入监视 MAX1146-MAX1149 的 SSTRB 输出。SSTRB 的下降沿表明正在进行转换，TMS320 可以接收来自 MAX1146-MAX1149 的数据。
- 5) TMS320 在随后 16 个 SCLK 的上升沿读入每一位数据。这 16 位数据包括 14 位转换结果，其余两位可以忽略。
- 6) \overline{CS} 置高，在启动下一次转换前，禁止 MAX1146-MAX1149 操作。

布板、接地和旁路

为实现最佳系统性能，必须进行仔细的 PC 板布板。应具有独立的模拟地和数字地。并确保模拟信号和数字信号互相远离。不要将模拟和数字 (特别是时钟) 走线平行放置，或者将数字走线紧靠在器件下面。

图 4 是推荐的系统地线连接方式。在 AGND 建立一个模拟接地点，在 DGND 建立一个数字接地点。连接所有的模拟地至星形模拟地。连接数字地至星形数字地。直接在器件处连接数字接地点和模拟接地点。为实现最佳噪声性能，返回星形电源地的走线应为低阻并尽可能的短。

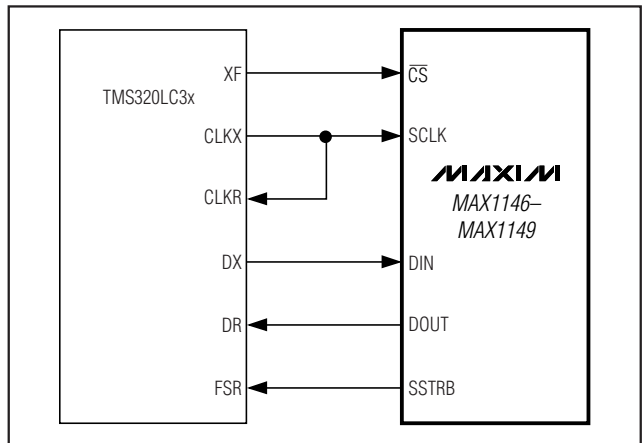


图 19. MAX1146-MAX1149 与 TMS320 的串口

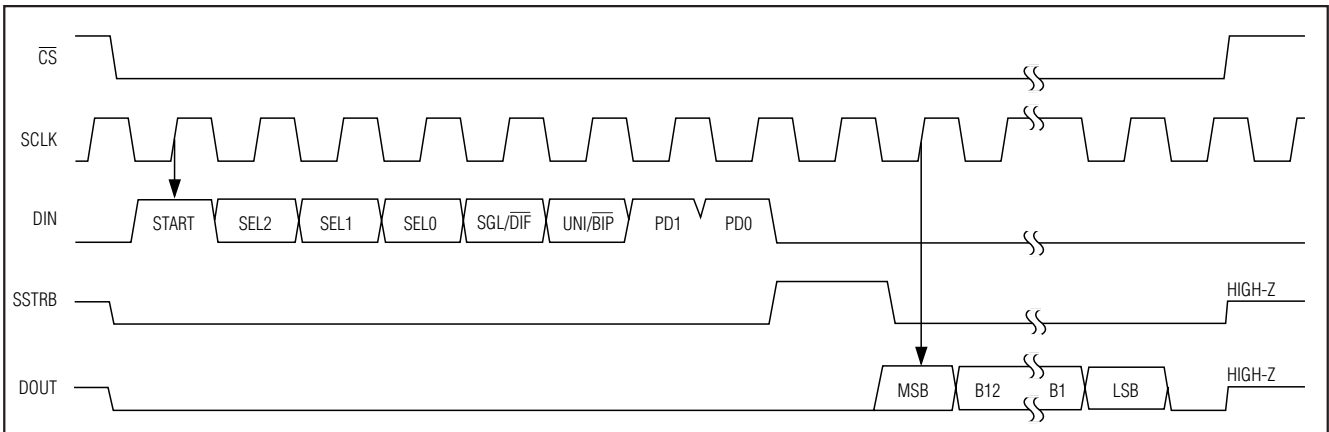


图 20. TMS320 串口时序图

多通道、真差分、串行、 14 位 ADC

V_{DD} 电源的高频噪声会降低器件高速性能。采用 $0.1\mu\text{F}$ 和 $4.7\mu\text{F}$ 电容将电源旁路至数字地。尽量缩短电容引线长度以实现最佳电源噪声抑制。 $0.1\mu\text{F}$ 电容串一个 10Ω 电阻，形成的低通滤波器可抑制较强的电源噪声。

参数定义

积分非线性

积分非线性 (INL) 是实际传输函数与直线的偏差。该直线可以是最佳线性拟合的直线，也可以是传输函数端点间的直线，但要消除失调和增益误差影响。MAX1146-MAX1149 的静态线性参数测量采用的是端点法。

微分非线性

微分非线性 (DNL) 是实际步长和 1 LSB 理想值之间的差异。小于 1 LSB 的 DNL 误差可以保证传输函数单调，并且不会丢码。

孔径定义

孔径抖动 (t_{AJ}) 是相邻采样点之间时间间隔的变化。孔径延迟 (t_{AD}) 是指采样时钟上升沿和实际采样发生时刻之间的时间差。

信噪比

对于由数字采样完全恢复的波形，信噪比 (SNR) 是满量程模拟输入 (RMS 值) 和 RMS 量化误差 (残留误差) 的比值。理想的，理论最小模数转换噪声仅源于量化误差，直接由 ADC 分辨率 (N 位) 决定：

$$\text{SNR} = (6.02 \times N + 1.76)\text{dB}$$

实际上，除量化噪声外，还存在其它噪声，如：热噪声、基准噪声、时钟抖动等。SNR 为 RMS 信号和 RMS 噪声的比值，此噪声包括所有频谱分量减去基频、前 5 次谐波和直流失调。

信号与噪声和失真比

信号与噪声和失真比 (SINAD) 是输入基频 RMS 幅度与 ADC 其它所有输出等效 RMS 值之比。

$$\text{SINAD}(\text{dB}) = 20 \times \log (\text{SignalRMS} / \text{NoiseRMS})$$

有效位数

有效位数 (ENOB) 代表 ADC 在指定输入频率和采样率下的整体精度。理想的 ADC 误差仅由量化噪声构成。输入范围与 ADC 的满量程范围一致时，可由下式计算 ENOB：

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02$$

总谐波失真

总谐波失真 (THD) 是输入信号前 5 次谐波 RMS 之和与基频幅度的比值。可以表示为：

$$\text{THD} = 20 \times \log \left(\sqrt{\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2}{V_1}} \right)$$

其中， V_1 是基频幅度， V_2 至 V_5 是 2 至 5 次谐波的幅度。

无杂散动态范围

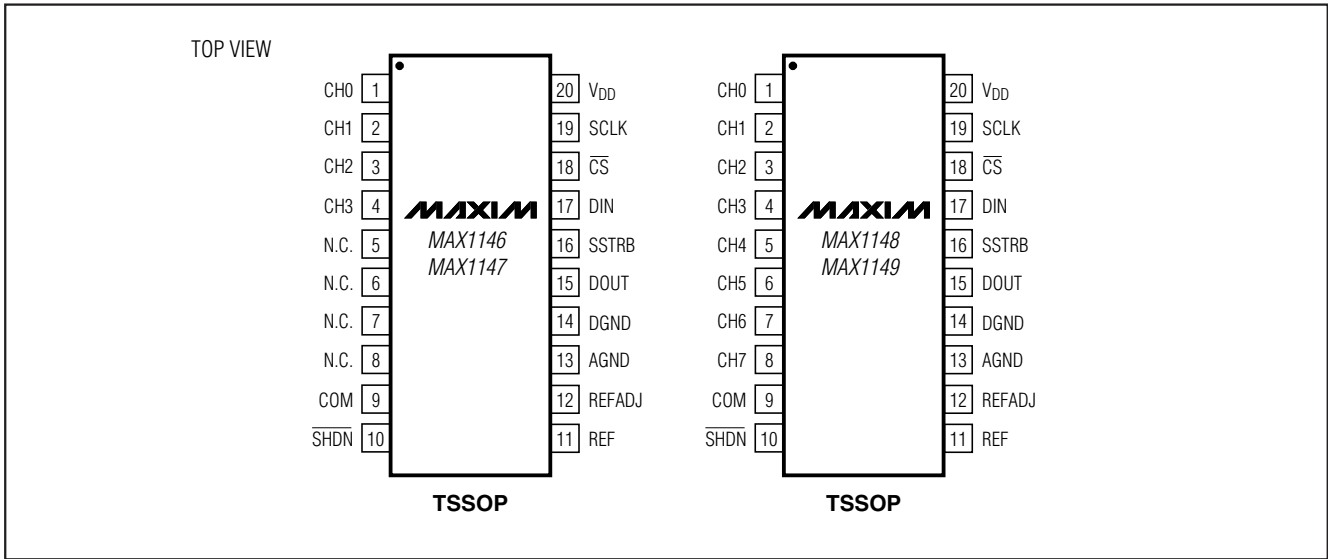
无杂散动态范围 (SFDR) 是指基频 (最大的信号分量) RMS 值与下一个最大失真分量 RMS 值之比。

芯片信息

TRANSISTOR COUNT: 5589

PROCESS: BiCMOS

多通道、真差分、串行、
14位ADC

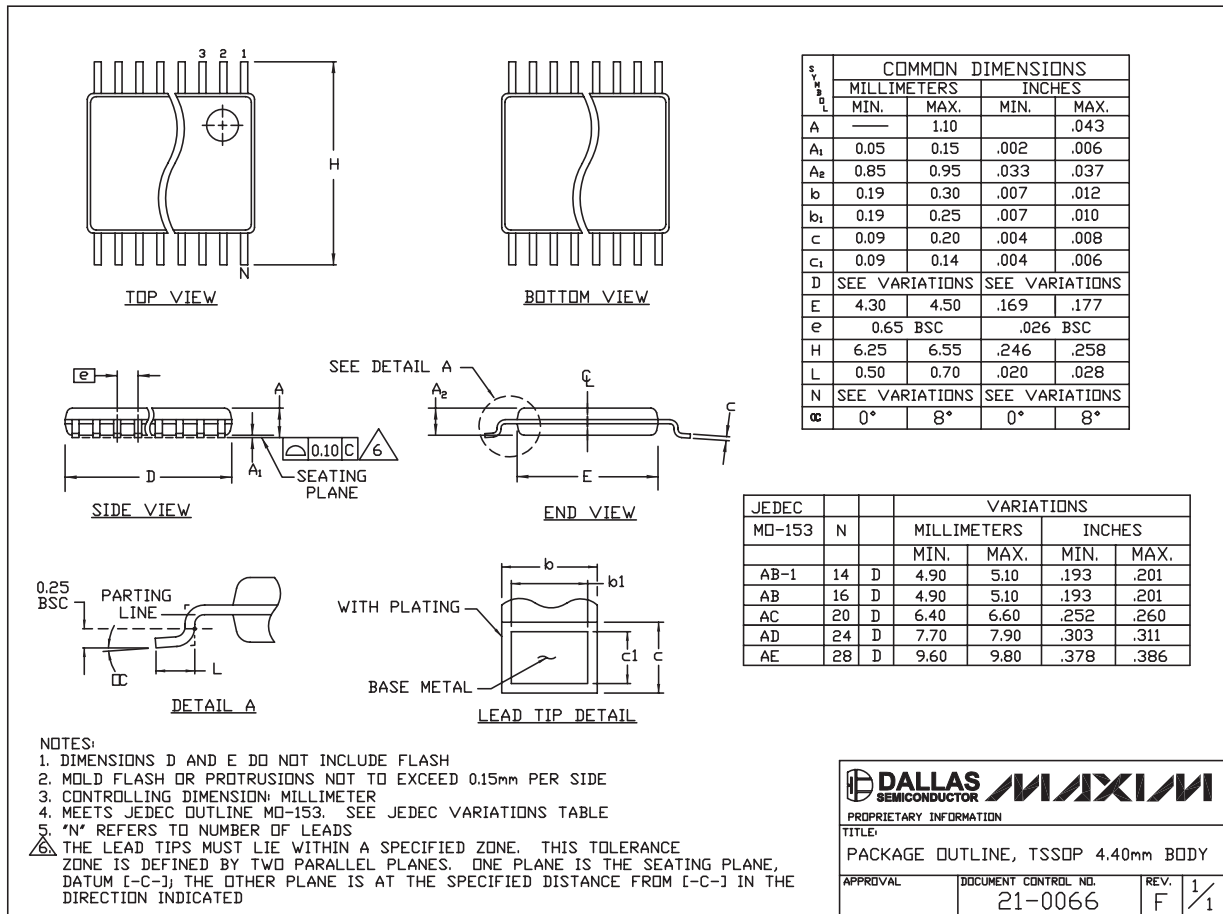


多通道、真差分、串行、 14 位 ADC

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages。)

MAX1146-MAX1149



TSSOP4.40mm.EPS

MAXIM 北京办事处

北京 8328 信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 25