

	<h1 style="margin: 0;">AK4584</h1> <h2 style="margin: 0;">24Bit 96kHz Audio CODEC with DIT/DIR</h2>
---	---

概 要

AK4584は24ビット、96kHzレコーディングシステム向けの高性能24bit CODECです。ADCにはワイドダイナミックレンジを実現するエンハンスド・デュアルビット方式を採用し、DACには新開発のアドバンスド・マルチビット方式を採用、更に広いダイナミックレンジと低帯域外ノイズを実現しています。また、AK4584は24ビット、192kHzに対応したデジタルオーディオトランスミッタ(DIT)とデジタルオーディオレシーバ(DIR)を内蔵し、AC-3/MPEG等のNon-PCMデータストリームを自動検出します。デジタルオーディオ出力はADC出力とデジタル入力を選択できます。AK4584は入力PGAを内蔵しており、MD, DVD-R, CD-R用途に最適です。

*AC-3はDolby Laboratoriesの登録商標です。

特 長

1. 24bit 2ch ADC

- fs: max 96kHz
- Single-end Input
- S/(N+D): 90dB
- Dynamic Range, S/N: 100dB
- Digital HPF for offset cancellation
- Input PGA with +18dB gain & 0.5dB step
- Input DATT with -72dB ATT
- I/F format: MSB justified or I²S

2. 24bit 2ch DAC

- fs: max 192kHz
- 24bit 8 times Digital Filter
 - Ripple: ±0.005dB, Attenuation: 75dB
- Single-end Output
- S/(N+D): 94dB
- Dynamic Range, S/N: 104dB
- De-emphasis for 32kHz, 44.1kHz, 48kHz sampling
- Digital Attenuator with soft-transition
- Soft Mute
- Zero Detect Function
- I/F format: MSB justified, LSB justified or I²S

3. 3 Outputs 24 bit 192kHz DIT

- 3-Channel Transmission Outputs (2 Through outputs & DIT Output)
- 40 Bits Channel Status Buffer

4. 4 Inputs 24bit 192kHz DIR

- Supports AES3, IEC60958, S/PDIF, EIAJ CP1201
- Low Jitter Analog PLL
- PLL Lock Range: 32k ~ 192kHz
- Clock Source: PLL or X'tal
- 4 Channels Receiver Inputs
- Detect Function
 - Non-PCM Bit Stream Detection
 - DTS-CD Bit Stream Detection
 - Validity Flag Detection
 - Sampling Frequency Detection
 - Unlock & Parity Error Detection
- 40 bits Channel Status Buffer
- Burst Preamble bit Pc, Pd Buffer for Non-PCM bit Stream

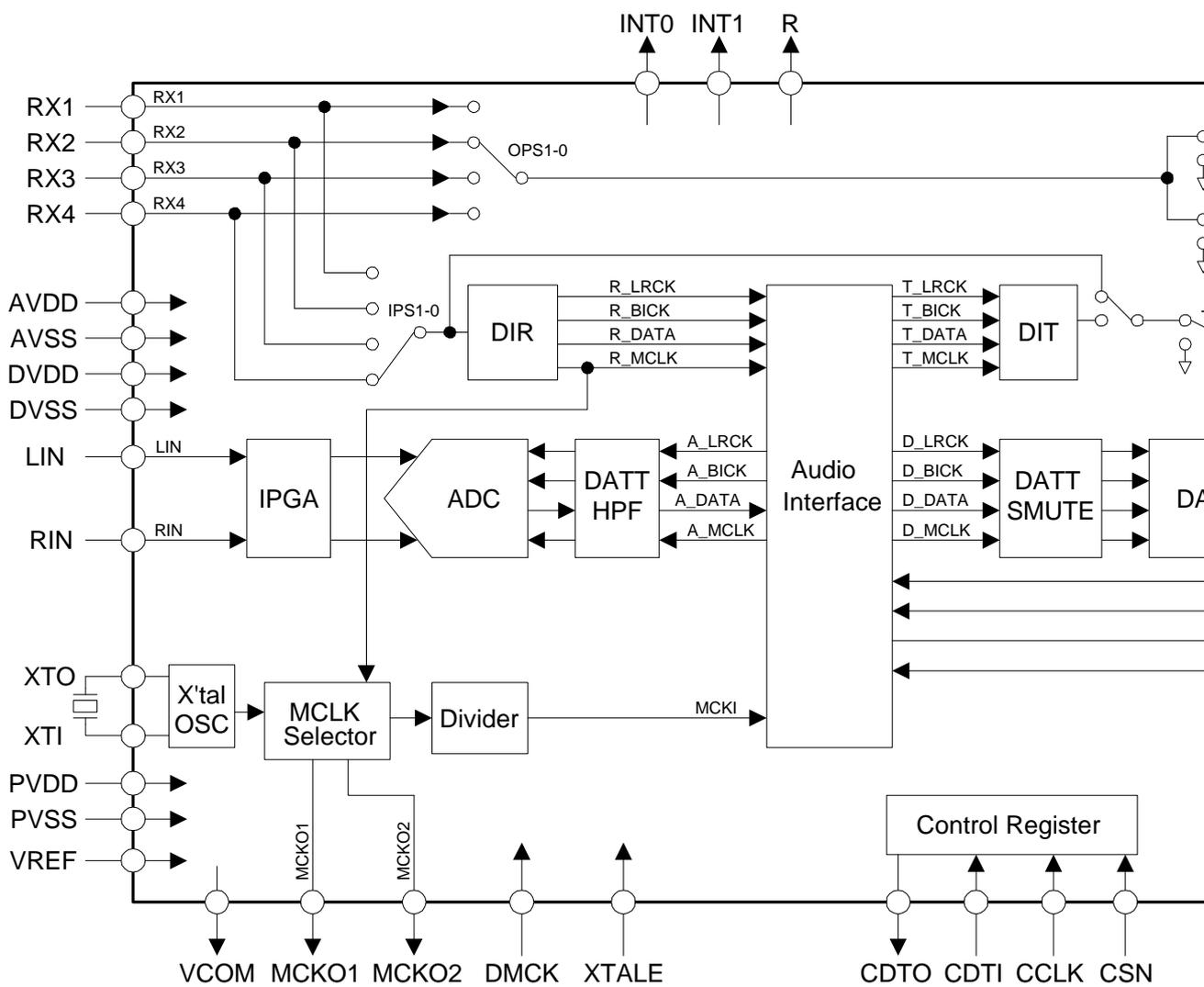
5. Support External Audio Clock Input

- Master Clock Input
 - 256fs, 384fs, 512fs, 768fs (fs = 44.1kHz ~ 48kHz)
 - 256fs, 384fs (fs = 88.2kHz ~ 96kHz)
 - 128fs, 192fs (fs = 176.4kHz ~ 192kHz)

6. Support Master & Slave Mode**7. Serial mP I/F: 4-wire serial****8. 5V operation****9. 3V Power Supply Pin for 3V I/F****10. 44pin LQFP Package****11. Ta: -10 to 70°C**

ASAHI KASEI

■ ブロック図



Block Diagram

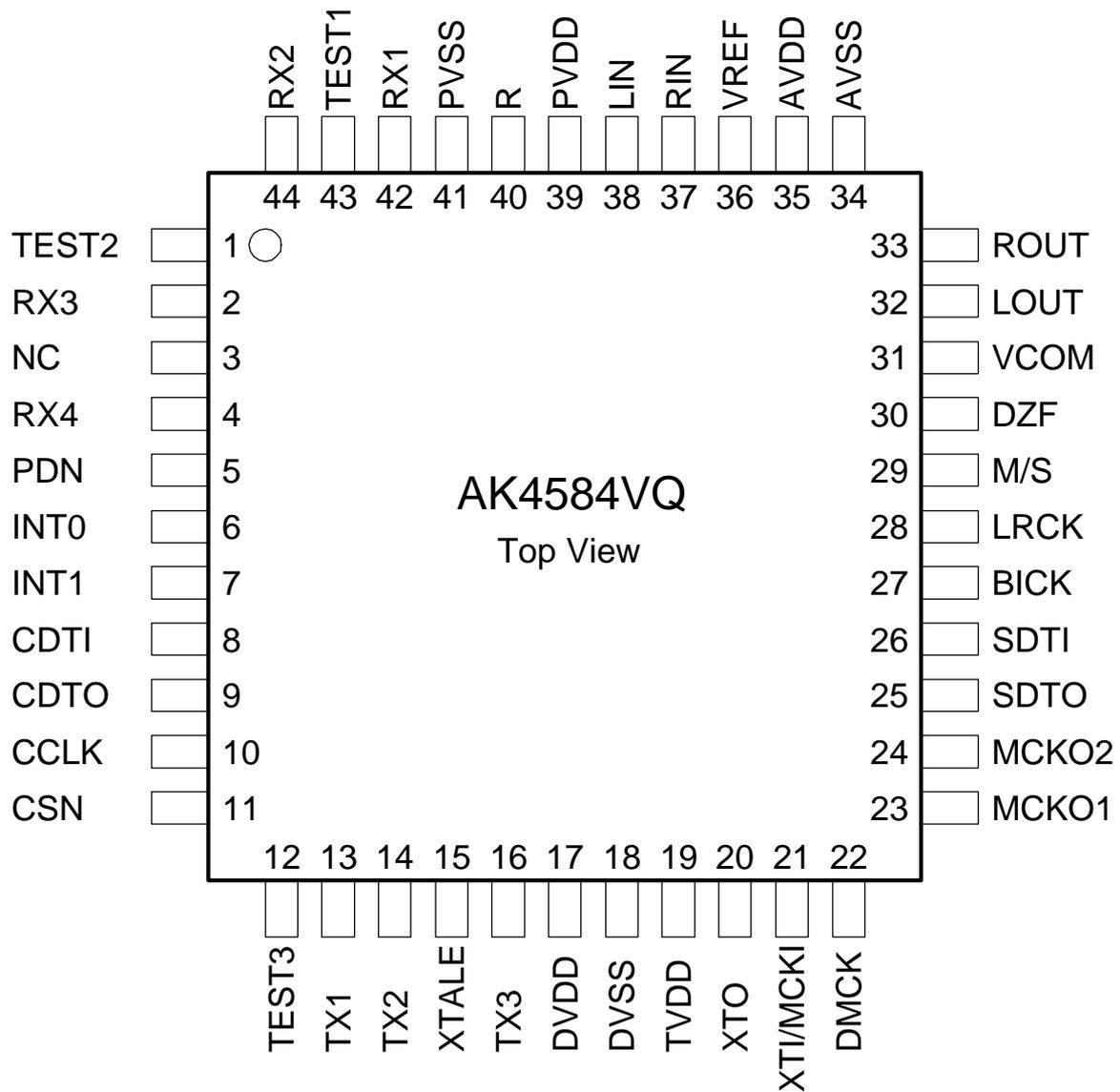
■ オーダリングガイド

AK4584VQ
AKD4584

-10 ~ +70°C
AK4584評価用ボード

44pin LQFP (0.8mm pitch)

■ ピン配置



ピン/機能

No.	Pin Name	I/O	Function
1	TEST2	I	Test 2 Pin (Internal pull-down pin)
2	RX3	I	Receiver Input 3 with Amp for 0.2Vpp
3	NC	I	NC Pin (No Internal bonding pin, Fixed to "AVSS")
4	RX4	I	Receiver Input 4 with Amp for 0.2Vpp
5	PDN	I	Power-Down Mode Pin "H": Power up, "L": Power down reset and initialize the control register.
6	INT0	O	Interrupt 0 Pin
7	INT1	O	Interrupt 1 Pin
8	CDTI	I	Control Data Input Pin
9	CDTO	O	Control Data Output Pin
10	CCLK	I	Control Data Clock Pin
11	CSN	I	Chip Select Pin
12	TEST3	I	Test 3 Pin (Fixed to AVSS)
13	TX1	O	Transmitter 1 Output Pin
14	TX2	O	Transmitter 2 Output Pin
15	XTALE	I	X'tal Osc Enable Pin "H" : Enable, "L" : Disable
16	TX3	O	Transmitter 3 Output Pin
17	DVDD	-	Digital Power Supply Pin, 4.75 ~ 5.25V
18	DVSS	-	Digital Ground Pin
19	TVDD	-	Output Buffer Power Supply Pin, 2.7 ~ 5.25V
20	XTO	O	X'tal Output Pin
21	XTI	I	X'tal Input Pin
	MCKI	I	External Master Clock Input Pin
22	DMCK	I	MCKO1 Disable Pin "H" : MCKO1 "L" output, "L" : MCKO1 output

23	MCKO1	O	Master Clock Output 1 Pin
24	MCKO2	O	Master Clock Output 2 Pin
25	SDTO	O	Audio Serial Data Output Pin
26	SDTI	I	Audio Serial Data Input Pin
27	BICK	I/O	Audio Serial Data Clock Pin
28	LRCK	I/O	Input / Output Channel Clock Pin
29	M/S	I	Master / Slave Mode Pin “H” : Master Mode, “L” : Slave Mode
30	DZF	O	Zero Input Detect Pin
31	VCOM	O	Common Voltage Output Pin, AVDD/2 Bias voltage of ADC inputs and DAC outputs.
32	LOUT	O	Lch Analog Output Pin
33	ROUT	O	Rch Analog Output Pin
34	AVSS	-	Analog Ground Pin
35	AVDD	-	Analog Power Supply Pin, 4.75 ~ 5.25V
36	VREF	I	Voltage Reference Input Pin, AVDD Used as a voltage reference by ADC & DAC. VREF is connected externally to filtered AVDD.
37	RIN	I	Rch Analog Input Pin
38	LIN	I	Lch Analog Input Pin
39	PVDD	-	PLL Power Supply Pin, 4.75 ~ 5.25V
40	R	-	External Resistor Pin for PLL 13kΩ \pm 1% resistor should be connected to PVSS externally.
41	PVSS	-	PLL Ground Pin
42	RX1	I	Receiver Input 1 with Amp for 0.2Vpp
43	TEST1	I	Test 1 Pin (Internal pull-down pin)
44	RX2	I	Receiver Input 2 with Amp for 0.2Vpp

Note: All input pins except pull-down pins should not be left floating.

絶対最大定格

(AVSS, DVSS, PVSS=0V; Note 1)

Parameter		Symbol	min	max	Units
Power Supplies:	Analog	AVDD	-0.3	6.0	V
	Digital	DVDD	-0.3	6.0	V
	PLL	PVDD	-0.3	6.0	V
	Output Buffer	TVDD	-0.3	6.0	V
	AVSS - DVSS (Note 2)	Δ GND1	-	0.3	V
	AVSS - PVSS (Note 2)	Δ GND2	-	0.3	V
Input Current, Any Pin Except Supplies		IIN	-	\pm 10	mA
Analog Input Voltage (VREF, LIN, RIN pins)		VINA	-0.3	AVDD+0.3	V
Digital Input Voltage 1 (Except RX1-4, BICK, LRCK pins)		VIND1	-0.3	DVDD+0.3	V
Digital Input Voltage 2 (RX1-4 pins)		VIND2	-0.3	PVDD+0.3	V
Digital Input Voltage 3 (BICK, LRCK pins)		VIND3	-0.3	TVDD+0.3	V
Ambient Temperature (powered applied)		Ta	-10	70	°C
Storage Temperature		Tstg	-65	150	°C

Note: 1. 電圧は全てグランドピンに対する値です。

Note: 2. AVSSとDVSS, PVSSはアナロググランドに接続して下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また、通常の動作は保証されません。

推奨動作条件

(AVSS, DVSS, PVSS=0V; Note 1)

Parameter		Symbol	min	typ	max	Units
Power Supplies (Note 3)	Analog	AVDD	4.75	5.0	5.25	V
	Digital	DVDD	4.75	5.0	AVDD	V
	PLL	PVDD	4.75	5.0	AVDD	V
	Output Buffer	TVDD	2.7	3.0	DVDD	V
Voltage Reference	(Note 4)	VREF	3.0	-	AVDD	V

Note: 1. 電圧は全てグランドピンに対する値です。

Note: 3. AVDD, DVDD, PVDD, TVDDの電源立ち上げシーケンスを考慮する必要はありません。

Note: 4. 通常は、VREF電圧をAVDDと同じにして下さい。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので
十分ご注意ください。

アナログ特性

(Ta=25°C; AVDD, DVDD, PVDD, TVDD=5.0V; AVSS=DVSS=PVSS=0V; VREF=AVDD; fs=44.1kHz, 96kHz, 192kHz; BICK=64fs; Signal Frequency=1kHz; 24bit Data; Measurement frequency=10Hz ~ 20kHz at fs=44.1kHz, 10Hz ~ 40kHz at fs=96kHz; 10Hz ~ 80kHz at fs=192kHz; unless otherwise specified)

Parameter		min	typ	max	Units
Input PGA Characteristics:					
Input Voltage (Note 5)	fs=44.1kHz, AIN=0.6 x AVDD	2.8	3.0	3.2	Vpp
	fs=96kHz, AIN=0.62 x AVDD	2.9	3.1	3.3	Vpp
Input Resistance		5	10	15	kΩ
Step Size		0.2	0.5	0.8	dB
Gain Control Range		0		18	dB
ADC Analog Input Characteristics: IPGA=0dB					
Resolution				24	Bits
S/(N+D) (-0.5dBFS)	fs=44.1kHz	84	90		dB
	fs=96kHz	80	88		dB
DR (-60dBFS)	fs=44.1kHz, A-weighted	94	100		dB
	fs=96kHz	88	96		dB
S/N	fs=44.1kHz, A-weighted	94	100		dB
	fs=96kHz	88	96		dB
Interchannel Isolation		90	100		dB
Interchannel Gain Mismatch			0.2	0.5	dB
Gain Drift			20	-	ppm/°C
Power Supply Rejection (Note 6)			50	-	dB
DAC Analog Output Characteristics:					
Resolution				24	Bits
S/(N+D) (0dBFS)	fs=44.1kHz	88	94		dB
	fs=96kHz	86	92		dB
	fs=192kHz	-	84		dB
DR (-60dBFS)	fs=44.1kHz, A-weighted	98	104		dB
	fs=96kHz	90	98		dB
	fs=192kHz	-	85		dB
S/N	fs=44.1kHz, A-weighted	98	104		dB
	fs=96kHz	90	98		dB
	fs=192kHz	-	85		dB
Interchannel Isolation		90	100		dB
Interchannel Gain Mismatch			0.2	0.5	dB
Gain Drift			20	-	ppm/°C
Output Voltage (Note 7)		2.8	3.0	3.2	Vpp
Load Resistance		5			kΩ
Load Capacitance				25	pF
Power Supply Rejection (Note 6)			50	-	dB

Note: 5. IPGA=0dB時の入力電圧のフルスケール(0dB)。

Note: 6. VREFピンの電圧を一定にして、AVDD, DVDD, PVDD, TVDDに1kHz, 50mVppの正弦波を重ねた場合。

Note: 7. VREF電圧に比例します。Vout = 0.6 x VREF。

Parameter	min	typ	max	Units
Power Supplies				
Power Supply Current				
Normal Operation (PDN = "H")				
AVDD		23	35	mA
PVDD (fs=44.1kHz)		12	18	mA
DVDD+TVDD (fs=44.1kHz)		24	36	mA
DVDD+TVDD (fs=96kHz)		36	54	mA
Power-down mode (PDN = "L") (Note 8)				
AVDD		10	100	μA
PVDD		10	100	μA
DVDD+TVDD		10	100	μA

Note: 8. 全てのデジタル入力ピンをDVDDまたはDVSSに固定した時の値です。

S/PDIF RECEIVER特性

(Ta=25°C; AVDD, DVDD, PVDD=4.75 ~ 5.25V; TVDD=2.7 ~ 5.25V)

Parameter	Symbol	min	typ	Max	Units
Input Resistance	Zin		10		kΩ
Input Voltage	VTH	200			mVpp
Input Hysteresis	VHY	-	50		mV
Input Sample Frequency	fs	32	-	192	kHz

フィルタ特性

(Ta=-10 ~ 70°C; AVDD, DVDD, PVDD=4.75 ~ 5.25V; TVDD=2.7 ~ 5.25V; fs=44.1kHz; DEM=OFF)

Parameter	Symbol	min	typ	max	Units
ADC Digital Filter (Decimation LPF):					
Passband (Note 9)	±0.005dB	PB	0		19.76 kHz
	-0.02dB		-	20.02	- kHz
	-0.06dB		-	20.20	- kHz
	-6.0dB		-	22.05	- kHz
Stopband	SB	24.34			kHz
Passband Ripple	PR			±0.005	dB
Stopband Attenuation	SA	80			dB
Group Delay (Note 10)	GD		31		1/fs
Group Delay Distortion	ΔGD		0		μs
ADC Digital Filter (HPF):					
Frequency Response (Note 9)	-3dB	FR		0.9	Hz
	-0.5dB			2.7	Hz
	-0.1dB			6.0	Hz
DAC Digital Filter:					
Passband (Note 9)	±0.01dB	PB	0		20.0 kHz
	-6.0dB		-	22.05	- kHz
Stopband	SB	24.1			kHz
Passband Ripple	PR			±0.005	dB
Stopband Attenuation	SA	75			dB
Group Delay (Note 10)	GD		30		1/fs
DAC Digital Filter + SCF + SMF:					
Frequency Response:	FR				
0 ~ 20kHz			-0.1		dB
~ 40kHz (Note 11)			-0.2		dB
~ 80kHz (Note 12)			-1.0		dB

Note: 9. 各振幅特性の周波数は fs (システムサンプリングレート) に比例します。

例えば、PB=20.02kHz (@-0.02dB) は $0.454 \times fs$ です。各応答は1kHzを基準にします。

Note: 10. デジタルフィルタによる遅延演算で、ADC部はアナログ信号が入力されてから両チャンネルの24ビットデータがADC出力レジスタにセットされるまでの時間です。

DAC部は24ビットデータがDAC入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

Note: 11. fs=96kHz時。

Note: 12. fs=192kHz時。

DC特性

(Ta=-10 ~ 70°C; AVDD, DVDD, PVDD=4.75 ~ 5.25V; TVDD=2.7 ~ 5.25V)

Parameter	Symbol	min	typ	Max	Units
High-Level Input Voltage (Except XTI pin)	VIH	2.2	-	-	V
(XTI pin)	VIH	70% DVDD	-	-	V
Low-Level Input Voltage (Except XTI pin)	VIL	-	-	0.8	V
(XTI pin)	VIL	-	-	30% DVDD	V
Input Voltage at AC Coupling (XTI pin, Note 13)	VAC	40% DVDD	-	-	V _{pp}
High-Level Output Voltage (Except TX1-3, DZF pins : I _{out} =-400μA)	VOH	TVDD-0.5	-	-	V
(TX1-3 pin : I _{out} =-400μA)	VOH	DVDD-0.5	-	-	V
(DZF pin : I _{out} =-400μA)	VOH	AVDD-0.5	-	-	V
Low-Level Output Voltage (I _{out} =400μA)	VOL	-	-	0.5	V
TX Output Voltage Level (Note 14)	VOH	0.4	0.5	0.6	V
Input Leakage Current	I _{in}	-	-	±10	μA

Note: 13. XTIピンにカップリングコンデンサを接続した場合(Figure 3参照)。

Note: 14. Figure 7参照。

スイッチング特性

(Ta=-10 ~ 70°C; AVDD, DVDD, PVDD=4.75 ~ 5.25V, TVDD=2.7 ~ 5.25V; C_L=20pF)

Parameter	Symbol	min	typ	max	Units		
Master Clock Timing							
Crystal Resonator	Frequency	11.2896		24.576	MHz		
External Clock	Frequency	fCLK	11.2896	36.864	MHz		
	Pulse Width Low	tCLKL	0.4/fCLK		ns		
	Pulse Width High	tCLKH	0.4/fCLK		ns		
MCKO1 Output		Frequency	fMCK	11.2896	24.576	MHz	
		Duty Cycle (Note 15)	dMCK	40	50	60	%
MCKO2 Output		Frequency	fMCK	5.6448	18.432	MHz	
		Duty Cycle	dMCK	40	50	60	%
PLL Clock Recover Frequency		fPLL	32		192	kHz	
LRCK Frequency							
Normal Speed Mode (DFS0="0", DFS1="0")		fsn	32		48	kHz	
Double Speed Mode (DFS0="1", DFS1="0")		fsd	88.2		96	kHz	
Quad Speed Mode (DFS0="0", DFS1="1")		fsq	176.4		192	kHz	
Duty Cycle		Slave mode	45		55	%	
		Master mode		50		%	
Audio Interface Timing							
Slave mode							
BICK Period		tBCK	81			ns	
BICK Pulse Width Low		tBCKL	33			ns	
Pulse Width High		tBCKH	33			ns	
LRCK Edge to BICK "↑" (Note 16)		tLRB	20			ns	
BICK "↑" to LRCK Edge (Note 16)		tBLR	20			ns	
LRCK to SDTO (MSB) (Except I ² S mode)		tLRS			20	ns	
BICK "↓" to SDTO		tBSD			20	ns	
SDTI Hold Time		tSDH	20			ns	
SDTI Setup Time		tSDS	20			ns	
Master mode							
BICK Frequency		fBCK		64fs		Hz	
BICK Duty		dBCK		50		%	
BICK "↓" to LRCK		tMBLR	-20		20	ns	
BICK "↓" to SDTO		tBSD	-20		20	ns	
SDTI Hold Time		tSDH	20			ns	
SDTI Setup Time		tSDS	20			ns	

Note: 15. 外部クロック入力の場合、Dutyの保証はできません。

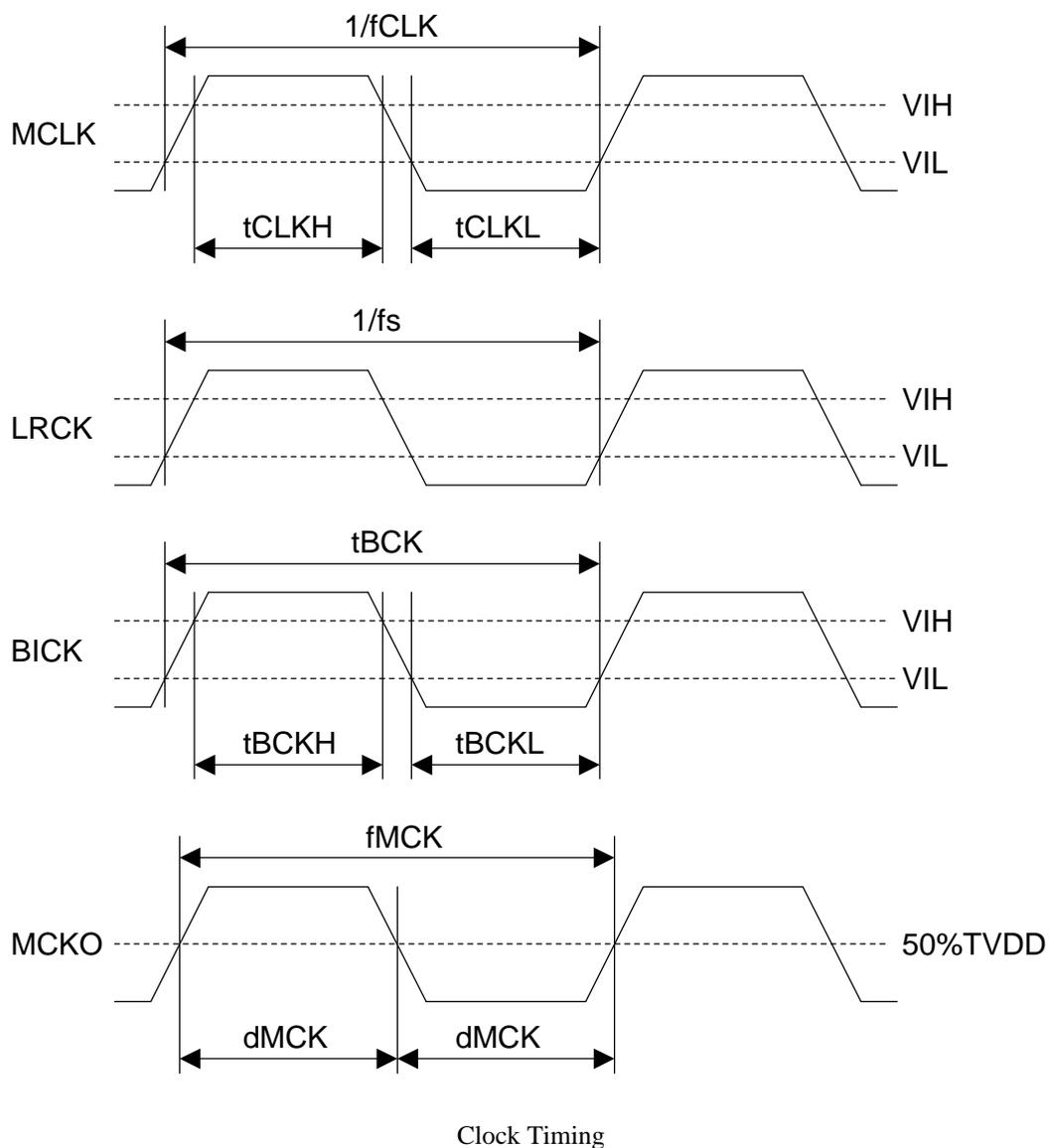
Note: 16. この規格値はLRCKのエッジとBICKの“↑”が重ならないように規定しています。

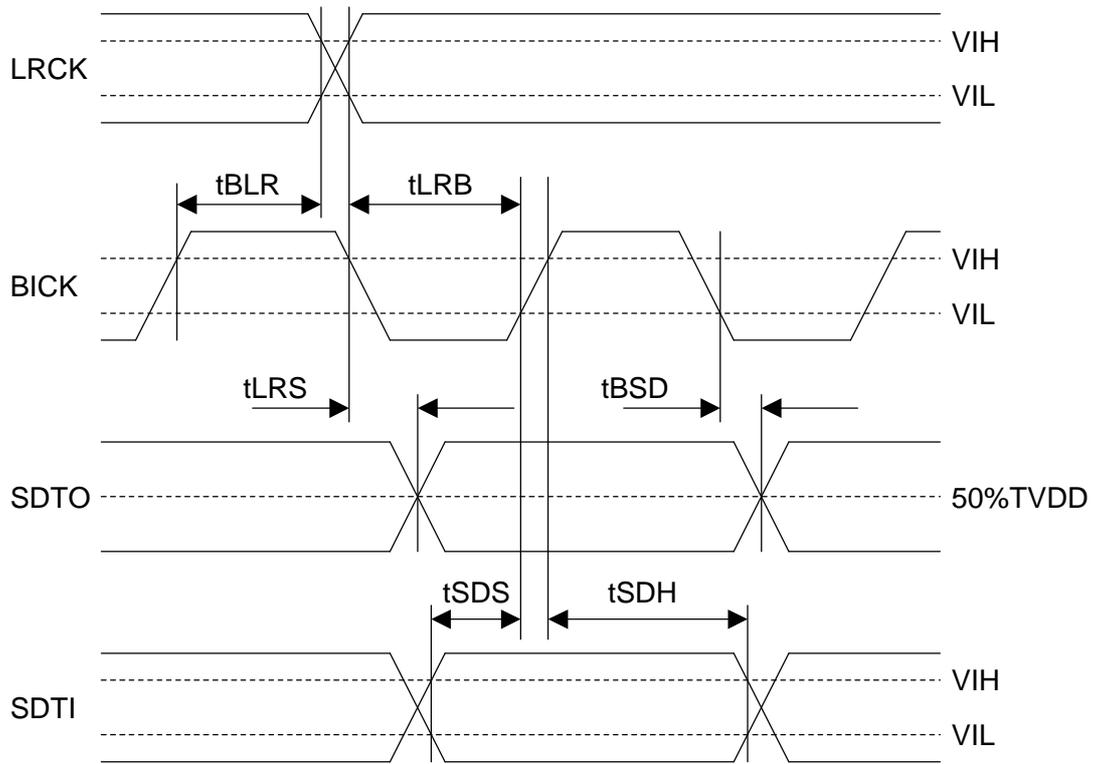
Parameter	Symbol	min	typ	max	Units
Control Interface Timing					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	40			ns
CDTI Hold Time	tCDH	40			ns
CSN “H” Time	tCSW	150			ns
CSN “↓” to CCLK “↑”	tCSS	50			ns
CCLK “↑” to CSN “↑”	tCSH	50			ns
CDTO Delay	tDCD			45	ns
CSN “↑” to CDTO Hi-Z	tCCZ			70	ns
Reset Timing					
PDN Pulse Width (Note 17)	tPD	150			ns
RSTADN “↑” to SDTO valid (Note 18)	tPDV		516		1/fs

Note: 17. AK4584はPDN = “L”でリセットされます。

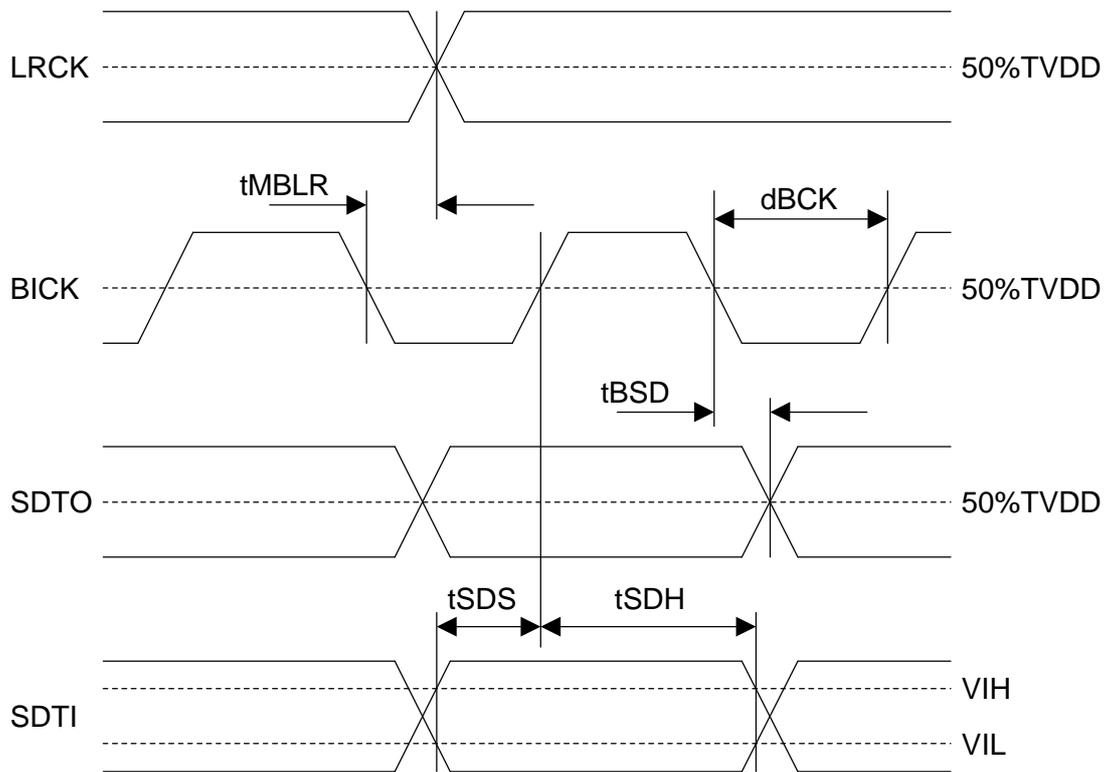
Note: 18. RSTADNビットを立ち上げてからのLRCKクロックの“↑”の回数です。

■ タイミング波形

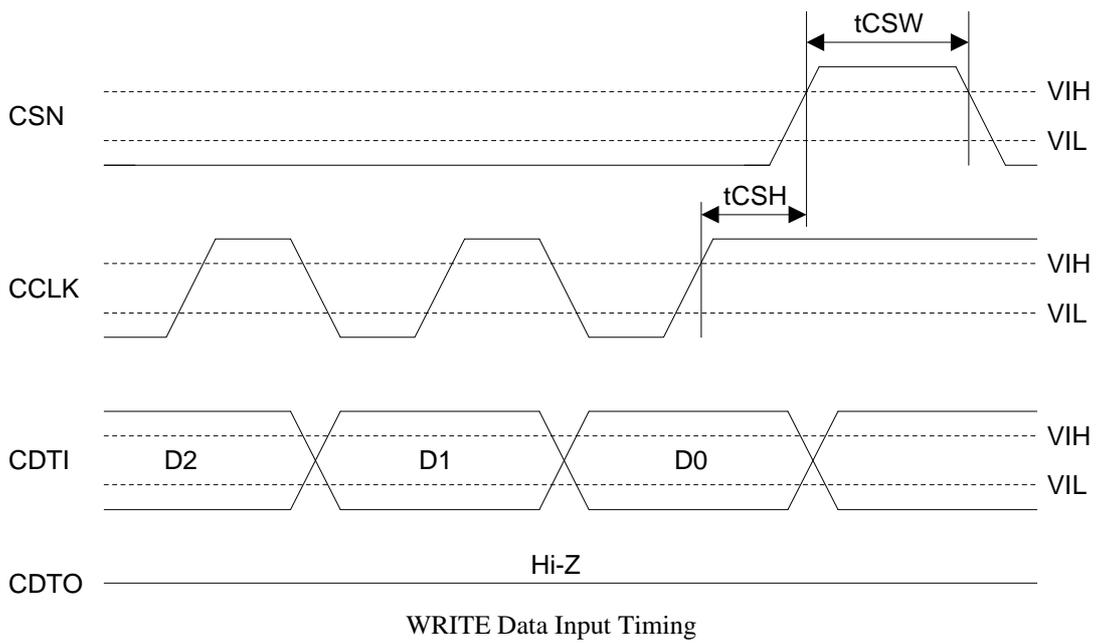
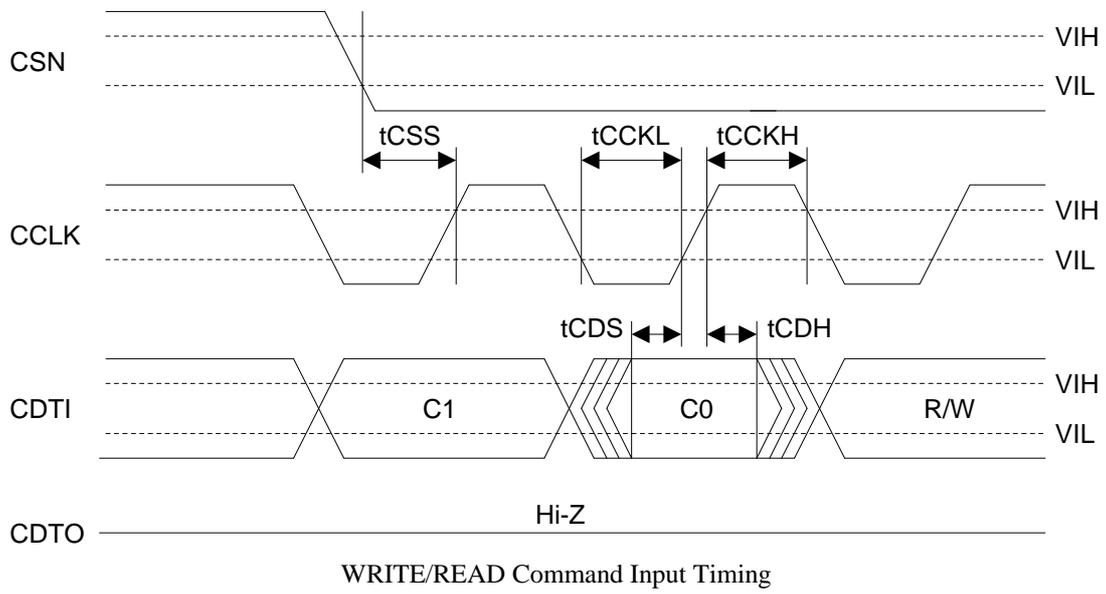


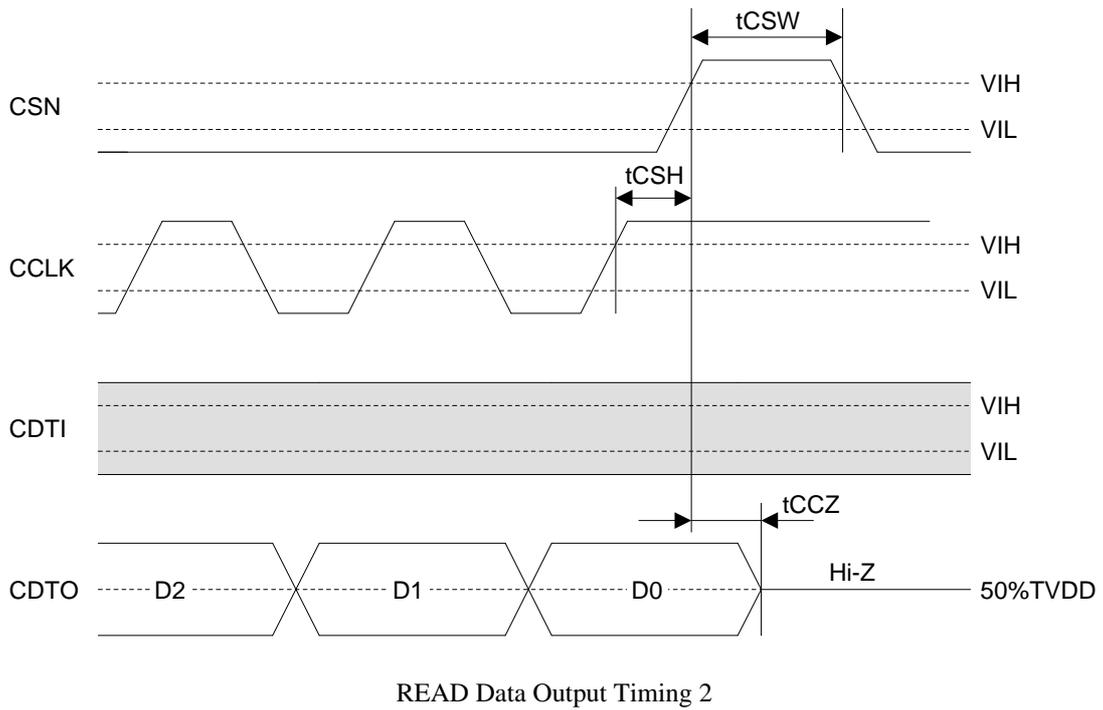
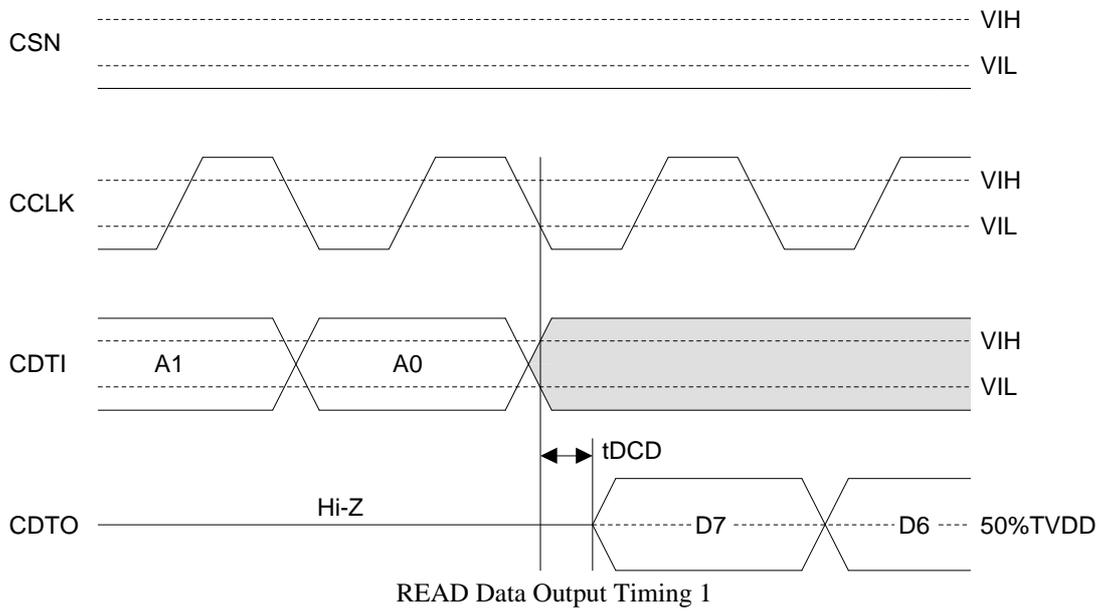


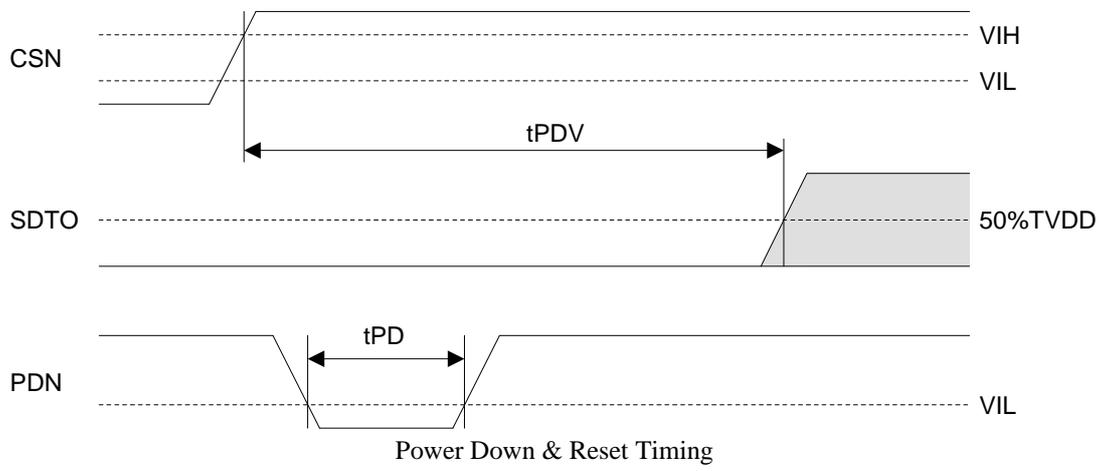
Audio Interface Timing (Slave mode)



Audio Interface Timing (Master mode)







動作説明

■ デバイス内部の信号パス

DAC, SDTOはADC, SDTI, DIR出力から、DITはADC, SDTI出力からスイッチにより1つの入力を選択します。また、DIR, DITをスルーするパスも選択できます。図中のスイッチの名前(DAC1-0 etc)はレジスタのビットに対応します。詳細はレジスタマップの「詳細説明」の項(アドレス08H)を参照して下さい。

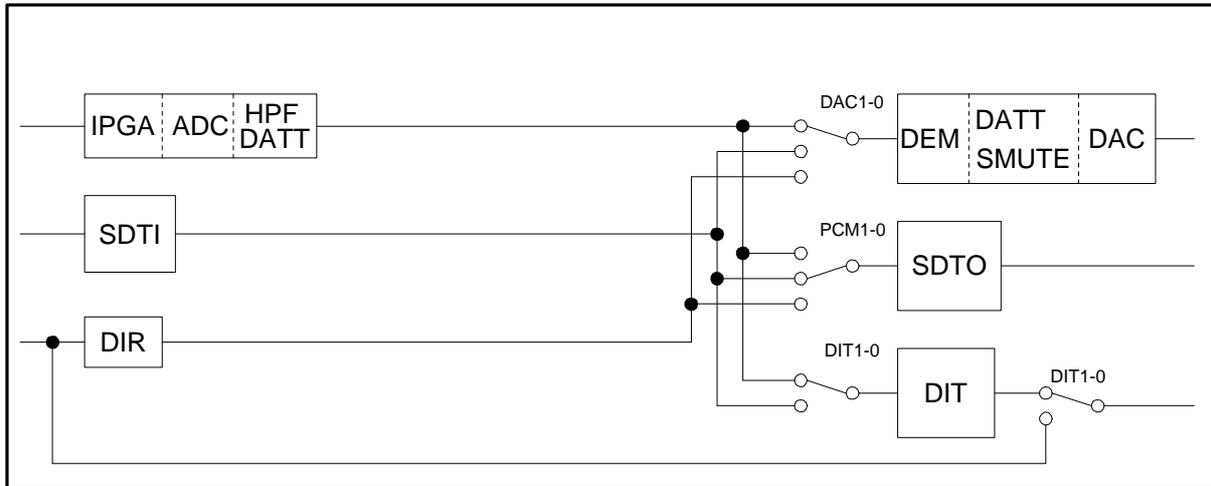


Figure 1. Connection Input Source & Output Source

■ マスタクロック動作モード

AK4584のクロックソースとして、PLLを使用するかX'tal(外部クロックソースも含まれます)を使用するかはCM1-0ビットで設定されます(Table 1)。Mode 2ではPLLがUnlockになるとクロックソースが自動的にX'talに切り替わります。Mode 3ではクロックソースはX'talに固定ですが、チャンネルステータス等のRXデータはモニタできます。Mode 2, 3ではPLLとX'talの周波数が重ならないように設定することを推奨します。XTALE="L"かつXTL1-0ビット="11"の時、Mode 0でX'tal発振は停止します。CM1-0ビットの初期値は"01"です。

CM1-0ビットを切り替えた場合、信号パスは自動的に切り替わりませんので、アドレス08Hで出力ソースを適宜、選択して下さい。

Mode	CM1	CM0	UNLOCK	PLL	X'tal	Clock Source
0	0	0	-	ON	*	PLL
1	0	1	-	OFF	ON	X'tal
2	1	0	0	ON	ON	PLL
			1	ON	ON	X'tal
3	1	1	-	ON	ON	X'tal

Default

ON : 発振 (Power-up), OFF : 停止 (Power-down)

* : XTALE="L"かつXTL1-0ビット="11"の時OFF、それ以外はON

Table 1. Clock Operation Mode Select

■ マスタクロック出力

AK4584はマスタクロック出力ピンを2ピン持ちます。マスタクロックソースとしてPLLでリカバリしたクロック、または外付けのX'talで発振したクロックのどちらかを選択できます。PLLモード時、マスタクロック出力(MCKO1 or MCKO2)のfsに対する比はOCKS1-0ビットで設定します(Table 2)。X'talモード及び外部クロックモード時、マスタクロック出力(MCKO1 or MCKO2)は1倍と1/2倍が出力されます(Table 3)。また、MCKO1はDMCKピンでディセーブルできます。DMCK="H"で"L"出力(ディセーブル)、DMCK="L"で通常出力です。PLLモード時、各設定モード毎に対応可能なfsにはTable 2のような制限があります。Mode 0では96kHzサンプリングはサポートしません。OCKS1-0ビットの初期値は"01"です。

Mode	OCKS1	OCKS0	MCKO1	MCKO2	fs
0	0	0	512fs	256fs	~ 48kHz
1	0	1	256fs	128fs	~ 96kHz
2	1	0	128fs	64fs	~ 192kHz
3	1	1	64fs	32fs	~ 192kHz

Default

Table 2. Master Clock Output Frequency Select (PLL Mode)

X'tal	MCKO1	MCKO2
11.2896MHz	11.2896MHz	5.6448MHz
12.288MHz	12.288MHz	6.144MHz
24.576MHz	24.576MHz	12.288MHz

Table 3. Master Clock Output Frequency Select (X'tal Mode)

・ハイエンドADC(AK5394)とDAC(AK4394)をAK4584の外部に接続する際のクロックの選択方法

AK4584をマスターモードで使用し、AK5394、AK4394をスレーブモードで使用する場合の接続例です。

	AK5394	AK4394
クロック出力	MCKO2	MCKO1
通常速	256fs	512fs
2倍速	128fs	256fs
4倍速	64fs	128fs

Table 4. Clock Select for AK5394 & AK4394

■ システムクロック

マスタクロック(MCLK)はXTIピンとXTOピンの間にX'tal発振子を接続するか、またはXTOピンをオープンにしてXTIピンに外部からCMOSレベルクロックを入力する、ACカップルして40%DVDD以上のレベルのクロックを入力する、もしくは内蔵のPLLでリカバリしたクロックから得られます。マスタクロック周波数は、X'talモード及び外部クロックモードの場合、ICKS1-0ビットで設定(Table 5)され、DFS1-0ビットで通常速モード、2倍速モード、4倍速モードを選択します(Table 6)。4倍速モードでは、ADCはパワーダウンされます。

X'tal発振子を使用する場合は、外部に負荷容量(XTI/XTOとDVSS間)が必要です。外部クロックを入力する場合は、DVDDのCMOSレベル信号を直接入力する場合と、40%DVDD以上の電圧の信号をACカップルして入力する場合があります。

スレープモードではマスタクロックとLRCKは同期する必要がありますが、位相を合わせる必要はありません。また、動作中(PDN="H"かつコントロールレジスタによってPWVRNビットが"H"の時)に外部クロック(MCLK, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ動作が異常になる可能性があります。クロックを止める場合にはパワーダウン状態(PDN="L"またはコントロールレジスタによってPWVRNビットを"L"に設定)して下さい。同様に、マスターモードではパワーダウン時以外は、X'tal発振子をつけて発振させておくか、外部クロック(MCLK)を供給するか、PLLを動作させておいて下さい。

Mode	ICKS1	ICKS0	MCLK		
			Normal (DFS1-0 = "00")	Double (DFS1-0 = "01")	Quad (DFS1-0 = "10")
0	0	0	256fs	N/A	N/A
1	0	1	384s	N/A	N/A
2	1	0	512fs	256fs	128fs
3	1	1	768fs	384fs	192fs

Default

Table 5. Master Clock Input Frequency Select (X'tal Mode)

DFS1	DFS0	Sampling Rate
0	0	通常速
0	1	2倍速
1	0	4倍速
1	1	N/A

Default

Table 6. Sampling Speed

MCLK Normal	fs=44.1kHz	MCLK Double	fs=88.2kHz	MCLK Quad	fs=176.4kHz
256fs	11.2896MHz	128fs	N/A	64fs	N/A
384fs	16.9344MHz	192fs	N/A	96fs	N/A
512fs	22.5792MHz	256fs	22.5792MHz	128fs	22.5792MHz
768fs	33.8688MHz	384fs	33.8688MHz	192fs	33.8688MHz

MCLK Normal	fs=48kHz	MCLK Double	fs=96kHz	MCLK Quad	fs=192kHz
256fs	12.288MHz	128fs	N/A	64fs	N/A
384fs	18.432MHz	192fs	N/A	96fs	N/A
512fs	24.576MHz	256fs	24.576MHz	128fs	24.576MHz
768fs	36.864MHz	384fs	36.864MHz	192fs	36.864MHz

Table 7. Master Clock Frequencies example

*水晶発振モードは11.2896MHzから24.576MHzに対応します。
 *24.576MHzを越える周波数は外部クロック入力のみ対応します。

■ クロックソース

(1) X'talを使用する場合

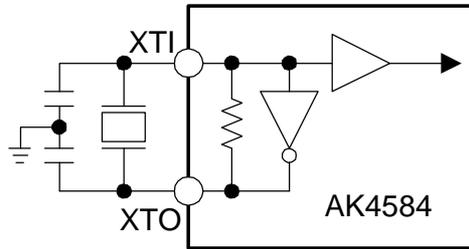


Figure 2. X'tal mode

- Note: コンデンサの値は水晶振動子に依存します。(typ. 10 ~ 40pF)

(2) 外部クロックを使用する場合

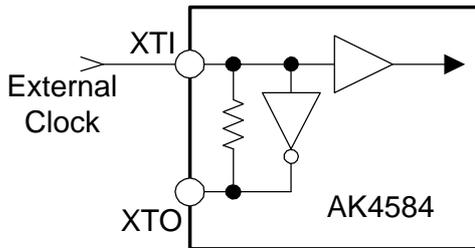


Figure 3. (a) External Clock mode
(Input : CMOS Level)

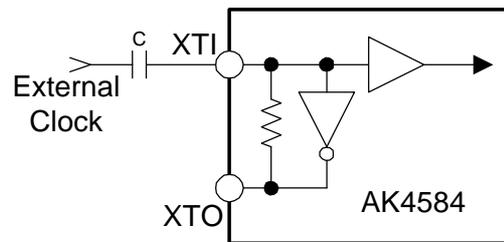


Figure 3. (b) External Clock Mode
(Input : $\geq 40\% DVDD$)

- Note: DVDD以上のクロックは入力しないで下さい。

(3) XTI/XTOを使用しない場合

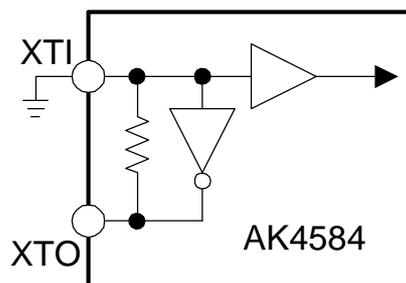


Figure 4. Off mode

■ 192kHz対応クロックリカバリ回路

内蔵する低ジッタPLLは32kHzから192kHzのロックレンジを持ち、ロック時間は20ms以下です。また、チャンネルステータスのサンプリング周波数情報、または、X'talの周波数との比較により、サンプリングレート(32k, 44.1k, 48k, 88.2k, 96k, 176.4k, 192k)を検出します。正しい間隔でプリアンプルを受信しないと同期外れが起きます。

■ バイフェーズ入力

AK4584は4入力(RX1-4)に対応します。各入力は不平衡モードに対応したアンプが内蔵されており、200mVppの信号も受信可能です。

IPS1	IPS0	Input Data	Default
0	0	RX1	
0	1	RX2	
1	0	RX3	
1	1	RX4	

Table 8. Recovery Data Select

■ バイフェーズ出力

TX1-2ピンからはRXから受信したデータのスルー出力を、TX3ピンからはSDTIからのデータ及びアナログ入力をA/D変換したデータをIEC60958フォーマットに変換したデータ及びRXから受信したデータのいずれかを出力できます。

TX1-2ピンへの出力の選択はOPS1-0ビットで行い、TX3ピンへの出力の選択はDIT1-0ビットで行います。TX1-3出力はTX1E, TX2E, TX3Eの各ビットで出力を止めることができます。

Cビットは最初の5byteをレジスタでコントロールできます。コンシューマモード(CT0ビット="0")の場合、bit20-23(Audio Channel)への直接書き込みは不可です。TCHビットが"1"の時はステレオ出力に対応し、Sub frame 1は"1000"(左チャンネル)、Sub frame 2は"0100"(右チャンネル)が自動的に設定されます。TCHビットが"0"の時は"0000"(指定なし)になります。

また、UビットはUDITビットにより2通りの中から選択できます。UDITビットが"0"で"0"固定、UDITビットが"1"でリカバリしたUビットをそのままDITから出力します。このモードはPLLがロック時のみ対応します。PLLがアンロック時、Uビットは"0"を出力します。

OPS1	OPS0	Output Data	Default
0	0	RX1	
0	1	RX2	
1	0	RX3	
1	1	RX4	

Table 9. Output Data Select for TX1/2

DIT1	DIT0	Input Source	Default
0	0	ADC	
0	1	SDTI	
1	0	DIR	
1	1	N/A	

Table 10. Output Data Select for TX3

Note: アンロック解除後のV-bitデータ列1周期は破棄して下さい。
正常なデータ転送ができていない可能性があります。

■ バイフェーズ信号入出力回路

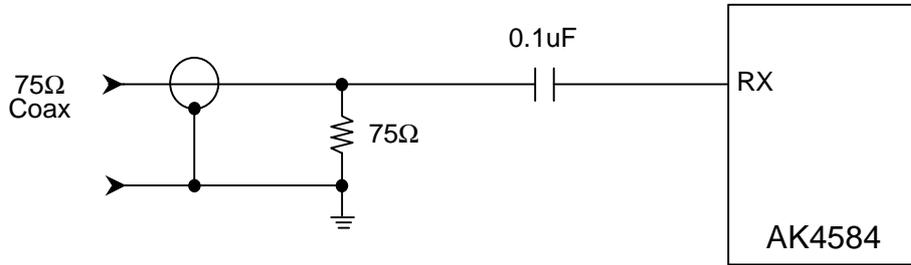


Figure 5. Consumer Input Circuit (Coaxial Input)

Note 1 : Coaxial入力では、隣接するRX入力パターンからカップリングするノイズレベルが50mVを越える場合、誤動作する可能性があります。カップリングしないように充分シールドして下さい。

Note 2 : 同軸コネクタのグランド及び終端先のグランドはPCボード上でAK4584のPVSSと低インピーダンスで接続して下さい。

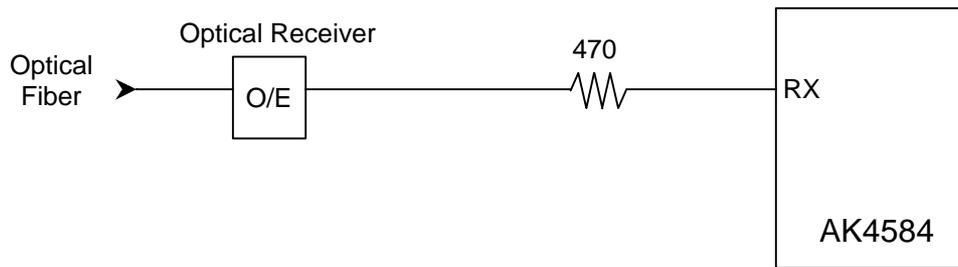


Figure 6. Consumer Input Circuit (Optical Input)

Coaxial入力の場合、RXの受信レベルは非常に小さいので、複数のRX入力間でクロストークを起こさないように配線の中にシールドパターンを入れるなどして注意して下さい。

AK4584はTX出力バッファを内蔵し、外部抵抗と組み合わせて0.5V+/-20%を満足します。Figure 7ではT1は1:1のトランスです。

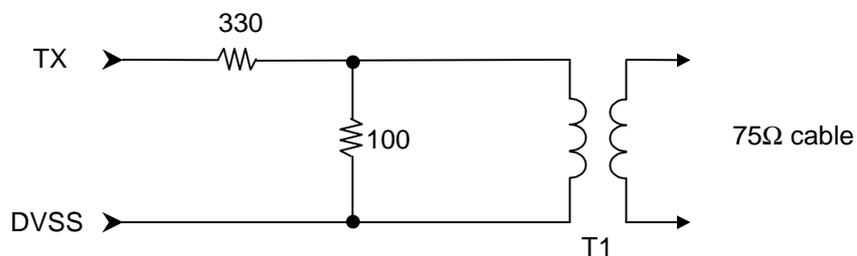


Figure 7. TX External Resistor Network

■ サンプリング周波数検出とプリエンファシス検出

サンプリング周波数検出方法として2種類の方法が可能です。XTL1-0ビットにより、X'talの周波数との比較で周波数を検出して、コントロールレジスタのFS3-0ビットに出力します。比較するX'talの周波数はレジスタにより選択できます。XTALE="L"かつXTL1-0ビット="11"の場合には、水晶発振回路は停止し、チャンネルステータスのサンプリング周波数情報をエンコードしてコントロールレジスタのFS3-0ビットに出力します。FS3-0ビットの初期値は"0000"です。

XTL1	XTL0	X'tal Frequency
0	0	11.2896MHz
0	1	12.288MHz
1	0	24.576MHz
1	1	チャンネルステータス使用

Default

Table 11. Reference X'tal Frequency

Register Output				fs	XTL1-0ビット="11"以外 Clock comparison	XTL1-0ビット="11"		
FS3	FS2	FS1	FS0			Consumer Mode (Note 1) Byte3 Bit3,2,1,0	Pro Mode Byte0 Bit7,6	Byte4 Bit6,5,4,3
0	0	0	0	44.1kHz	± 3%	0000	01	0000
0	0	0	1	Reserved	-	0001	(others)	0000
0	0	1	0	48kHz	± 3%	0010	10	0000
0	0	1	1	32kHz	± 3%	0011	11	0000
1	0	0	0	88.2kHz	± 3%	(1000)	00	1010
1	0	1	0	96kHz	± 3%	(1010)	00	0010
1	1	0	0	176.4kHz	± 3%	(1100)	00	1011
1	1	1	0	192kHz	± 3%	(1110)	00	0011

Table 12. fs Information

Note 1. When consumer mode, Byte3 Bit3-0 are copied to FS3-0.

また、プリエンファシス情報をエンコードして、コントロールレジスタのPEMビットに出力します。これらの情報は、リセット時(CS12ビット="0"の時)、チャンネル1の情報をエンコードしますが、コントロールレジスタのCS12ビットを"1"にすることでチャンネル2に切り替えることも可能です。

PEM bit	Pre-emphasis	Byte0 Bit3,4,5
0	OFF	≠ 0X100
1	ON	0X100

Table 13. PEM in Consumer Mode

PEM bit	Pre-emphasis	Byte0 Bit2,3,4
0	OFF	≠ 100
1	ON	100

Table 14. PEM in Pro Mode

■ エラー発生時の処理

INT1-0ピンが“H”になる要因には以下の8つがあります。

- (1) UNOCK: PLLがアンロック状態になると“H”になります。
正しいプリアンプルが受信できない、もしくはその間隔が正しくない場合にアンロックとなります。
- (2) PAR: パリティエラー(バイフェーズエラーを含む)
各サブフレーム毎に更新され、アドレス0EHを読み込むとリセットされます。
- (3) AUTO: Non-Linear PCMビットストリーム検出。
- (4) DTSCD: DTS-CDビットストリーム検出。
- (5) AUDION: Non-Audio検出。
- (6) PEM: プリエンファシス検出。
- (7) V: バリディティ検出。
- (8) FS: FS検出。
FS3-0ビットが変化すると、1サブフレームの間、“H”になります。
FS3-0ビットの内容はC-bit上のfs-bitまたはX'talによる周波数検出結果(Table 12を参照)で、1ブロック毎に前回のデータと比較されます。アドレス0EHを読み込むとリセットされます。

上記(1)から(8)の要因のORが各INTピンに出力されます。但し、各要因はそれぞれのマスクビットでマスクでき、その要因はINTピンには反映されません(但し、0EHのレジスタには反映されます)。INT0出力は全ての要因が正常動作に復帰した後、1024/fs(EFH1-0ビットで変更可)間は“H”の状態を保持します。また、PARビットとFSビットは一度“1”になるとその値が保持され、アドレス0EHを読み込むとリセットされます。

アンロック時はチャンネルステータスビットに関するレジスタは更新されず、前の値を保持します。初期状態では、INT0ピンはUNLOCK, PARビットが有効に、またINT1ピンはAUTO, DTSCD, AUDION, VDIRビットが有効になっています。

PLLがOFFの場合、INT1-0ピンは“L”になります。

Register								Pin	
UNLOCK	PAR	AUTO	DTSCD	AUDION	PEM	VDIR	FS	SDTO	TX
1	x	x	x	x	x	x	x	“L”	Output
0	1	x	x	x	x	x	x	Previous Data	Output
0	0	1	x	x	x	x	x	Output	Output
0	0	x	1	x	x	x	x	Output	Output
0	0	x	x	1	x	x	x	Output	Output
0	0	x	x	x	1	x	x	Output	Output
0	0	x	x	x	x	1	x	Output	Output
0	0	x	x	x	x	x	1	Output	Output

Table 15. Error Handling (x : Don't Care)

Note : Table 15はSDTOの入力ソースとして、DIRを選択した場合の表です。

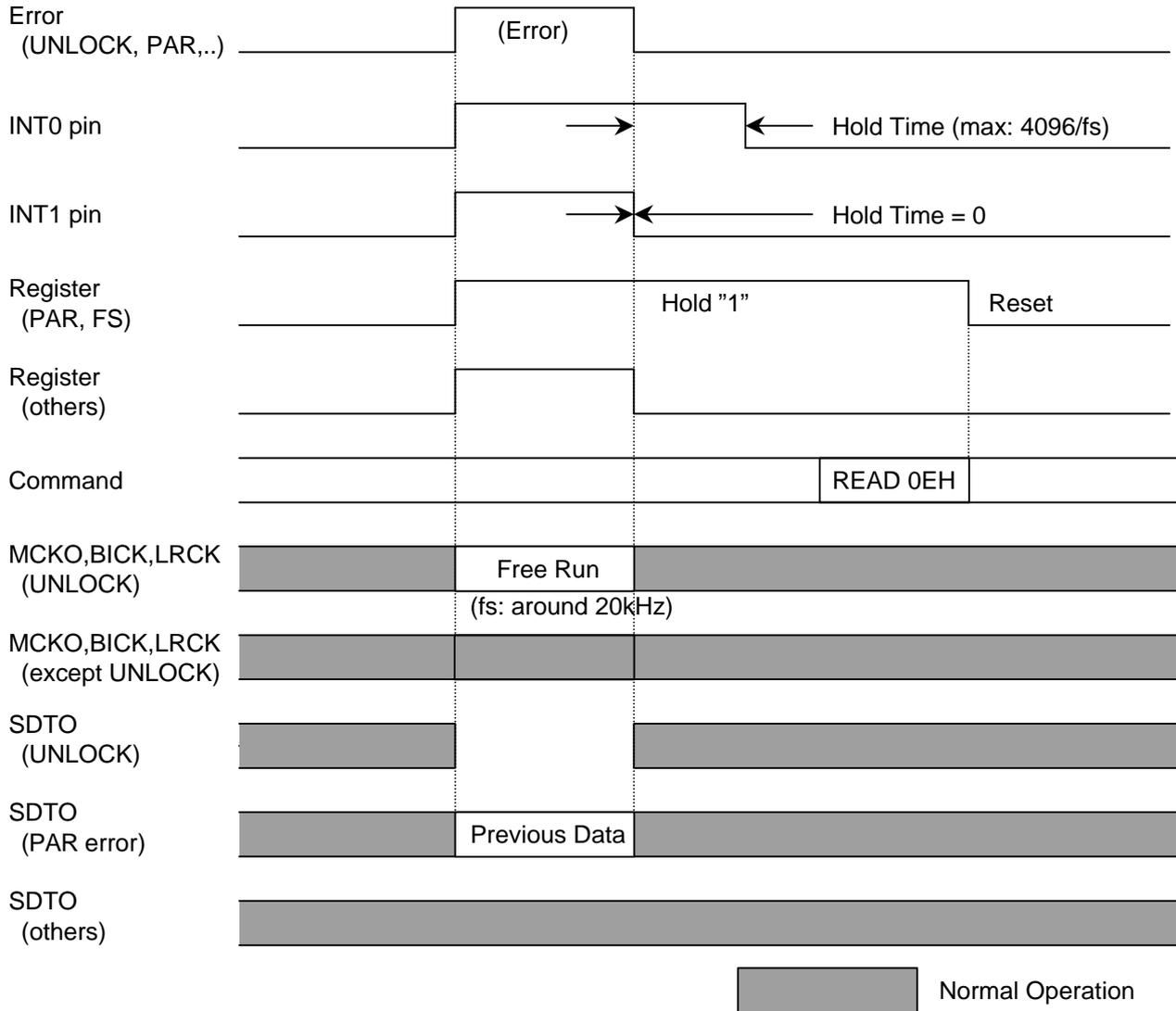


Figure 8. INT0/1 pin Timing

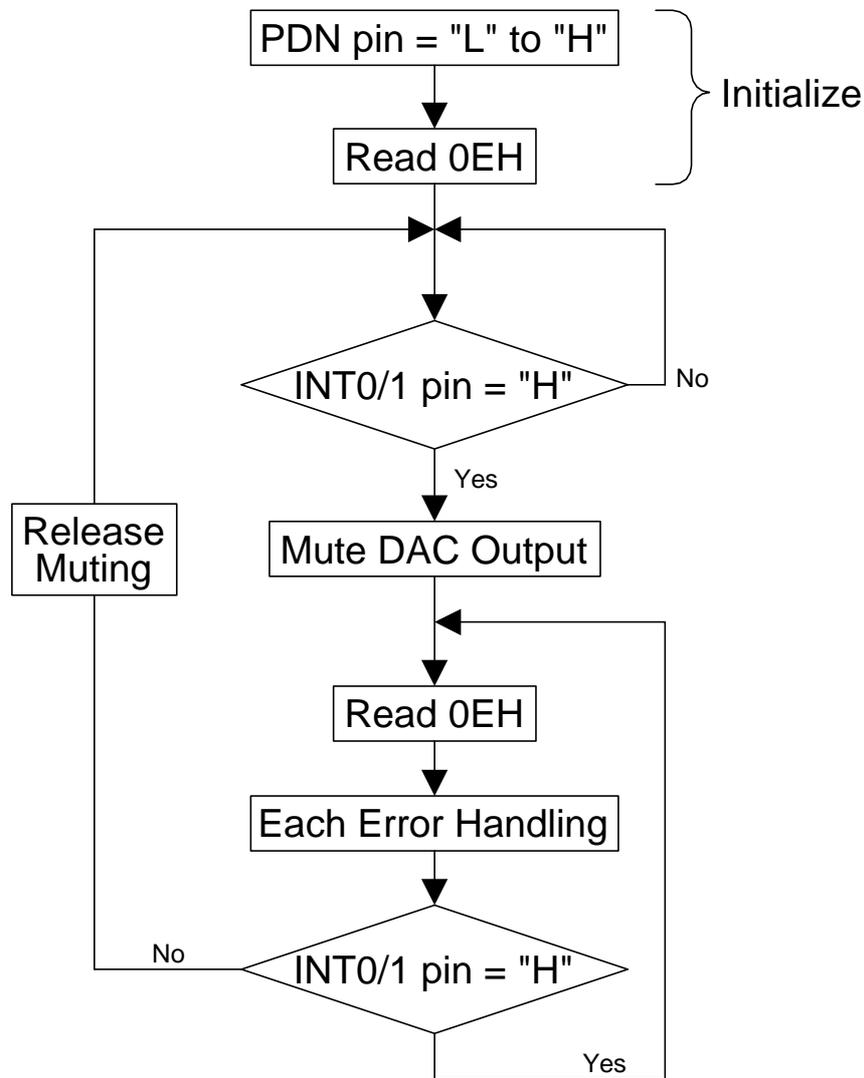


Figure 9. Error Handling Sequence Example

■ Non-PCM/DTS-CDデータストリーム検出機能

AK4584はNon-PCMデータストリームの検出機能を持ちます。Dolby “AC-3 Data Stream in IEC60958 Interface” に準拠した32bit ModeのNon-PCMデータプリアンブルが検出される時、AUTOビットが“1”になります。プリアンブルの96bit sync codeは0x0000, 0x0000, 0x0000, 0x0000, 0xF872 and 0x4E1Fで構成されます。次の4096フレームでsync codeが検出されない場合、更にsync codeが検出されるまでAUTOビットは“0”です。また、このプリアンブルが検出された場合、sync codeに続いて2バイト(Pc, Pd)をレジスタに格納します。同様にDTS-CDのデータプリアンブルが検出されるとDTS-CDビットが“1”になります。次の4096フレームでsync codeが検出されない場合、更にsync codeが検出されるまでDTS-CDビットは“0”です。

■ オーディオインタフェースフォーマット

5種類のデータフォーマット(Table 16)がDIF2-0ビットで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでSDTOはBICKの立ち下がりで出力され、SDTIはBICKの立ち上がりでラッチされます。オーディオインタフェースはマスタモードとスレーブモードに対応します。マスタモードではLRCKとBICKは出力になり、スレーブモードでは入力になります。マスタモード時のLRCK周波数とBICK周波数はそれぞれfsと64fsです。

20ビット以下のフォーマット(Mode0-1)では、サブフレームのLSB側が切り捨てられます。Mode2-4では下位4ビットはAuxデータです。Figure 10にビット構成を示します。

SDTI入力フォーマットのうち、Mode2, 3, 4を16~20ビットで使用する場合には、データのないLSBには“0”を入力して下さい。

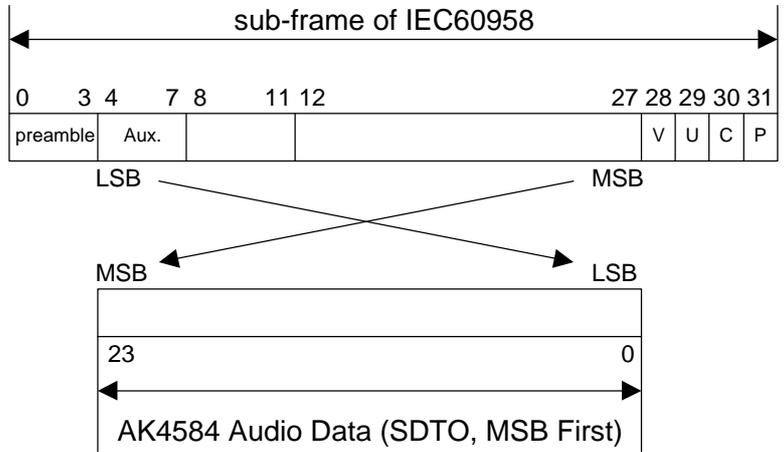


Figure 10. Bit Structure

Mode	DIF2	DIF1	DIF0	SDTO	SDTI	LRCK	BICK
0	0	0	0	24bit, MSB justified	16bit, LSB justified	H/L	≥ 32fs
1	0	0	1	24bit, MSB justified	20bit, LSB justified	H/L	≥ 40fs
2	0	1	0	24bit, MSB justified	24bit, MSB justified	H/L	≥ 48fs
3	0	1	1	24bit, I ² S Compatible	24bit, I ² S Compatible	L/H	≥ 48fs
4	1	0	0	24bit, MSB justified	24bit, LSB justified	H/L	≥ 48fs

Default

Table 16. Audio Data Format

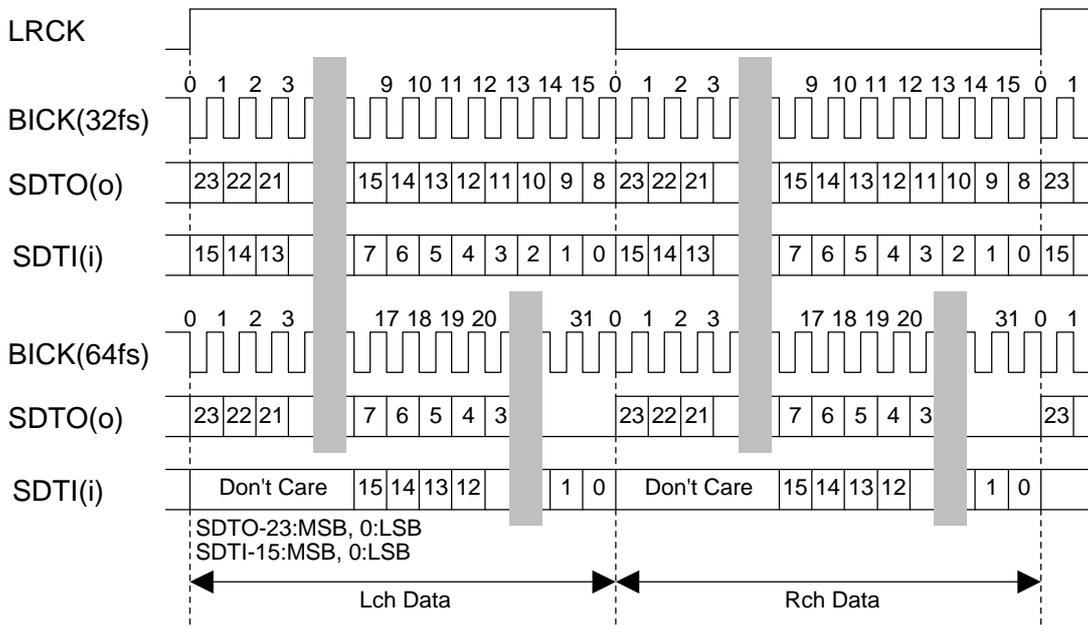


Figure 11. Mode 0 Timing

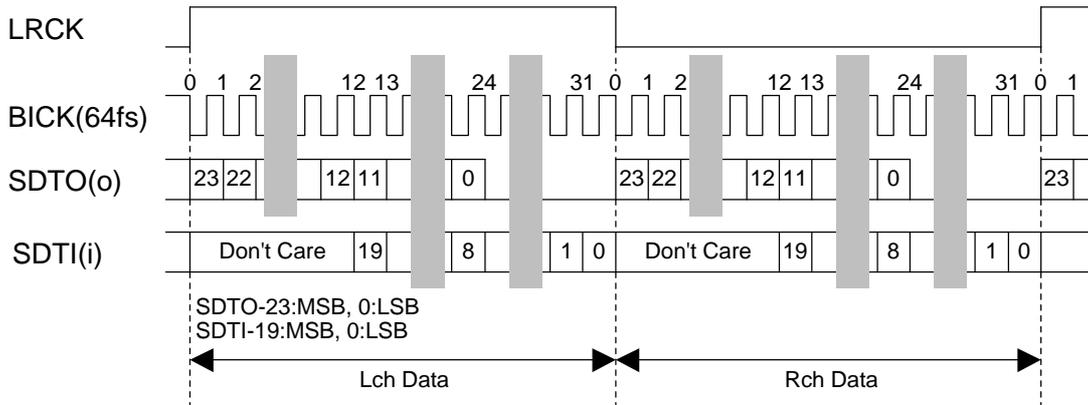


Figure 12. Mode 1 Timing

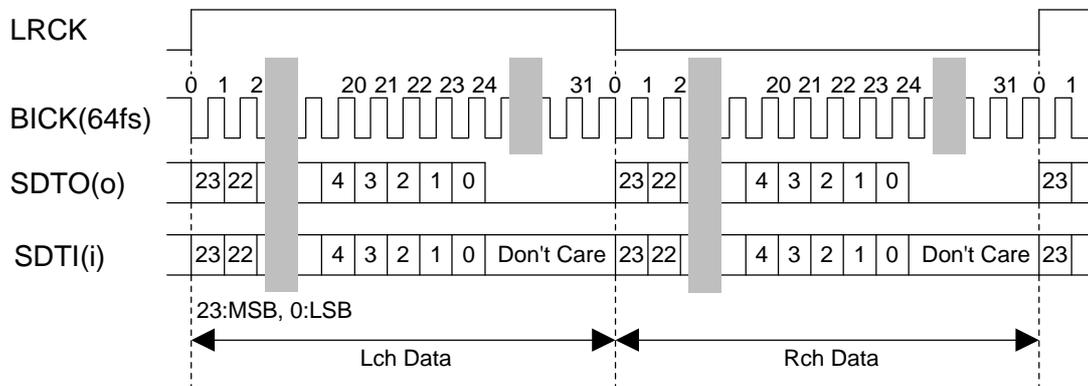


Figure 13. Mode 2 Timing

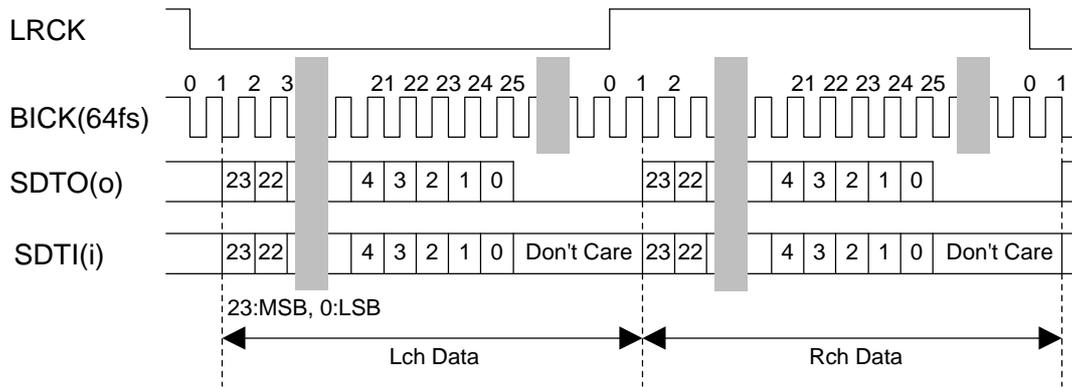


Figure 14. Mode 3 Timing

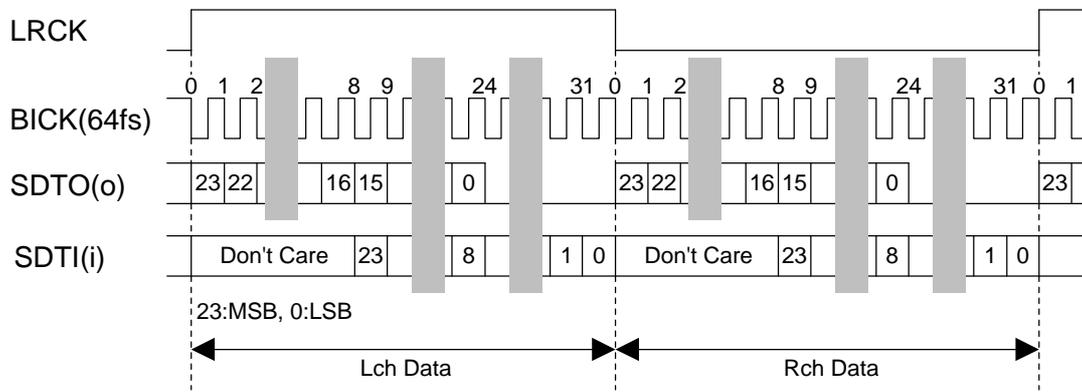


Figure 15. Mode 4 Timing

■ マスターモードとスレーブモードの切り替え

マスターモードとスレーブモードの切り替えはM/Sピンで行います。“H”でマスターモード、“L”でスレーブモードです。AK4584がマスターモードの時には、AK4584からMCKO, BICK, LRCKが出力されます。AK4584がスレーブモードの時には、AK4584からはMCKOのみが出力され、BICK, LRCKは外部DSPから供給する必要がありますので、外部DSPからMCKOを分周したBICK, LRCKを供給して下さい。

	MCKO1/2	BICK, LRCK
Slave Mode	MCKO1 = Output MCKO2 = Output	BICK = Input LRCK = Input
Master Mode	MCKO1 = Output MCKO2 = Output	BICK = Output LRCK = Output

Table 17. Master mode/Slave mode

■ クロック動作とパワーダウンの関係

AK4584がパワーダウン時、スレーブモード/マスターモードに関係なく、XTALEピンでクロック出力をコントロールできます。MCKO1はDMCKピンで出力をディセーブルできます。

PDN pin	M/S pin	XTALE pin	CM1-0 bit	MCKO1/2	BICK, LRCK	DIR, CODEC
L	L	L	default値 “01”固定	MCKO1 = L MCKO2 = L	BICK = Input LRCK = Input	Power Down
		H		MCKO1 = Output ¹⁾ MCKO2 = Output ¹⁾		
	H	L		MCKO1 = L MCKO2 = L	BICK = L LRCK = L	Power Down
		H		MCKO1 = Output ¹⁾ MCKO2 = Output ¹⁾		
H	L	Don't Care	使用可	MCKO1 = Output ²⁾ MCKO2 = Output ²⁾	BICK = Input LRCK = Input	Normal Operation
	H				BICK = Output LRCK = Output	

Table 18. Clock Operation

Note 1): DIRがパワーダウンするため、クロックソースはX'tal発振子もしくは外部クロックになります。

Note 2): クロックソースはCM1-0ビットで決定されます。但し、モード切替時にMCKO出力が瞬間的に停止することがあります。

Note: XTALE="L"で外部クロックをACカップルなしで使用する場合、PDNピンを“L”にする時には、XTIピンを“L”に固定して下さい。

■ デジタルHPF

ADCはDCオフセットキャンセルのためにデジタルHPFを内蔵します。HPFのfcは、fs=44.1kHz時、0.9Hzになっており、周波数応答はfsに比例します。

■ 入力ボリューム

ADCの前段に37レベル、0.5dBステップの2ch独立のアナログボリューム(IPGA)を内蔵し、後段に128ステップ(ミュートを含む)のデジタルボリューム(入力ATT: IATT)を内蔵します。両ボリュームのコントロールは同じアドレスのレジスタにアサインされ、MSBが“1”の場合はIPGAが変化し、“0”の場合はIATTが変化します。

IPGAはアナログボリュームのため、デジタル方式に比べてS/N改善に効果があります(Table 19)。さらにゼロクロス検出機能により切り替えノイズを低減します。ゼロクロス検出は各ch独立に行われます。ゼロクロスしない場合はタイムアウトで強制的に切り替わります。その際タイムアウト時間(T_o)は f_s に比例し、通常速モードでは $T_o=256/f_s$ から $2048/f_s$ を選択できます。ゼロクロスまたはタイムアウトでIPGAが切り替わる前にIPGAレジスタに新しい値を書き込むと、前回のIPGA値は無効になります。また、タイムアウトのためのタイマ(L/R独立)がリセットされ、書き込んだ新しいIPGA値への変更動作が始まります。ゼロクロス検出機能はゼロクロスイネーブルビット(ZCEI)でON/OFF可能です。

IATTは内部リニア補間された疑似ログボリュームでレベルを切り替えた場合、レベル間は最大8031ステップでソフト遷移します。そのため切り替えノイズは全く出ません。

	Input Gain Setting		
	0dB	+6dB	+18dB
fs=44.1kHz, A-weight	100dB	98dB	90dB

Table 19. PGA+ADC S/N

ZTM1	ZTM0	通常速	2倍速	Default
0	0	256/fs	512/fs	
0	1	512/fs	1024/fs	
1	0	1024/fs	2048/fs	
1	1	2048/fs	4096/fs	

Table 20. Zero Crossing Timeout

■ ディエンファシスフィルタコントロール

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15 μ s特性)を内蔵しています。DEM1-0ビットでディエンファシスフィルタをコントロールできます(Table 21)。2倍速、4倍速時には対応しません。

DEM1	DEM0	Mode	Default
0	0	44.1kHz	
0	1	OFF	
1	0	48kHz	
1	1	32kHz	

Table 21. De-emphasis Control

■ 出力ボリューム

AK4584はMUTEを含む0.5dBステップ、256レベルのチャンネル独立デジタル出力ボリューム(ATT)を内蔵します。このボリュームはDACの前段にあり入力データを0dBから-127dBまで減衰、またはミュートします。設定値間の遷移はソフト遷移です。従って、遷移中にスイッチングノイズは発生しません。

■ ソフトミュート機能

DAC入力のデジタル部にソフトミュート機能を内蔵します。ソフトミュートはSMUTEビットでコントロールできます。SMUTEビットを“H”にすると1024LRCKサイクルでDACのデータが $-\infty$ (“0”)までアテネーションされます。SMUTEビットを“L”にすると $-\infty$ 状態が解除され、 $-\infty$ から1024LRCKサイクルで0dBまで復帰します。ソフトミュート開始後、1024LRCKサイクル以内に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。

ソフトミュート機能は出力ボリュームとは独立しており、縦続接続された関係です。

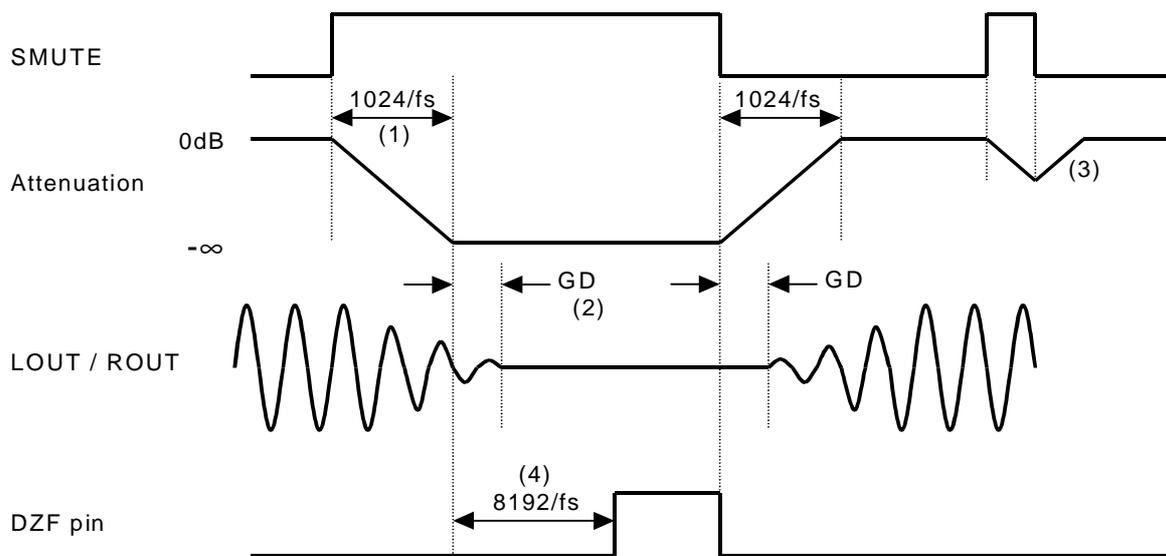


Figure 16. ソフトミュート機能とゼロ検出機能

- (1) 1024LRCKサイクル(1024/fs)で入力データが $-\infty$ (“0”)までアテネーションされます。
- (2) デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (3) 1024LRCKサイクル以内にソフトミュートが解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。
- (4) 入力データが両チャンネル共に8192回連続して“0”の場合、DZFピンが“H”になります。その後、入力データが“0”でなくなると、DZFピンは“L”になります。

■ ゼロ検出機能

AK4584のDACはL/Rチャンネル共通のゼロ検出機能を持ちます。L/R両チャンネルの入力データが8192回連続して“0”の場合、DZFピンが“H”になります。その後、入力データが“0”でなくなるとDZFピンが“L”になります。ゼロ検出機能はDZFEビットで無効にできます。この時、両チャンネルのDZFピンは常に“L”です。

PDNピンが“L”の時は両チャンネルのDZFピンは“L”です。PDNピンによるパワーダウン解除(PDNピン=“L” → “H”)時、DZFピンは“L” → “H”に変化します。PWVRNビットが“0”の時は、両チャンネルのDZFピンは“L”です。

RSTDANビットに“0”を書き込むと直ちにDZFピンは“H”になり、その後、 $4/f_s \sim 5/f_s$ 後にLSI内部がリセットされます。RSTDANビットに“1”を書き込んでから $6/f_s \sim 7/f_s$ の間、DZFピンは“H”を出力し続け、その後“L”になります。上記のRSTDANビットに“0”を書き込んでから $5/f_s$ 以内にRSTDANビットに“1”が書き込まれると、LSI内部は正常にリセットされない場合があります。

PWDANビットに“0”を書き込むと直ちにDZFピンは“H”になり、その後、 $4/f_s \sim 5/f_s$ 後にLSI内部がリセットされます。PWDANビットに“1”を書き込んでから $6/f_s \sim 7/f_s$ の間、DZFピンは“H”を出力し続け、その後“L”になります。上記のPWDANビットに“0”を書き込んでから $5/f_s$ 以内にPWDANビットに“1”が書き込まれると、LSI内部は正常にリセットされない場合があります。

PDNピン=“H”かつPWDANビット=“1”かつRSTDANビット=“1”となった状態から $1/f_s$ 後に通常のゼロ検出機能のための8192カウントが開始されます。

■ リセットとパワーダウン

AK4584は、PDNピンによる回路全体のパワーダウンとレジスタによる一部パワーダウンが可能です(Table 22)。電源立ち上げ時には必ずPDNピンに一度“L”を入力してリセットして下さい。

PDN	PWDITN	PWVRN	PWADN	PWDAN	CM1-0	Function	Register Initialization
L	x	x	x	x	x	All Power-down	Yes
	0	x	x	x	x	DIT Power-down	No
	x	0	x	x	x	VREF Power-down	No
	x	x	0	x	x	ADC Power-down	No
	x	x	x	0	x	DAC Power-down	No
	x	x	x	x	00	X'tal Power-down	No
	x	x	x	x	01	PLL Power-down	No

Table 22. Reset & Power Down

■ シリアルコントロールインタフェース

4線式シリアルI/Fピン：CSN, CCLK, CDTI, CDTOで書き込み及び読み出しを行います。I/F上のデータはChip address(2bits, C1/0, “00”固定)、 Read/Write(1bit)、 Register address(MSB first, 5bits)とControl data(MSB first, 8bits)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になります。CCLKのクロックスピードは5MHz(max)です。アクセスしない時はCSNを“H”または“L”に固定して下さい。チップアドレスは“00”に固定です。チップアドレス“00”以外の入力に対しては書き込みが無効になります。PDNピン=“L”で内部レジスタ値は初期化されます。

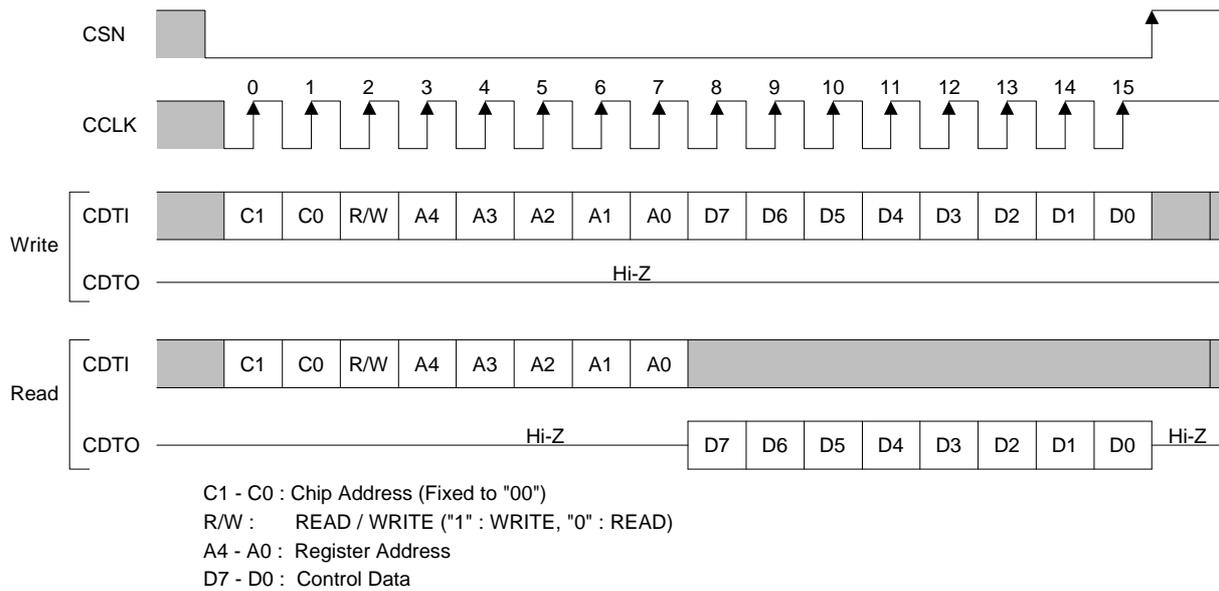


Figure 17. Control I/F Timing

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Down Control	0	0	0	TEST	PWDITN	PWVRN	PWADN	PWDAN
01H	Reset Control	0	0	0	0	0	0	RSTADN	RSTDAN
02H	Clock & Format Control	0	0	0	DIF2	DIF1	DIF0	DFS1	DFS0
03H	Deem & Volume Control	MSD70	SMUTE	DZFE	ZCEI	ZTM1	ZTM0	DEM1	DEM0
04H	Lch IPGA Control	IPGL7	IPGL6	IPGL5	IPGL4	IPGL3	IPGL2	IPGL1	IPGL0
05H	Rch IPGA Control	IPGR7	IPGR6	IPGR5	IPGR4	IPGR3	IPGR2	IPGR1	IPGR0
06H	Lch OATT Control	ATTL7	ATTL6	ATTL5	ATTL4	ATTL3	ATTL2	ATTL1	ATTL0
07H	Rch OATT Control	ATTR7	ATTR6	ATTR5	ATTR4	ATTR3	ATTR2	ATTR1	ATTR0
08H	In/Out Source Control	0	0	DAC1	DAC0	PCM1	PCM0	DIT1	DIT0
09H	Clock Mode Control	OCKS1	OCKS0	ICKS1	ICKS0	CM1	CM0	XTL1	XTL0
0AH	DIR Control	0	CS12	OPS1	OPS0	IPS1	IPS0	EFH1	EFH0
0BH	DIT Control	0	0	TX3E	TX2E	TX1E	UDIT	VDIT	TCH
0CH	INT0 Mask	MAT0	MDTS0	MAN0	MV0	MPE0	MUL0	MPR0	MFS0
0DH	INT1 Mask	MAT1	MDTS1	MAN1	MV1	MPE1	MUL1	MPR1	MFS1
0EH	Receiver Status 0	AUTO	DTSCD	AUDION	VDIR	PEM	UNLOCK	PAR	FS
0FH	Receiver Status 1	0	0	0	0	FS3	FS2	FS1	FS0
10H	RX Channel Status Byte 0	CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
11H	RX Channel Status Byte 1	CR15	CR14	CR13	CR12	CR11	CR10	CR9	CR8
12H	RX Channel Status Byte 2	CR23	CR22	CR21	CR20	CR19	CR18	CR17	CR16
13H	RX Channel Status Byte 3	CR31	CR30	CR29	CR28	CR27	CR26	CR25	CR24
14H	RX Channel Status Byte 4	CR39	CR38	CR37	CR36	CR35	CR34	CR33	CR32
15H	TX Channel Status Byte 0	CT7	CT6	CT5	CT4	CT3	CT2	CT1	CT0
16H	TX Channel Status Byte 1	CT15	CT14	CT13	CT12	CT11	CT10	CT9	CT8
17H	TX Channel Status Byte 2	CT23	CT22	CT21	CT20	CT19	CT18	CT17	CT16
18H	TX Channel Status Byte 3	CT31	CT30	CT29	CT28	CT27	CT26	CT25	CT24
19H	TX Channel Status Byte 4	CT39	CT38	CT37	CT36	CT35	CT34	CT33	CT32
1AH	Burst Preamble Pc Byte 0	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
1BH	Burst Preamble Pc Byte 1	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8
1CH	Burst Preamble Pd Byte 0	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
1DH	Burst Preamble Pd Byte 1	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8

PDN = “L” resets the registers to their default values.

■ レジスタ設定時の注意点

電源投入時等、PDNピンを“L”から“H”にした場合は、以下のシーケンスでデバイスを立ち上げて下さい。この時、コントロールレジスタは初期値でAK4584はリセット状態です。

- (1) クロックモードと入出力フォーマット等の設定を行う。
- (2) RSTADN, RSTDANを“1”にしてリセット状態を解除する。Reset Control Register (01H)を参照して下さい。
- (3) ADC出力とDAC出力はリセット状態を解除するまで外部でミュートして下さい。
また、マスタモード時はLRCKとBICK出力の周波数やデューティが乱れる可能性があります。

クロック設定レジスタの変更は、RSTADNとRSTDANを“0”にしてから実行して下さい。その間、ADC出力とDAC出力は外部でミュートして下さい。また、マスタモード時はLRCKとBICK出力の周波数やデューティが乱れる可能性があります。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Down Control	0	0	0	TEST	PWDITN	PWVRN	PWADN	PWDAN
	R/W	RD	RD	RD	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	1	1	1	1	1

PWDAN: DAC Power Down

0: Power down

1: Power up

“0”でDAC部のみパワーダウンされます。この時、LOUT/ROUTは即座にHi-Zになり、出力ATTも一旦“FFH”になります。但し、コントロールレジスタの内容は初期化されません。また、コントロールレジスタへの書き込みも可能です。パワーダウン解除時は出力ATTがコントロールレジスタの設定値(06H, 07H)までフェードインします。設定時及び解除時はノイズ発生の可能性があるので外部でミュートして下さい。

PWADN: ADC Power Down

0: Power down

1: Power up

“0”でADC部のみパワーダウンされます。この時、SDTOは即座に“L”になり、入力PGAも一旦“00H”になります。但し、コントロールレジスタの内容は初期化されません。また、コントロールレジスタへの書き込みも可能です。パワーダウン解除時は入力PGAがコントロールレジスタの設定値(04H, 05H)までフェードインします。但し、最初の516LRCKサイクルは“0”が出力されます。

PWVRN: VREF Power Down

0: Power down

1: Power up

“0”でデバイス全体がパワーダウンされます。パワーダウン時はコントロールレジスタの内容は初期化されません。また、コントロールレジスタへの書き込みも可能です。

PWDITN: DIT Power Down

0: Power down

1: Power up

“0”でDIT部のみがパワーダウンされます。従って、TX1, TX2へバイフェーズ信号の出力はできませんが、TX3からはバイフェーズ信号は出力されません。パワーダウン時はコントロールレジスタの内容は初期化されません。また、コントロールレジスタへの書き込みも可能です。

TEST: TEST bit

“1”に固定です。このビットへは書き込まないで下さい。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Reset Control	0	0	0	0	0	0	RSTADN	RSTDAN
	R/W	RD	RD	RD	RD	RD	RD	R/W	R/W
	Default	0	0	0	0	0	0	0	0

RSTDAN: DAC Reset

0: Reset

1: Normal Operation

“0”でDAC部がリセット状態になります。この時、LOUT/ROUTは即座にVCOMレベルになり、出力ATTも一旦“FFH”になります。但し、コントロールレジスタの内容は初期化されません。また、コントロールレジスタへの書き込みも可能です。リセット解除時は出力ATTがコントロールレジスタの設定値(06H, 07H)までフェードインします。設定時及び解除時はノイズ発生の可能性があるので外部でミュートして下さい。

RSTADN: ADC Reset

0: Reset

1: Normal Operation

“0”でADC部のみリセット状態になります。この時、SDTOは即座に“L”になり、入力PGAも一旦“00H”になります。但し、コントロールレジスタの内容は初期化されません。また、コントロールレジスタへの書き込みも可能です。パワーダウン解除時は入力PGAがコントロールレジスタの設定値(04H, 05H)までフェードインします。但し、最初の516LRCKサイクルは“0”が出力されます。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Clock and Format Control	0	0	0	DIF2	DIF1	DIF0	DFS1	DFS0
	R/W	RD	RD	0	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	1	0	0	0

DFS1-0: Sampling Speed Control (see Table 6)

初期値は“00”です。

DIF2-0: Audio Data Interface Modes (see Table 16)

初期値は“010”(ADC, DACとも24bit前詰め)です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Deem and Volume Control	MSDTO	SMUTE	DZFE	ZCEI	ZTM1	ZTM0	DEM1	DEM0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	1	1	0	0	1

DEM1-0: De-emphasis Response (see Table 21)

初期値は“01”(OFF)です。

ZTM1-0: Zero Crossing Time-out Period Select (see Table 20)

初期値は“10”(1024/fs)です。

ZCEI: ADC IPGA Zero Crossing Enable

0: Input PGA gain changes occur immediately

1: Input PGA gain changes occur only on zero-crossing or after timeout.

初期値は“1”(イネーブル)です。

DZFE: Data Zero Detect Enable

0: Disable

1: Enable

ゼロ検出機能はDZFEビットを“0”にすることで無効にできます。この時、DZFピンは常に“L”です。

初期値は“0”(ディセーブル)です。

SMUTE: DAC Input Soft Mute Control

0: Normal operation

1: DAC outputs soft-muted

ソフトミュートは出力ATTとは独立に動作し、デジタル的に実行されます。

MSDTO: SDTO Mute Control

0: Disable

1: Enable

MSDTOビットが“1”の時、SDTO出力にミュートをかけます。この時、SDTO出力は“L”になります。

初期値は“0”(ディセーブル)です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	Lch IPGA Control	IPGL7	IPGL6	IPGL5	IPGL4	IPGL3	IPGL2	IPGL1	IPGL0
05H	Rch IPGA Control	IPGR7	IPGR6	IPGR5	IPGR4	IPGR3	IPGR2	IPGR1	IPGR0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	1	1	1	1	1	1	1

IPGL/R7-0: ADC Input Gain Level (see Table 23)

初期値は“7FH”(0dB)です。

7FH以下のコードを書き込むと128レベルのデジタルATTが動作します。ATTは内部8032レベルのリニアATTになっており、外部128レベルの疑似ログデータに割り当てられます。ATT値間の遷移は8032レベルでソフト遷移します。例えば、127から126にすると、内部は8031から7775までfsサイクル毎に“1”ずつ減衰します。127から0(Mute)までには8031サイクル(182ms@fs=44.1kHz)かかります。

PDNピン“L”時“00H”に設定され、PDNピン“H”で初期値“7FH”まで8031サイクルでフェードインします。

PWADNビット=“0”時“00H”に設定され、PWADNビット=“1”でその時の設定値までフェードインします。但し、最初の516サイクルは“0”が出力されます。

RSTADNビット=“0”時“00H”に設定され、RSTADNビット=“1”でその時の設定値までフェードインします。但し、最初の516サイクルは“0”が出力されます。

Data	内部値 (DATT)	Gain (dB)	Step幅 (dB)		
255 - 165	-	+18	-	IPGA 0.5dB stepのアナログボリューム	
164	-	+18	-		
163	-	+17.5	0.5		
162	-	+17	0.5		
:	-	:	0.5		
130	-	+1.0	0.5		
129	-	+0.5	0.5		
128	-	0	0.5		
127	8031	0	-		IATT 128レベルを以下の式で8032レベルのリニアDATTに変換する。内部DATTは設定値の間はソフト遷移する。 内部値=2 ^m x (2 x l + 33) - 33 m: Dataの上位3-bits l: Dataの下位4-bits
126	7775	-0.28	0.28		
125	7519	-0.57	0.29		
:	:	:	:		
112	4191	-5.65	0.51		
111	3999	-6.06	0.41		
110	3871	-6.34	0.28		
:	:	:	:		
96	2079	-11.74	0.52		
95	1983	-12.15	0.41		
94	1919	-12.43	0.28		
:	:	:	:		
80	1023	-17.90	0.53		
79	975	-18.32	0.42		
78	943	-18.61	0.29		
:	:	:	:		
64	495	-24.20	0.54		
63	471	-24.64	0.43		
62	455	-24.94	0.30		
:	:	:	:		
48	231	-30.82	0.58		
47	219	-31.29	0.46		
46	211	-31.61	0.32		
:	:	:	:		
32	99	-38.18	0.67		
31	93	-38.73	0.54		
30	89	-39.11	0.38		
:	:	:	:		
16	33	-47.73	0.99		
15	30	-48.55	0.83		
14	28	-49.15	0.60		
:	:	:	:		
5	10	-58.10	1.58		
4	8	-60.03	1.94		
3	6	-62.53	2.50		
2	4	-66.05	3.52		
1	2	-72.07	6.02		
0	0	MUTE			

Table 23. IPGA Code Table

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	Lch OATT Control	ATTL7	ATTL6	ATTL5	ATTL4	ATTL3	ATTL2	ATTL1	ATTL0
07H	Rch OATT Control	ATTR7	ATTR6	ATTR5	ATTR4	ATTR3	ATTR2	ATTR1	ATTR0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	1	1	1	1	1	1	1	1

ATTL/R7-0: DAC OATT Level (see Table 24)

初期値は“FFH” (0dB)です。

ATTL/R7-0設定値間の遷移は7425レベルでソフト遷移します。FFH(0dB)から00H(MUTE)までには7424/fs(168ms@fs=44.1kHz)かかります。

PDNピンを“L”にすると、ATTL/R7-0はFFHに初期化されます。

PWDANビット=“0”時“FFH”に設定され、PWDANビット=“1”でその時の設定値までフェードインします。

RSTDANビット=“0”時“FFH”に設定され、RSTDANビット=“1”でその時の設定値までフェードインします。

デジタルアテネータ機能はソフトミュート機能とは独立に動作します。

ATTL/R7-0	Attenuation
FFH	0dB
FEH	-0.5dB
FDH	-1.0dB
FCH	-1.5dB
:	:
:	:
02H	-126.5dB
01H	-127dB
00H	MUTE ($-\infty$)

Table 24. OATT Code Table

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	In/Out Source Control	0	0	DAC1	DAC0	PCM1	PCM0	DIT1	DIT0
	R/W	RD	RD	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

DIT1-0: Input Selector for DIT (see Table 10)

初期値は“00”です。“10”の時はスルー出力(TX1/2)と同様の出力が得られます。

PCM1-0: Input Selector for SDTO (see Table 25)

初期値は“00”です。

PCM1	PCM0	Input Source
0	0	ADC
0	1	SDTI
1	0	DIR
1	1	N/A

Default

Table 25. Input Selector for SDTO

DAC1-0: Input Selector for DAC (see Table 26)

初期値は“00”です。

DAC1	DAC0	Input Source
0	0	ADC
0	1	SDTI
1	0	DIR
1	1	N/A

Default

Table 26. Input Selector for DAC

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	Clock Mode Control	OCKS1	OCKS0	ICKS1	ICKS0	CM1	CM0	XTL1	XTL0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	1	0	0	0	1	0	0

XTL1-0: X'tal Frequency Select (see Table 11)

初期値は“00”です。

CM1-0: Master Clock Operation Mode Select (see Table 1)

初期値は“01”です。

ICKS1-0: Master Clock Input Frequency Select at X'tal Mode (see Table 5)

初期値は“00”です。

OCKS1-0: Master Clock Output Frequency Select at PLL Mode (see Table 2)

初期値は“01”です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	DIR Control	0	CS12	OPS1	OPS0	IPS1	IPS0	EFH1	EFH0
	R/W	RD	R/W						
	Default	0	0	0	0	0	0	0	1

EFH1-0: Interrupt 0 Pin Hold Count Select (Table 27)

初期値は“01”です。

Table 27のLRCKはDIRのLRCKで、ホールド時間は1/fsに比例します。

EFH1	EFH0	Hold Count
0	0	512LRCK
0	1	1024LRCK
1	0	2048LRCK
1	1	4096LRCK

Default

Table 27. Hold Count Select

IPS1-0: Input Recovery Data Select (see Table 8)

初期値は“00”です。

OPS1-0: Output Through Data Select for TX1/2 (see Table 9)

初期値は“00”です。

CS12: Channel Status Select

0: Channel 1

1: Channel 2

C-bit, AUDION, PEM, FSに反映されるチャンネルステータスを選択します。

初期値は“0”です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0BH	DIT Control	0	0	TX3E	TX2E	TX1E	UDIT	VDIT	TCH
	R/W	RD	RD	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	1	1	1	1	0	0

TCH: Channel Number Select for DIT

0: Don't care (bit20-23 = 0000)

1: Stereo (bit20-23 = 1000 : L channel, bit20-23 = 0100 : R channel)

DIT部のチャンネル番号(C-bitのbit20-23)を自動設定します。初期値は“0”です。

コンシューマモード(CT0ビット=“0”)の場合、アドレス17HのCT20-23ビットは書き込み不可です。

VDIT: V-bit Control for DIT

0: Valid

1: Invalid

初期値は“0”です。

UDIT: U-bit Control for DIT

0: U-bit is fixed to “0”.

1: Recovered U-bit is used for DIT. (Loop mode for U-bit)

DIRがアンロック時、U-bitは“0”が出力されます。初期値は“1”です。

TX1E: TX1 Output Enable

0: Disable, TX1 outputs “L”.

1: Enable

初期値は“1”です。

TX2E: TX2 Output Enable

0: Disable, TX2 outputs “L”.

1: Enable

初期値は“1”です。

TX3E: TX3 Output Enable

0: Disable, TX3 outputs “L”.

1: Enable

初期値は“1”です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0CH	INT0 Mask	MAT0	MDTS0	MAN0	MV0	MPE0	MUL0	MPR0	MFS0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	1	1	1	1	1	0	0	1

MFS0: Mask Enable for FS Bit

0: Mask disable

1: Mask enable

MPR0: Mask Enable for PAR Bit

0: Mask disable

1: Mask enable

MUL0: Mask Enable for UNLOCK Bit

0: Mask disable

1: Mask enable

MPE0: Mask Enable for PEM Bit

0: Mask disable

1: Mask enable

MV0: Mask Enable for VDIR Bit

0: Mask disable

1: Mask enable

MAN0: Mask Enable for AUDION Bit

0: Mask disable

1: Mask enable

MDTS0: Mask Enable for DTSCD Bit

0: Mask disable

1: Mask enable

MAT0: Mask Enable for AUTO Bit

0: Mask disable

1: Mask enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0DH	INT1 Mask	MAT1	MDTS1	MAN1	MV1	MPE1	MUL1	MPR1	MFS1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	1	1	1	1

MFS1: Mask Enable for FS Bit

0: Mask disable

1: Mask enable

MPR1: Mask Enable for PAR Bit

0: Mask disable

1: Mask enable

MUL1: Mask Enable for UNLOCK Bit

0: Mask disable

1: Mask enable

MPE1: Mask Enable for PEM Bit

0: Mask disable

1: Mask enable

MV1: Mask Enable for VDIR Bit

0: Mask disable

1: Mask enable

MAN1: Mask Enable for AUDION Bit

0: Mask disable

1: Mask enable

MDTS1: Mask Enable for DTSCD Bit

0: Mask disable

1: Mask enable

MAT1: Mask Enable for AUTO Bit

0: Mask disable

1: Mask enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0EH	Receiver Status 0	AUTO	DTSCD	AUDION	VDIR	PEM	UNLOCK	PAR	FS
	R/W	RD	RD	RD	RD	RD	RD	RD	RD
	Default	0	0	0	0	0	0	0	0

FS: Sampling Frequency Status

0: No change

1: Change

このビットはアドレス0FHのFS3-0ビットに変化が検出されると“1”になります。0EHを読み込むことにより、リセットされます。

PAR: Parity Error or Bi-phase Error Status

0: No error

1: Error

サブフレーム内でパリティエラーまたはバイフェーズエラーが検出されるとPARビットが“1”になります。

0EHを読み込むことにより、リセットされます。

UNLOCK: PLL Lock Status

0: Lock

1: Unlock

0EHを読み込んで、リセットされません。

PEM: Pre-emphasis Bit Output

0: OFF

1: ON

このビットはチャンネルステータスをエンコードして生成されます。

0EHを読み込んで、リセットされません。

VDIR: Validity Bit

0: Valid

1: Invalid

0EHを読み込んで、リセットされません。

AUDION: Audio Bit Output

0: Audio

1: Non audio

このビットはチャンネルステータスをエンコードして生成されます。

0EHを読み込んで、リセットされません。

DTSCD: DTS-CD Auto Detect

0: No detect

1: Detect

0EHを読み込んで、リセットされません。

AUTO: Non-PCM Auto Detect

0: No detect

1: Detect

0EHを読み込んで、リセットされません。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0FH	Receiver Status 1	0	0	0	0	FS3	FS2	FS1	FS0
R/W		RD	RD	RD	RD	RD	RD	RD	RD
Default		0	0	0	0	0	0	0	0

FS3-0: Sampling Frequency Detection (see Table 12)
初期値は“0000”です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
10H	RX Channel Status Byte 0	CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
11H	RX Channel Status Byte 1	CR15	CR14	CR13	CR12	CR11	CR10	CR9	CR8
12H	RX Channel Status Byte 2	CR23	CR22	CR21	CR20	CR19	CR18	CR17	CR16
13H	RX Channel Status Byte 3	CR31	CR30	CR29	CR28	CR27	CR26	CR25	CR24
14H	RX Channel Status Byte 4	CR39	CR38	CR37	CR36	CR35	CR34	CR33	CR32
R/W		RD							
Default		Not Initialized							

CR39-0: Receiver Channel Status Byte 4-0

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
15H	TX Channel Status Byte 0	CT7	CT6	CT5	CT4	CT3	CT2	CT1	CT0
16H	TX Channel Status Byte 1	CT15	CT14	CT13	CT12	CT11	CT10	CT9	CT8
17H	TX Channel Status Byte 2	CT23	CT22	CT21	CT20	CT19	CT18	CT17	CT16
18H	TX Channel Status Byte 3	CT31	CT30	CT29	CT28	CT27	CT26	CT25	CT24
19H	TX Channel Status Byte 4	CT39	CT38	CT37	CT36	CT35	CT34	CT33	CT32
R/W		R/W							
Default		0							

CT39-0: Transmitter Channel Status Byte 4-0
コンシューマモード(CT0ビット=“0”)の場合、CT20-23ビットは書き込み不可です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
1AH	Burst Preamble Pc Byte 0	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
1BH	Burst Preamble Pc Byte 1	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8
1CH	Burst Preamble Pd Byte 0	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
1DH	Burst Preamble Pd Byte 1	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8
R/W		RD							
Default		Not Initialized							

PC15-0: Burst Preamble Pc Byte 1-0

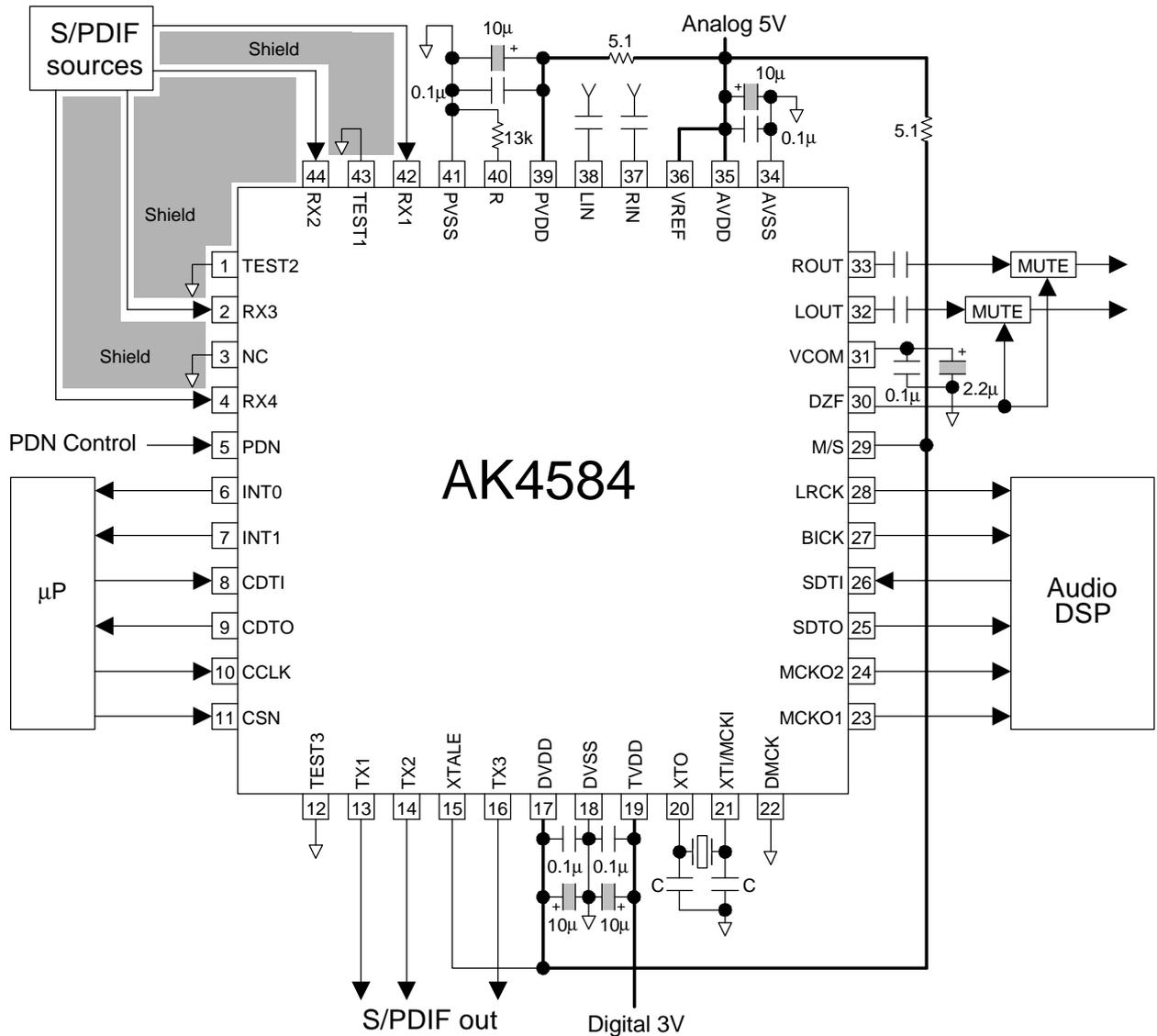
PD15-0: Burst Preamble Pd Byte 1-0

システム設計

Figure 18はシステム接続例です。具体的な回路と測定例については評価ボード(AKD4584)を参照して下さい。

[条件]

- ・ TVDD = 3.0V, マスターモード, XTALE = “H”, DMCK = “L”



注:

- 水晶発振回路は11.2896MHzから24.576MHzに対応します。また、Cの値は水晶振動子に依存します。
- AK4584のAGND, DGNDと周辺コントローラ等のグラウンドは分けて配線して下さい。
- LOUT/ROUTが容量性負荷を駆動する場合は直列に抵抗を入れて下さい。
- TEST1, TEST2, NCピンはRX信号のカップリングを防ぐためにグラウンド(PVSS)に接続して下さい。
- プルダウンピン(TEST1, 2)以外のデジタル入力ピンはオープンにしないで下さい。
- Rピンには $13k\Omega \pm 1\%$ の抵抗をPVSSとの間に接続して下さい。

Figure 18. Typical Connection Diagram

1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常、AVDD, DVDD, PVDDにはシステムのアナログ電源を供給します。AVDD, DVDD, PVDDが別電源で供給される場合には、電源立ち上げシーケンスを考える必要はありません。TVDDは外部ICとのI/F用の電源なのでシステムのデジタル電源を供給して下さい。AVSS, DVSS, PVSSはアナロググランドに接続して下さい。システムのグランドはアナログとデジタルで分けて配線しPCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧

VREFピンとAVSSの電圧差がアナログ入出力レンジを設定します。通常、VREFピンはAVDDに接続し、AVSSとの間に0.1 μ Fのセラミックコンデンサを接続します。VCOMはアナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために2.2 μ F程度の電解コンデンサと並列に0.1 μ FのセラミックコンデンサをAVSSとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOMピンから電流を取ってはいけません。デジタル信号、特にクロックは変調器へのカップリングを避けるため、VREFとVCOMピンからできるだけ離して下さい。

3. アナログ入力

アナログ入力はシングルエンド入力になっており、入力抵抗は10k Ω (typ)です。入力レンジは内部のコモン電圧(約AVDD/2)を中心に0.6 x VREF Vpp(typ)になります。通常、入力信号はコンデンサでDCカットします。この時カットオフ周波数は $f_c=1/(2\pi RC)$ です。AK4584はAVSSからAVDDまでの電圧を入力することができます。出力コードのフォーマットは2'sコンプリメントです。DCオフセット(ADC自体のDCオフセットも含む)は内蔵のHPFでキャンセルされます。

AK4584は64fsでアナログ入力をサンプリングします。デジタルフィルタは、64fsの整数倍付近の帯域を除く阻止域以上のノイズを全て除去します。AK4584は64fs付近のノイズを減衰されるためにアンチエイジングフィルタ(RCフィルタ)を内蔵しています。

4. アナログ出力

アナログ出力はシングルエンド出力になっており、出力レンジは内部のコモン電圧(約AVDD/2)を中心に0.6x VREF Vpp(typ)になります。入力コードのフォーマットは2'sコンプリメントで、7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)でのLOUT/ROUTの理想値は0Vが出力されます。

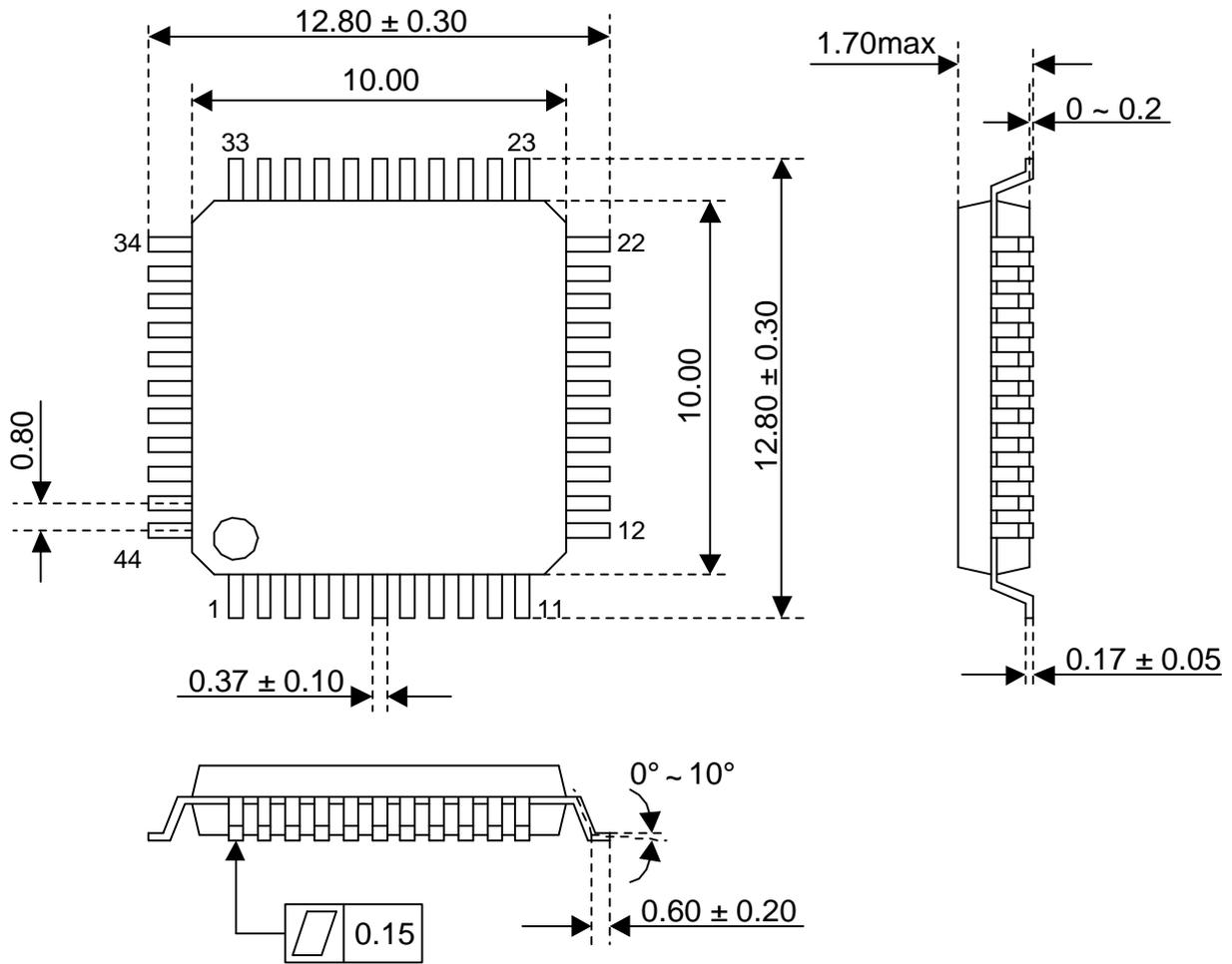
内蔵の $\Delta\Sigma$ 変調器が発生する帯域外ノイズ(シェーピングノイズ)は内蔵のスイッチトキャパシタフィルタ(SCF)と外部LPFで減衰されます。

5. XTIピンとXTOピン

- (1) 水晶発振子を使用する場合は、XTIピンとXTOピンに適切な値のCを接続して下さい。Cの値は水晶発振子に依存します(typ. 10 ~ 40pF)。
- (2) 外部からクロックを供給する場合は、XTOピンをオープンにしてXTIピンから入力して下さい。DVDD以上の電圧の信号は入力しないで下さい。XTIピンにCMOSレベル入力する場合、XTALEピンを“L”、PDNピンを“L”にする時は、XTIピンを“L”に固定して下さい。また、DVDD以下の電圧の信号を入力する時には、ACカップルしてXTIピンからクロックを供給し、40% DVDD以上の電圧の信号を入力して下さい。この場合、XTALEピン、PDNピンに対するXTIピンの制約はありません。
- (3) XTIピン、XTOピンを使用しない時には、XTOピンをオープンにして、XTIピンをDVSSに接続して下さい。

パッケージ

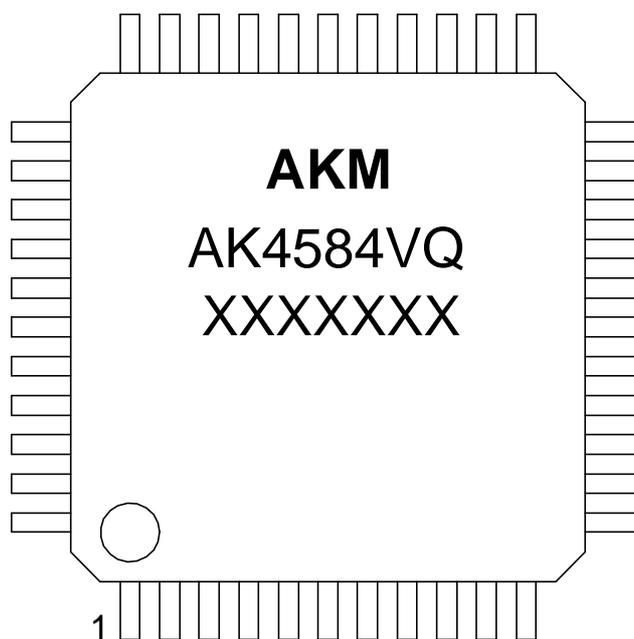
44pin LQFP (Unit: mm)



■ Material & Lead finish

Package molding compound:	Epoxy
Lead frame material:	Cu
Lead frame surface treatment:	Solder (Pb free) plate

マーキング



XXXXXXX : Date Code Identifier (7 digits)

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。