

ASAHI KASEI

[AK8414]



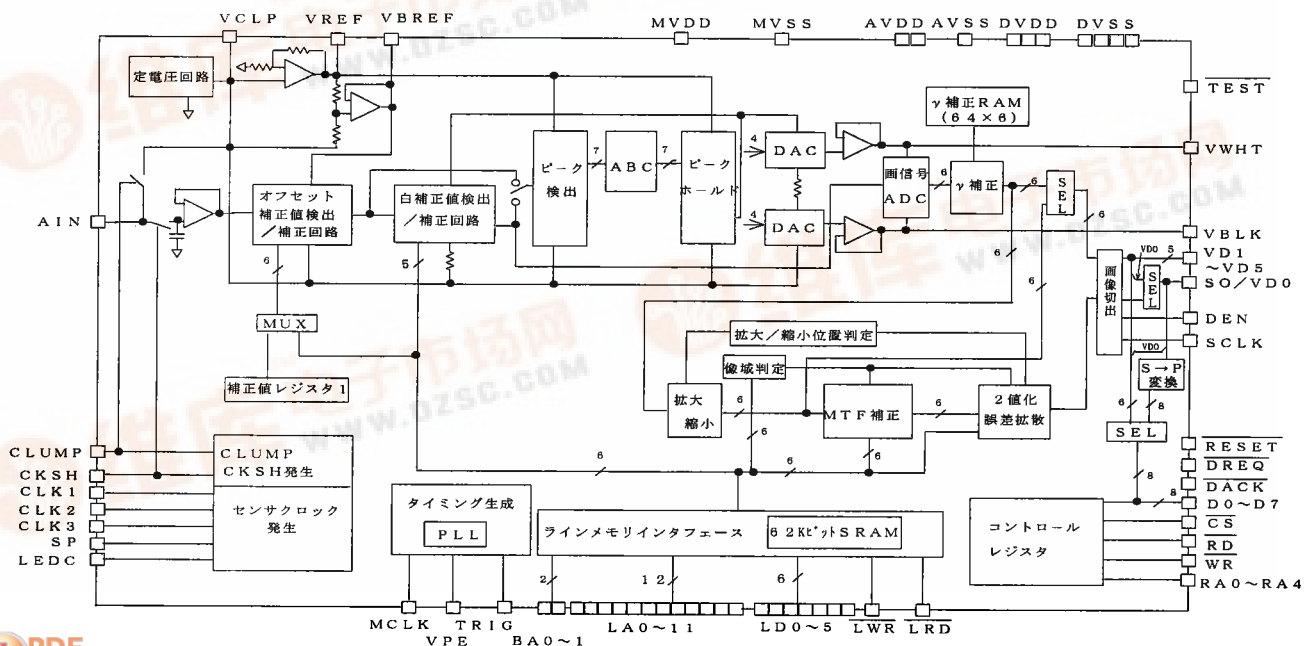
= 暫定仕様 =

AK8414

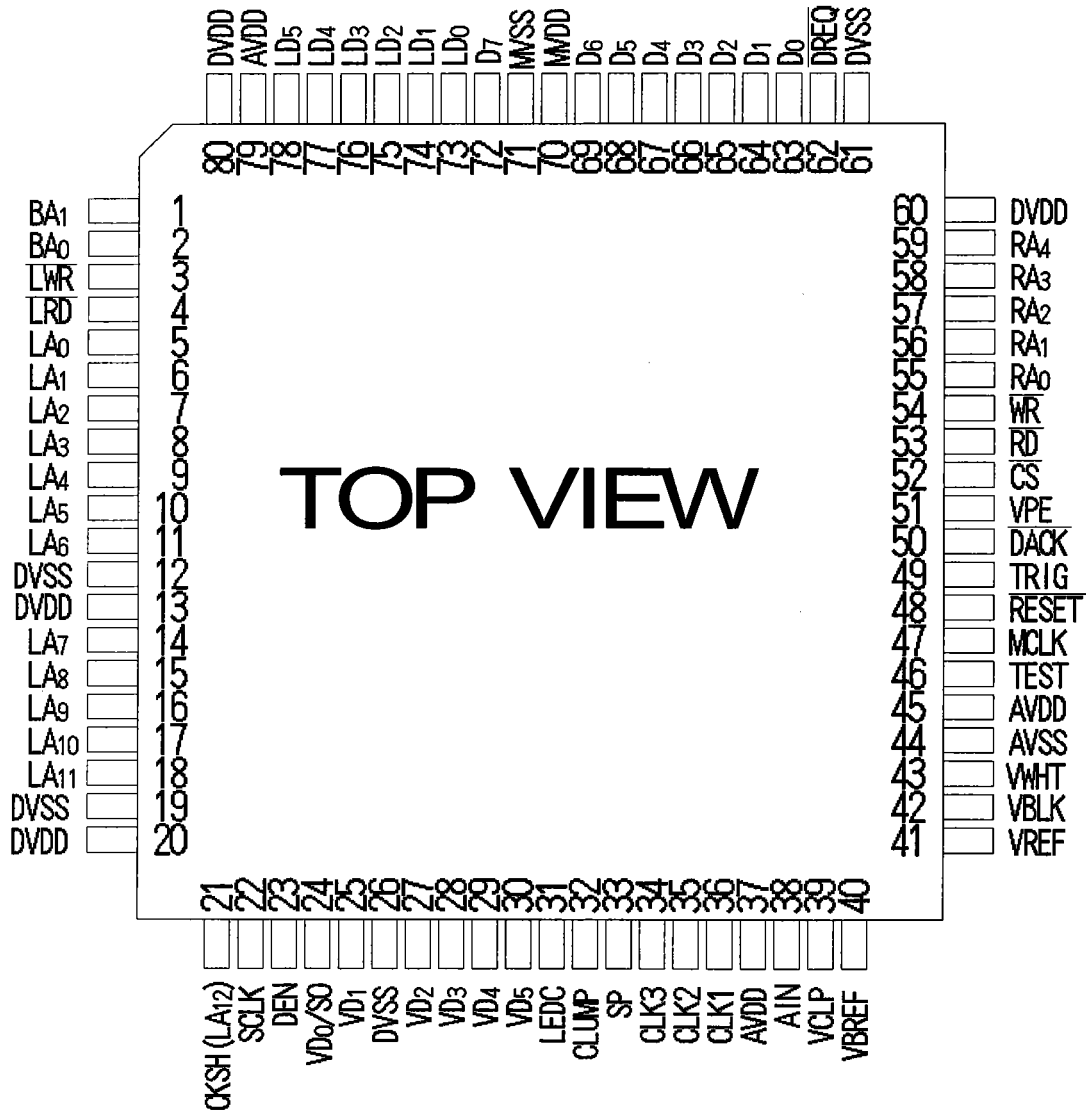
1チップFAX用画処理LSI

特長

- CCD、CIS (密着センサ) 出力のシェーディング歪補正
- 入力ビデオ信号ピークレベル 400mV_{p-p} ~ 1.2V_{p-p}
- 入力ビデオ信号データレート 最大 2M画素/秒
- 8192画素センサまで対応可 (32画素単位で設定可)
- 画信号用6ビットADC内蔵 (最大64階調)
 - 内蔵の4ビットDAC×2で黒/白基準電圧設定
- 全画素白補正值検出用ADC/補正用アナログ除算器内蔵
 - ピーク値の60%(typ.)レンジを5ビットで補正 (実効6ビット)
- 黒補正值検出/補正用6ビットADC/DAC内蔵
 - 補正分解能 8mV (typ)、補正レンジ 270mV ~ 210mV (typ ラインランプ時)
- ABC機能 (7ビットピーク検出/ピークホールド回路内蔵)
 - 追従レンジ設定可 (黒側/白側リミッタ)
 - 2値化時ABC、中間調時AGCモード
- 画処理機能
 - 誤差拡散 (閾値: プログラマブル)
 - 像域分離、MTF補正 (2次元、3×3もしくは3×2)
 - 最適2値化機能
 - 拡大・縮小 (任意倍率 1%刻み)
- ラインメモリ内蔵 (2592画素分)
 - γ補正用RAM (64×6ビット)
 - 黒補正值メモリ(0または1)/白補正值メモリ(1)/誤差メモリ(1)/画データメモリ(1または2)シーケンシャルアクセス可
- センサクロック発生 (CCD、各社CIS)
- 画信号データはシリアル出力またはパラレル出力 (DMA)
- クロック周波数: 450KHz ~ 2MHz (データレート)、PLL内蔵
- CMOSモノリシック、5V単一電源 (5V±5%)、定電圧回路内蔵
- 80ピン LQFP



端子配置図



端子機能説明

端子番号	端子名	I/O	機能
電源端子			
13, 20, 60 80	DVDD	-	デジタル5V電源端子
12, 19, 26 61	DVSS	-	デジタル接地端子
70	MVDD	-	メモリ用デジタル5V電源端子
71	MVSS	-	メモリ用デジタル接地端子
37, 45, 79	AVDD	-	アナログ5V電源端子
44	AVSS	-	アナログ接地端子
アナログ端子			
38	AIN	I	センサ出力の入力端子。外部でコンデンサ結合する必要があります。
39	VCLP	0	クランプ電圧(1.3V)バッファ出力端子。黒補正は、補正後、この端子電圧にそろうようになされます。安定化用コンデンサを接続してください。
40	VBREF	0	黒補正回路基準電圧バッファ出力端子。
41	VREF	0	白側基準電圧(2.6V)バッファ出力端子。
42	VBLK	0	画信号用ADC黒側基準電圧バッファ出力端子。
43	VWHT	0	画信号用ADC白側基準電圧バッファ出力端子。
クロック/テスト用端子			
47	MCLK	I	基準クロック入力端子です。画像データレートのクロック(2MHz max)としてください。
46	(/TEST)	I	テスト用端子です。外部でVDDにプルアップしてください。
49	TRIG	I	ラインスタート入力端子です
CCD/CIS駆動用クロック端子			
36, 35, 34	CLK1, CLK2, CLK3	0	センサ用クロック出力端子です。
33	SP	0	センサ用シフトクロック出力端子です。
センサ信号入力用クロック端子			
21	CKSH	0	内部サンプルホールド用クロックモニタ端子です。レジスタ設定でモニタできます。LA12端子と共用です。
32	CLUMP	0	内部クランプ回路クロック出力端子。HレベルでスイッチON、LレベルでスイッチOFF
画像データバス			
25, 27~30	VD1~VD5	0	本LSIの多値データ出力端子。VD0はSO端子と共用です。
23	DEN	0	画像データ確定区間出力端子。
24	SO(VD0)	0	本LSIの2値データ出力端子。
22	SCLK	0	本LSIの2値/多値データ取込みクロック出力端子

端子番号	端子名	I/O	機能
マイクロコンピュータインターフェース信号			
52	/CS	I	チップセレクト信号です。
53	/RD	I	内部レジスタのリード信号です。
54	/WR	I	内部レジスタのライト信号です。
55~59	RA0~RA4	I	内部レジスタ選択用のアドレス信号です。
48	/RESET	I	内部レジスタ等のリセット端子です。リセットされるレジスタについては、”レジスタ機能”の項を参照。
63~69, 72	D0~D7	I/O (3ステート)	システムデータバスです。
62	/DREQ	O	DMAリクエスト出力端子です。
50	/DACK	I	DMAアクノレッジ入力端子です。
画像処理用ラインメモリアンターフェース			
5~11 14~18	LA0~LA11	O	ラインメモリのアドレス信号です。8192画素までのセンサ対応です。
21	(LA12)	O	CKSH端子と共用です。画素数が4096を越えると、自動的にLA12として働きます。
2, 1	BA0~BA1	O	ラインメモリのバンクセレクト信号です。
73~78	LD0~LD5	I/O (3ステート)	ラインメモリのデータバスです。
4	/LRD	O	ラインメモリに対するリード信号です。
3	/LWR	O	ラインメモリに対するライト信号です。
その他端子			
31	LEDC	O	LED光源ON/OFFコントロール等に使用できる汎用出力ポートです。/RESETでクリアされます。
51	VPE	I	次ラインに対して、画像処理を行うか否かを定める信号です。

機能説明

■アナログ回路

□基準電圧生成回路

(1) 定電圧回路を用いて、クランプ基準電位 (V_{CLP}) を得ます。

$$V_{CLP} = 1.3 \text{ V (typ.)}$$

(2) V_{CLP} を 2 倍することで、白側基準電位 (V_{REF}) を得ます。

$$V_{REF} = V_{CLP} \times 2 = 2.6 \text{ V (typ.)}$$

□センサ信号入力回路

(1) 入力信号の極性は上向きに白。CCDセンサの場合のように、極性が逆の場合は反転して入力してください。

(2) 内蔵のアナログスイッチと外部のコンデンサで、直流再生回路を構成します。

(3) ビットクランプとラインクランプの 2 モードがあり、特にラインクランプモード時は、(CLPEN) によりクランプ期間を設定できます。(CLPEN) はレジスタによりその位置は可変です。

□黒補正值検出ADC／補正回路

(1) 設定された特定画素、もしくは、センサの画素毎に、クランプレベルとの差分を 6 ビットでAD変換し補正值とします。

(2) 補正は、アナログ入力信号から、補正值相当分の電圧を減算することで行います。

(3) フルスケール 530 mV (typ) のうち、50 mV (typ) は LSI 内部のアンプ等のキャンセルに使用するため、検出可能レンジは 480 mV (typ.) となります。(極性は黒側に 270 mV, 白側に 210 mV)

□ピーク検出／ホールド回路

(1) ピーク検出回路は、追従比較方式 7 ビットADCで構成します。

(2) ピークホールド回路は 7 ビットDACで構成します。

(3) ピーク検出回路の入力は、ピーク固定サイクル (ピーク検出モード実行時) には、黒補正後の信号、読みとりモード時は、黒／白補正後の正規化信号となります。

□白補正值検出／補正回路

(1) ピーク固定処理で決定したピーク電圧 (V_{PEAK}) と V_{CLP} の 60% をフルスケール (typ.) として、センサの画素毎に 5 ビット白補正值を検出します。

(2) 検出した補正值をそのままゲインデータとして黒補正後のアナログ入力信号を増幅することで、信号の正規化を行います。

□画信号用ADC用基準電圧生成用DAC1、DAC2

画信号用 6 ビットADCの黒／白基準電圧としてピークホールド電圧と V_{CLP} からの相対電圧を生成するための 4 ビットDACです。

□画信号用ADC

黒／白補正後のアナログ入力信号を最終的に、AD変換するための、6 ビットADC。基準電圧は、前述の 2 個のDACの設定により変えることができます。

□PLL

(1) センサデータレートクロック (2 MHz max) から LSI 内部に必要な $\times 16$ のクロックを作ります。

(2) レジスタ設定により、PLLの自走発振を停止できます。

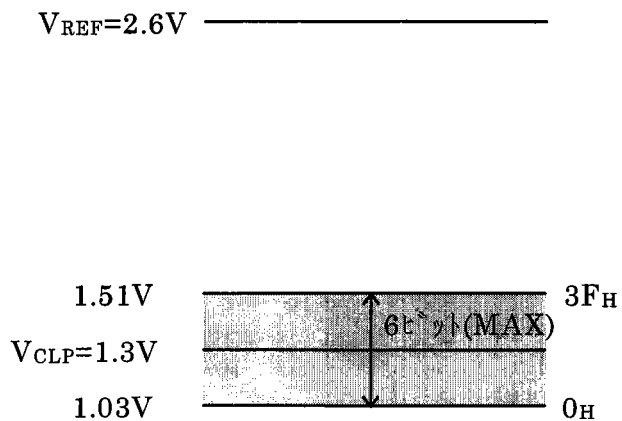


図 1 - 1 . 黒補正值検出 / 補正

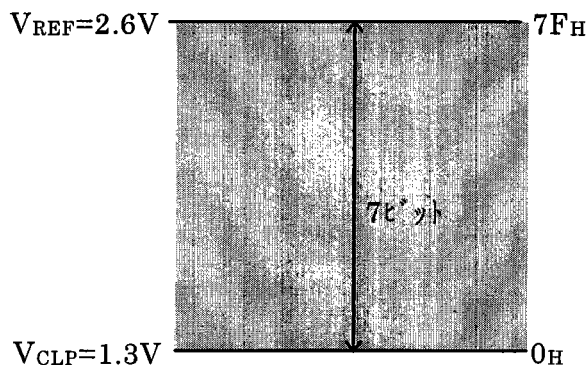


図 1 - 2 . ピーク検出 / ホールド

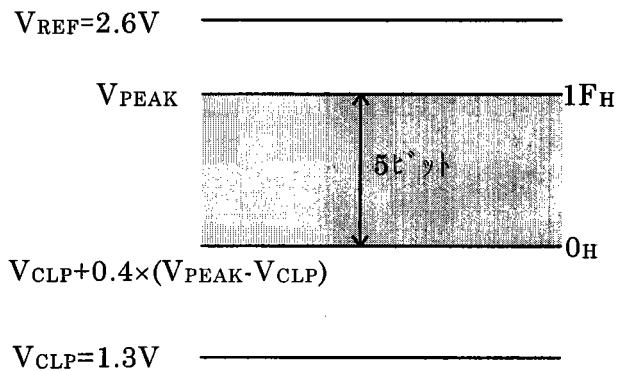


図 1 - 3 . 白補正值検出 / 補正

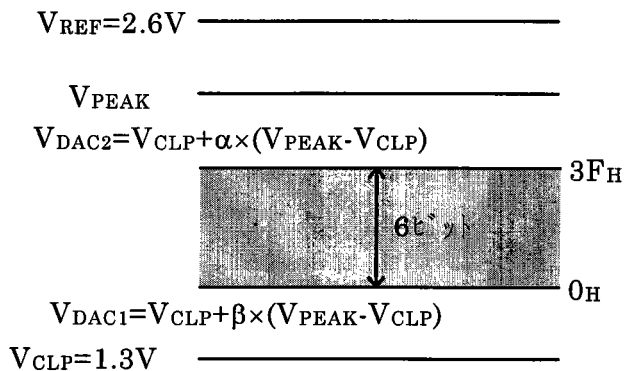


図 1 - 4 . 画信号用 A D C

**1) V_{DAC1} , V_{DAC2} は、画信号用 A D C 用基準電圧生成用 D A C 1、D A C 2 の電圧。

■黒補正值検出

センサの出力は

- (1) 前置アンプのオフセットまたはLSI内部のスイッチフィードスルー、アンプオフセット
- (2) (1)のオフセットに加えて、センサのビットばらつき

を含んでいるため、これらを除くために、本LSIは、以下の2種類の補正モードを持ちます。

- (1) 全画素補正モード (内部/外部メモリを使用)
- (2) 固定オフセットキャンセルモード (内部のレジスタを使用)

□全画素補正モード (内部/外部メモリを使用)

基準黒信号をスキャンし、黒補正值検出用6ビットADCを動作させ、そのADC出力を内部/外部SRAMに逐次格納します。

□固定オフセットキャンセルモード (内部レジスタを使用)

基準黒信号をスキャンし、黒補正值検出用6ビットADCを動作させ、そのADC出力を内部レジスタに格納します。あらかじめ、黒検出画素設定レジスタに参照画素の位置を設定して下さい。

(注) 本モード実行時には、黒補正值検出と同時に、LSI内部のピーク検出/ホールド回路まわりのオフセットをキャンセルするため、自動的にキャリブレーションシーケンスがスタートし、その値は内部レジスタに格納します。ただし、この値は電源OFFもしくはRESETで消えてしまいます。装置の動作シーケンスもしくは、装置出荷のやり方から、このキャリブレーション値を消してしまう場合、再度、本モードを実行するか、もしくは一旦外部に読み出し再度書き込んで下さい。

■ピーク検出

本モードは、白補正值検出前のピーク設定 (信号振幅とADCフルスケールを一致させる) のため、もしくは、原稿読みとり前のピーク初期値設定のために実施します。本モードは、以下の2つのサイクルからなります。

□ピーク検出

- (1) ピークホールド回路、コントラスト調整用DAC1、DAC2をフルスケールとした上で、基準白信号をスキャンし、画信号用6ビットADCを動作させ、その出力の最大値(PPK)を検出します。
(LSI内部では、下のように、基準白信号に対し、あらかじめ格納済みの黒補正值を使って、アナログ黒補正がなされています。)

(全画素補正モード)

$$(\text{黒補正済み基準白信号})_i = (\text{基準白信号})_i - A(\text{黒補正值})_i \quad \dots\dots(1)$$

(固定オフセットキャンセルモード)

$$(\text{黒補正済み基準白信号})_i = (\text{基準白信号})_i - A(\text{BOFF})$$

ただし、A(D)は、DをDA変換した後のアナログ値。

BOFFは黒補正值レジスタの内容

- (2) 検出幅は、センサ有効長全長とします。(レジスタ設定に無関係に)

□ピーク固定

- (1) LSI内部で自動的に、ピーク検出カウンタに初期値として、PPK近傍の値を設定した上で基準白信号を再スキャンし、7ビットピーク検出回路を動作させます。((1) 式の黒補正はなされています。)
- (2) ピーク検出幅はセンサ有効長全長とします。ABC用リミッタは自動的に禁止となります。追従分解能はADCの1LSBとします。
- (3) モード実行終了後、ピーク検出カウンタの値をピークホールドレジスタにロードします。

■白補正值検出

センサの白レベル出力に重畳されている光源光量のばらつきやセンサのビットばらつきを除去する目的で白補正を行います。白補正の前処理として補正值の検出を行います。

本モードでは、自動的に、白補正值検出用5ビットADCの黒側基準はピークホールド電圧の40% (typ.)となり、ADCのフルスケールは $0.4 \times \text{PEAK} \sim \text{PEAK}$ となります。白補正值検出用5ビットADCを動作させ、基準白信号をスキャンし、そのADC出力を逐次、内部/外部SRAMに格納します。

(LSI内部では、基準白信号に対し、あらかじめ格納済みの黒補正值を使って、アナログ黒補正がなされています。)

■原稿読みとりモードでの補正処理

□黒補正

画信号に対し以下のアナログ演算により黒補正処理を行い、黒補正済み画信号が得られます。

(全画素補正モード)

$$(\text{黒補正済み画信号})_i = (\text{画信号})_i - A(\text{黒補正值})_i$$

(固定オフセットキャンセルモード)

$$(\text{黒補正済み画信号})_i = (\text{画信号})_i - A(\text{BOFF})$$

ただし、 $A(D)$ は、 D をDA変換した後のアナログ値。

BOFFは黒補正值レジスタの内容

□白補正

黒補正済み画信号に対し、以下のアナログ乗算により白補正処理を行い、黒白補正済み画信号が得られます。

$$(\text{黒白補正済み画信号})_i = (\text{黒補正済み画信号})_i \times 51.7 / (20.7 + (\text{白補正值})_i)$$

■ABC機能

原稿読取り中の下地白濃度の変動に画信号ADCのフルスケールをライン単位で追従させ、下地濃度によらない鮮明な読みとりを目的とします。

ABC機能には、LSI内部で設定パラメータに従って、自動的にコントロールされるABCモード（文字原稿）とAGCモード（写真原稿）があります。

内部ABC機能のイネーブル/ディスエーブルは、レジスタでコントロールする他に、VPE（ライン有効信号）=0のときは、自動的にディスエーブルされます。

□ABCモード

ABCイネーブル（PHEW）区間内の黑白補正済み画信号のピーク値を検出し、これを $PEAK_k$ とします。

次ラインのピークホールド値（ PHD_{k+1} ）は現ラインピーク値（ $PEAK_k$ ）と現ラインピークホールド値（ PHD_k ）との比較により、ライン単位で下式により変化します。

$$\begin{aligned} PEAK_k < PHD_k &\rightarrow PHD_{k+1} = PHD_k - f \quad [\text{ピーク値DOWN}] \\ PEAK_k \geq PHD_k &\rightarrow PHD_{k+1} = PEAK_k \quad [\text{ピーク値UP}] \end{aligned}$$

毎ライン、ピーク検出カウンタはリセット状態（ 0_H ）からスタートします。

追従レンジは黒側リミッタと白側リミッタでコントロールできます。

追従速度（ f ）は、レジスタにより表のように選択できます。

FSEL	追従速度（ f ）
0	4ラインで1LSB（ $1/4$ LSB）
1	2ラインで1LSB（ $1/2$ LSB）
2	1ラインで1LSB（1LSB）
3	1ラインで2LSB（2LSB）

ABC追従速度

□AGCモード

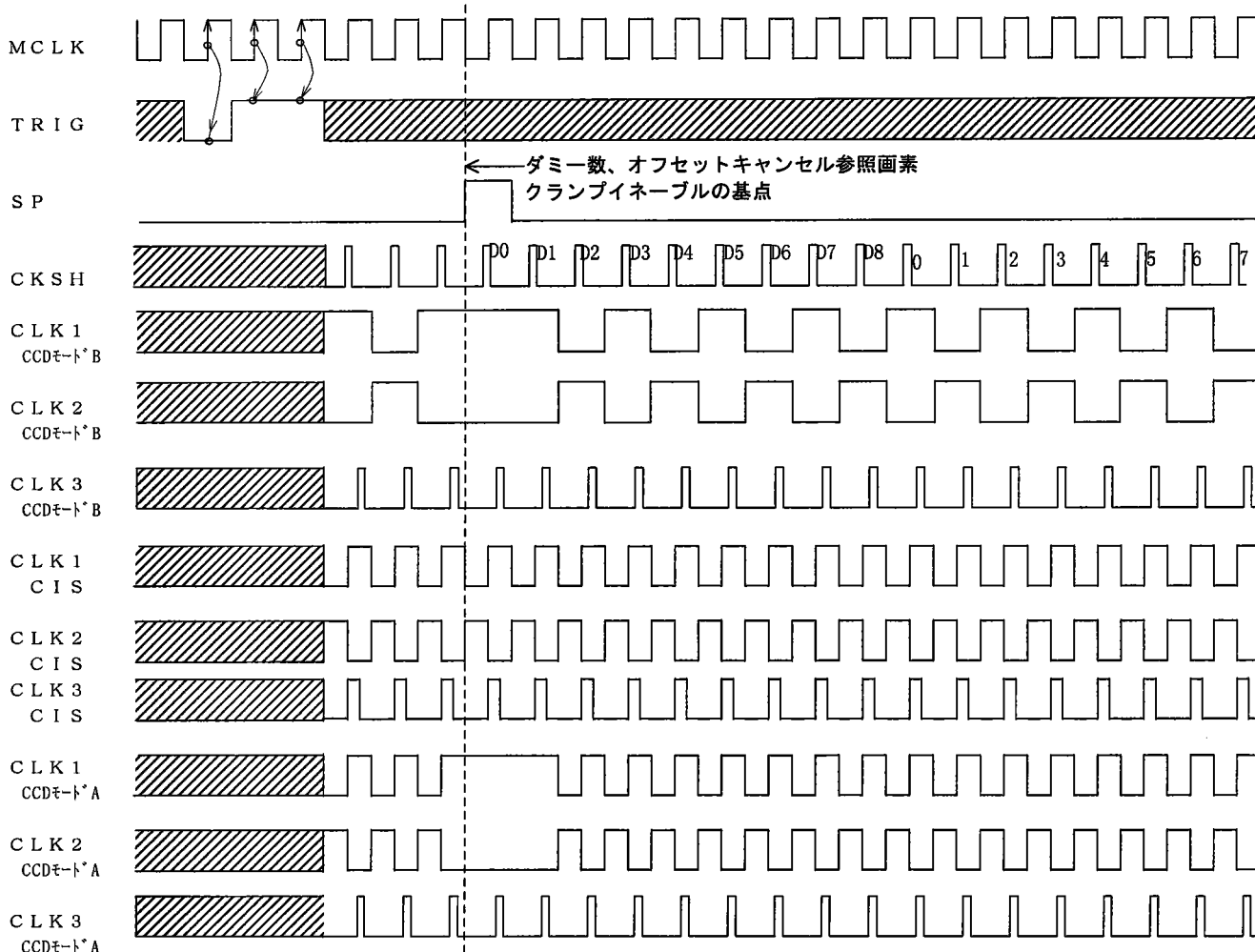
AGCモードでは、下式に従ってピーク値が変化します。

$$\begin{aligned} PEAK_k < PHD_k &\rightarrow PHD_{k+1} = PHD_k \quad [\text{ピーク値HOLD}] \\ PEAK_k \geq PHD_k &\rightarrow PHD_{k+1} = PEAK_k \quad [\text{ピーク値UP}] \end{aligned}$$

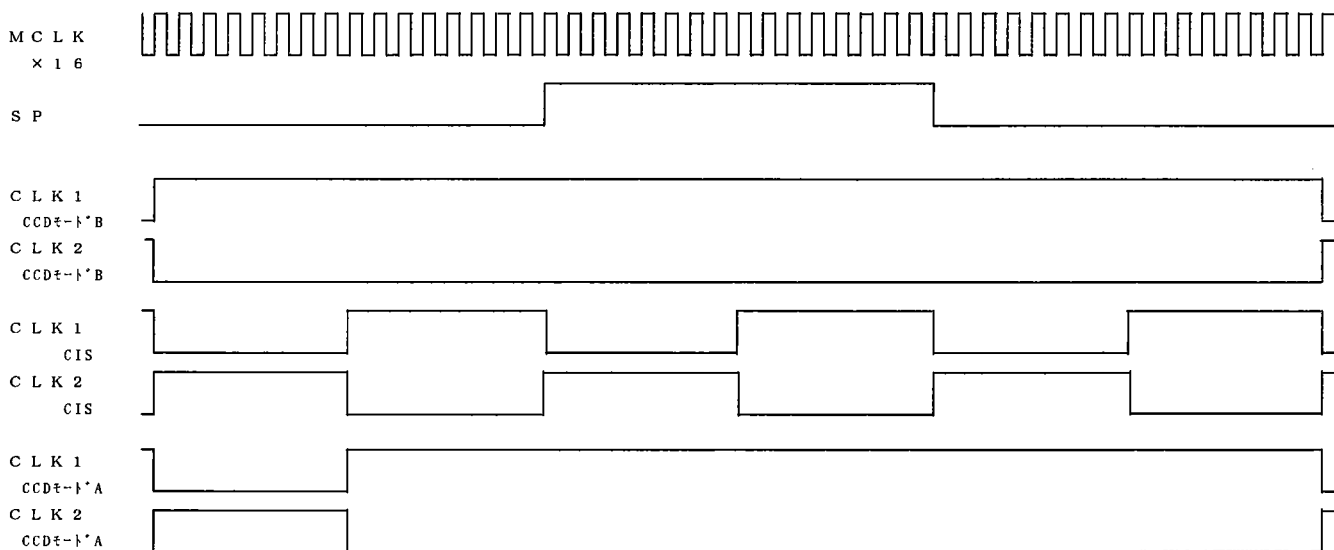
追従レンジは白側リミッタでコントロールできます。

■センサ駆動クロック発生回路

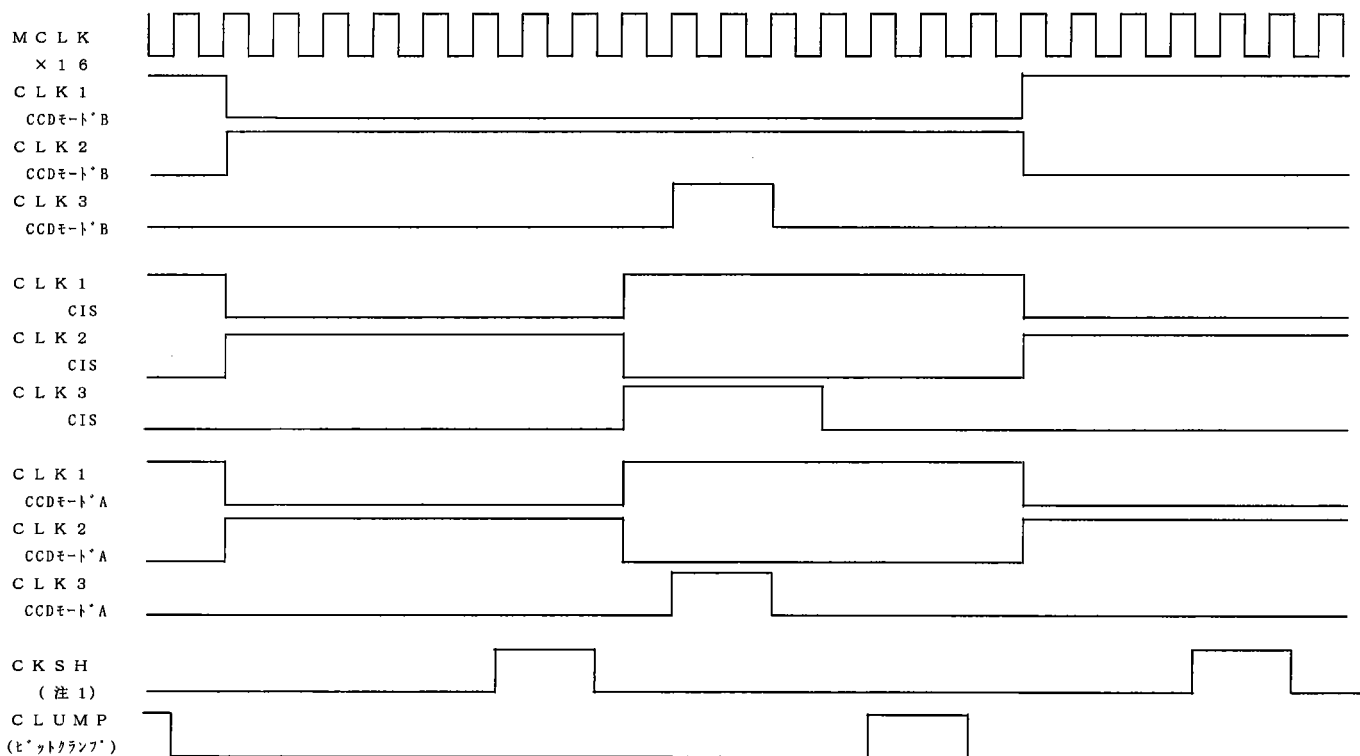
本LSIは各種センサ対応のため下記のようなクロック発生モードを持っています。



上記詳細タイミング (A)



上記詳細タイミング (B)



(注1) ラインクランプ時 クランプクロック設定 (R4/D1) がモードBの時のCLPEN (クランプイネーブル) とCKSHの論理積がCLUMPクロックとなります。モードAの時はCLPENそのものがCLUMPクロックとなります。

■タイミング制御信号生成

本LSIは内部のタイミング制御用信号として以下の5個の信号を生成します。

1. (EN) : 入力画信号イネーブル
2. (PHEW) : ABCピークホールドイネーブル
3. (CLPEN) : ラインクランプイネーブル
4. (BOFFEN) : 黒参照画素イネーブル
5. DEN : 出力画信号イネーブル

入力画信号イネーブル (EN)

ダミー画素数レジスタと、画素数レジスタの設定値により決まる画処理有効幅。

ABCイネーブル (ABCEN)

ABCイネーブルは、原稿読みとりモード時の、ABC機能有効幅を決める信号です。レジスタ設定で、開始画素と終了画素を256画素単位で設定可能です。

ラインクランプイネーブル (CLPEN)

ラインクランプモード時のクランプパルス区間 (クランプパルスの立下がり、立ち上がり) を1画素単位で設定可能。ダミー画素中に設定して下さい。

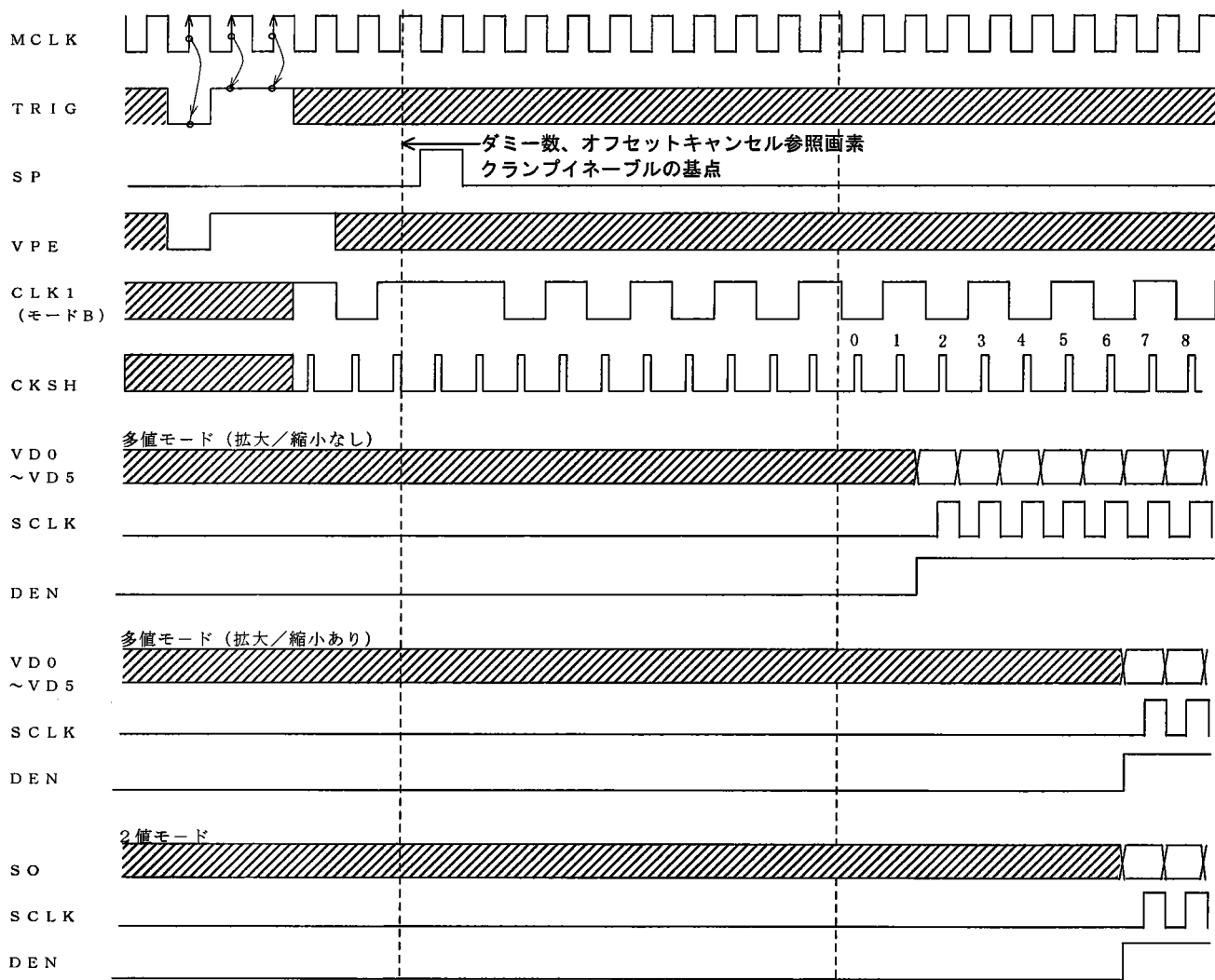
黒参照画素イネーブル (BOFFEN)

オフセットキャンセルモード時の黒補正参照画素イネーブル。16画素単位で設定可能。ダミー画素もしくは有効画素区間中のいずれにも指定可能です。

出力画信号イネーブル DEN

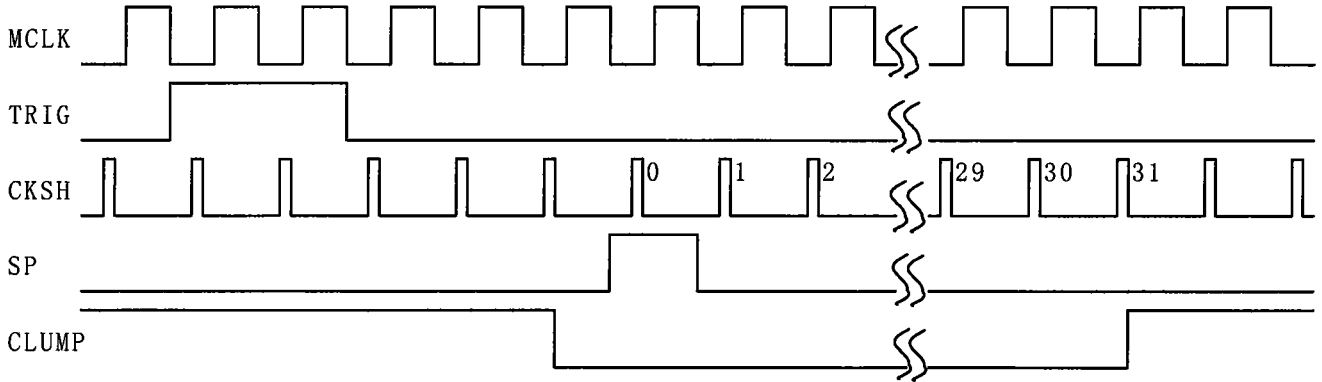
出力画信号イネーブルDENはラインイネーブル有効信号VPEによって有効と判定されたラインのみ出力されます。

ラインイネーブル有効信号VPEは毎ライン先頭のスタートパルスに対し次頁のタイミングでサンプリングされます。また、画像切りだし機能に伴うレジスタ設定値により、出力タイミングが変わります。



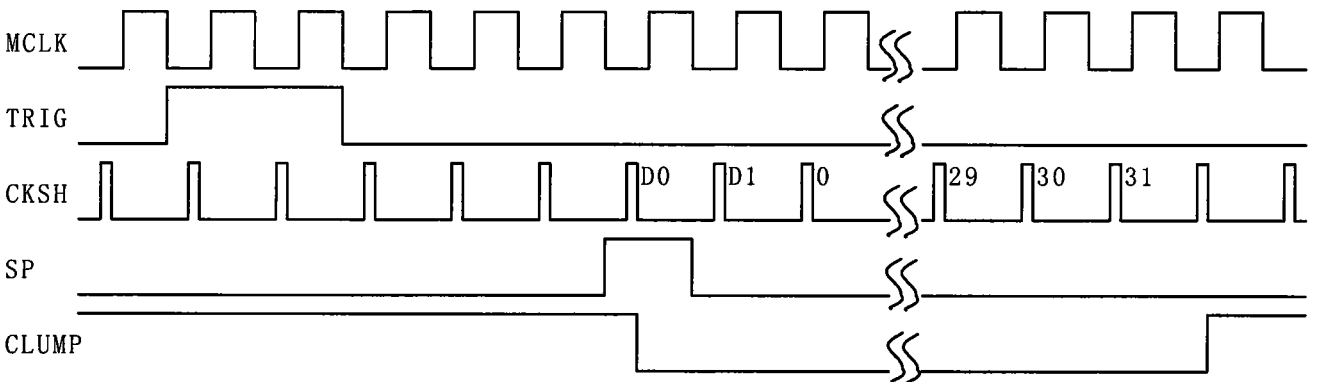
■ CLUMP信号制御

本LSIはレジスタ設定によって、ラインランプモード時のCLUMP信号の立ち下がり、立ち上がりタイミングを制御できます。MCLK、TRIG、CKSH、SP、CLUMP信号の関係を図A、図Bに示します。



図A：CLUMP信号立ち下がり、立ち上がりタイミング

センサー画素数	32
ダミー画素数	0
ラインランプイネーブル設定1	0
ラインランプイネーブル設定2	0



図B：CLUMP信号立ち下がり、立ち上がりタイミング

センサー画素数	32
ダミー画素数	2
ラインランプイネーブル設定1	1
ラインランプイネーブル設定2	1

図Aと比較して、

(ラインランプイネーブル設定1) クロック分、立ち下がりが遅れ、

(ラインランプイネーブル設定2) クロック分、立ち上がりが遅れます。

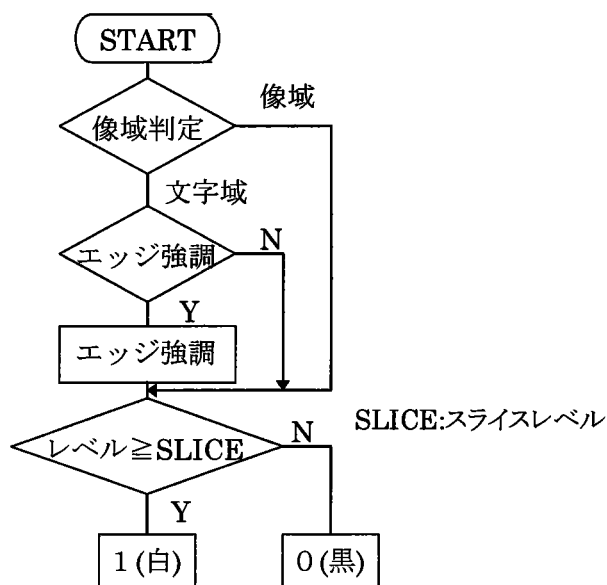
ダミー画素中にCLUMP信号が立ち下がるように設定して下さい。

■画像処理

□画像処理モード

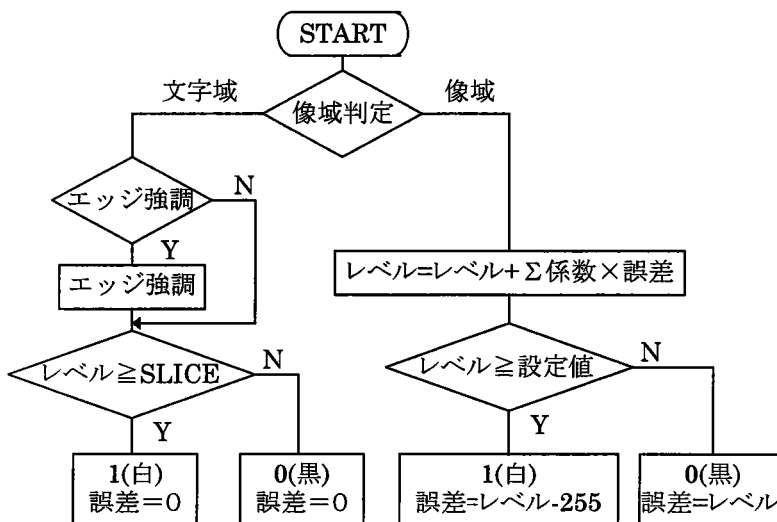
本LSIは3種類の画像処理モードをもちます。各処理モードの処理フローチャートを以下に示します。

(1) 2値化 文字域は2値化、像域は単純2値化（文字域のエッジ強調はレジスタで設定）

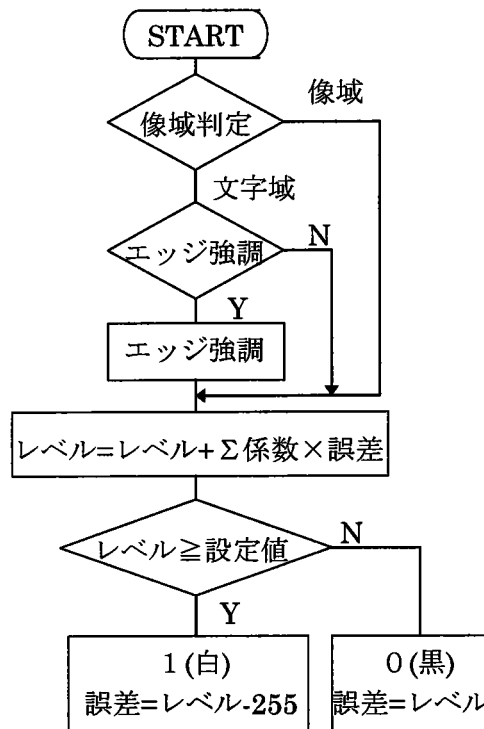


SLICEは、最適2値化により決まります。

(2) 誤差拡散A 文字域は2値化、像域は誤差拡散（文字域のエッジ強調はレジスタで設定）



(3) 誤差拡散B 全面を誤差拡散 (文字域のエッジ強調はレジスタで設定)



(4) 画像処理用ラインメモリ

本LSIは外部、もしくは内部の4ライン分のメモリをコントロールできますが、画像処理モードによって、その内容が変わります。

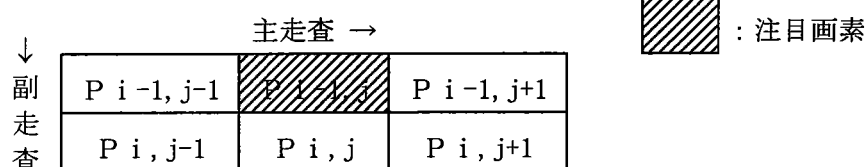
	画像処理モード	画像処理ウィンドウ	黒補正	ラインメモリバンク
バンク0	2値化	X	X	黒補正值データ
	誤差拡散	3×2	X	黒補正值データ
		3×3	全画素 オフセット	
バンク1	X	X	X	前ライン画像データ
バンク2	X	X	X	白補正值データ
バンク3	2値化	X	X	前々ライン画像データ
	誤差拡散	X	X	誤差データ

全画素黒補正、誤差拡散モード、かつ、3×3ウィンドウ指定は不可で、ウィンドウ設定よりも、黒補正モードが優先され、ウィンドウ指定は自動的に3×2となり、バンク0の内容は黒補正值データとなります。

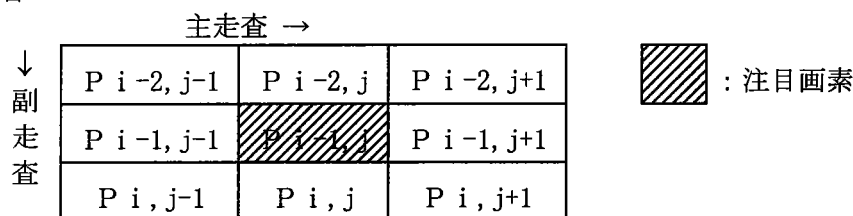
□像域判定

本LSIの判定はモード設定により、下記の2種類のウィンドウを用い、注目画素のレベル、および、周辺画素との差分値を、各々の判定しきい値と大小比較することによって行います。白側レベルしきい値、黒側レベルしきい値、差分しきい値の3個のパラメータをレジスタで設定できます。

(1) 3×2の場合



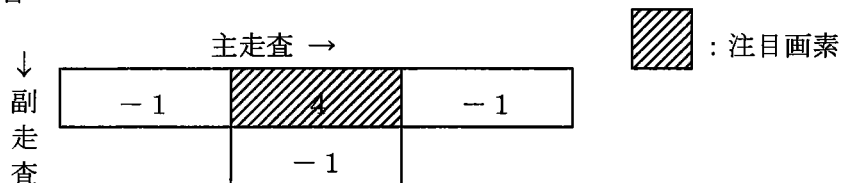
(2) 3×3の場合



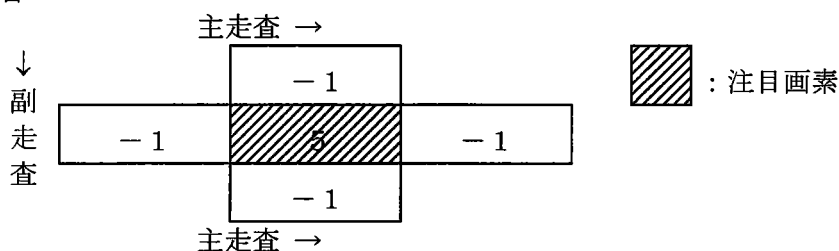
□MTF補正

本LSIのMTF補正は3×2、3×3のウィンドウに対して、下記フィルタにより行われます。

(1) 3×2の場合



(2) 3×3の場合



□誤差拡散

下記のウィンドウおよび重み係数、およびレジスタにより設定されたしきい値を用いて、誤差計算を行います。

	主走査 →					
副走査 ↓	A1=1	A2=2	A3=4	A4=2	A5=1	* : 注目画素
	A6=2	A7=4	*			

$$\sim P * = P + 1 / 16 \times \Sigma (A_i \times E R R_i)$$

SLED: 閾値 画素レベル \geq SLEDの時 白 : 1
 $E R R * = \sim P * - 63$
 画素レベル $<$ SLEDの時 黒 : 0
 $E R R * = \sim P *$
 $E R R *$ 、 $E R R_i$: 符号付7ビットデータ

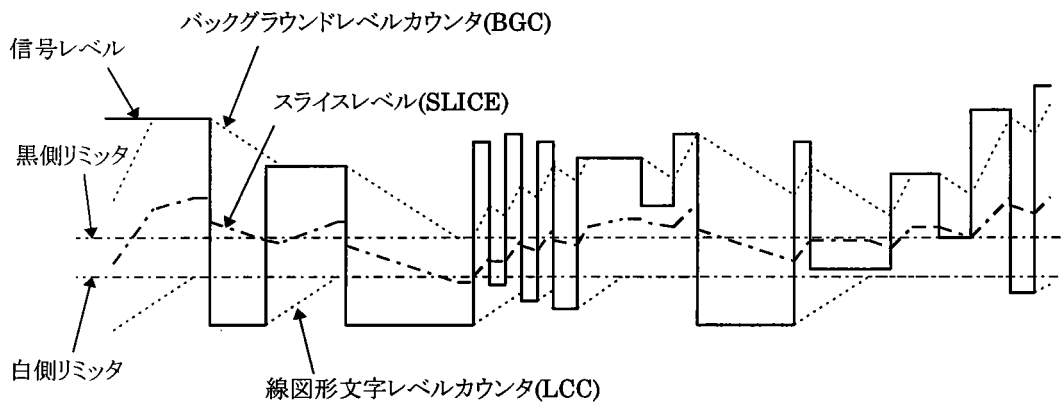
SLED : 24, 28, 32, 36, 40, 44, 48, 52

但し、像域判定の結果、白、黒、文字域と判定された画素に対しては $E R R * = 0$

□最適2値化

文字域、線画部分の2値化を最適化するために、背景、線画の濃度を追いかけるための、バックグラウンドレベルカウンタ (BGC)、線図形・文字域レベルカウンタ (LCC) を設け、この内容により、各画素毎に2値化のスライスレベルをアップデートします。

概念図を下に示します。3×2、もしくは3×3のウィンドウの注目画素および、その近傍画素の最大値、最小値に着目して、BGC、LCCをコントロールします。また、追従レンジを制限するために、黒側、白側にリミッタ値を設定できます。



□ γ 補正

本LSIは内蔵の64×6ビットのRAMに補正テーブルを書き込むことで γ 補正が可能です。

(例)

入力データ (アドレス)	RAMテーブル	出力データ (γ 補正後)
0	0	0
1	0	0
2	1	1
3	1	1
62	63	63
63	63	63

□ 拡大／縮小

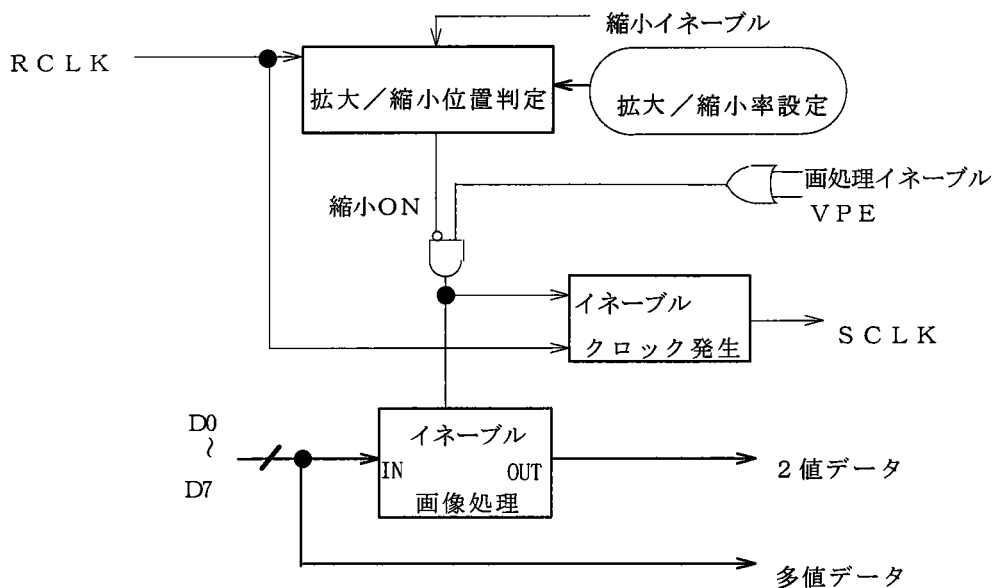
本LSIでは、1%刻みで1%～99%縮小率の縮小機能と1%刻みで101%～200%拡大率の拡大機能を持ちます。縮小は等価的に多値データ時点での間引き、拡大は重ね打ちとなります。

縮小は、縮小／拡大位置判定の結果で画像処理(MTF補正、誤差拡散)の実行/停止をコントロールすることで、画像処理の連続性を保ち、多値画像の段階でデータを間引いたものと等価にします。

拡大は、縮小／拡大位置判定の結果で、多値もしくは2値化後の画像データを単純に連続出力することで行います。

拡大／縮小位置判定回路では、ライン開始時に原稿左端の間引きが起らないようにしています。

拡大／縮小機能は、多値(6ビット)出力に対しても有効です。



■出力データ形式

□シリアル出力

本LSIでは、多値データ（6ビット）はVDバス（VD0～VD5）、2値データはSO端子（VD0）から出力されます。取り込みのためのクロックはSCLKとなります。縮小モード時は一部歯抜けのものとなり、通常の拡大時は一部挿入されたものとなります。

また、拡大／縮小機能を使用しない時は、MCLKも取り込みクロックとして使用できます。

□パラレル出力（DMAインタフェース）

本LSIでは、2値化時（疑似中間調を含む）はシリアル／パラレル変換後の8ビット、多値データの場合は6ビットデータをそのままシステムバス（D0～D7）から読み出すことも可能です。本LSIが出力する/DREQに対応して、DMAコントローラを使用して下さい。

/DACK=Lにおける/RD=Lで外部に読み出すことが可能です。

□ SCLK, /DREQ

(1) 2値化データ

シリアル/パラレル各々のケースにおいて、出力されるSCLK数、/DREQ数は

(1) 拡大/縮小を行わない場合、

N : 読みとり画素数 (32の倍数)

$$\begin{aligned} n_{SCLK} &= n_{DREQ(6)} = N \\ n_{DREQ(2)} &= N / 8 \end{aligned}$$

(2) 拡大/縮小を行う場合、

N : 読みとり画素数 (32の倍数)

k : 拡大/縮小率

[M] : Mを下回らない最小の整数

$$\begin{aligned} n_{SCLK} &= n_{DREQ(6)} = [N \times k] \\ n_{DREQ(2)} &= [[N \times k] / 8] \end{aligned}$$

(例1) N=1728、k=0.71

$$\begin{aligned} n_{SCLK} &= n_{DREQ(6)} = [1728 \times 0.71] = [1266.88] = 1267 \\ n_{DREQ(2)} &= [[1728 \times 0.71] / 8] = [[1266.88] / 8] \\ &= [1267 / 8] = [158.375] = 159 \end{aligned}$$

(例2) N=1728、k=1.15

$$\begin{aligned} n_{SCLK} &= n_{DREQ(6)} = [1728 \times 1.15] = [1987.2] = 1988 \\ n_{DREQ(2)} &= [[1728 \times 1.15] / 8] = [[1987.2] / 8] \\ &= [1988 / 8] = [248.5] = 249 \end{aligned}$$

DMAインタフェース (2値データのみ) の場合、拡大/縮小後の画素数が8の倍数となるように、不足分は0でうめます。また特に拡大の場合、200%時にSCLK, /DREQともに、最大2倍の周波数となります。

(注) (2)は2値化時、(6)は6ビット時

(2) 多値データ

出力されるSCLK数、/DREQ数は

(1) 拡大/縮小を行わない場合、

N : 読みとり画素数 (32の倍数)

$$n_{SCLK} = n_{DREQ(6)} N$$

(2) 拡大/縮小を行う場合、

N : 読みとり画素数 (32の倍数)

k : 拡大/縮小率

[M] : Mを下回らない最小の整数

$$n_{SCLK} = n_{DREQ(6)} = [N \times k]$$

■動作コントロール

□シェーディング補正值検出時（前処理）

CCD等イメージセンサを使用して画像を読みとる場合シェーディング補正が必要となり、原稿の読みとりに先だって、補正データを検出する必要があります。

必要なパラメータを設定後、黒補正值検出モード、ピーク検出モード、白補正值検出モードの順序で前処理を実行させ、補正值をメモリもしくはレジスタにセットします。

各前処理モードを実行する時は、動作モードおよび動作イネーブルビットをセットし、実行時間ウェイトした後、BUSYフラグによって各モード終了を確認しながら前処理シーケンスを進めてください。動作イネーブルビット（BUSY）は、各モード実行終了後、自動的にクリアされ、AK8414は待機状態となります。

黒補正值検出モード／白補正值検出モードの実行に1ライン、ピーク検出モードは2ライン必要です。

□画像読みとり時

原稿の読みとりを開始する時は、画像処理イネーブルビットをセットするかもしくはVPE端子をハイレベルにするとともに、1ライン目を示すページスタートビットをセットしてください。

次のTRIGパルスでコマンドは有効となり画像処理が始まります。コマンド有効後、2ライン読みとりが終了すると、ページスタートビットは自動的にリセットされます。

縮小、紙送りストップ時には、画像処理の連続性を保つために、画像処理イネーブルビットをリセットもしくはVPE端子をローレベルにする必要があります。イネーブル時と同様に、次のTRIGパルスでコマンドは有効となり次ラインの画像処理は停止します。

画像処理をイネーブルとすると、データ送出クロック（SCLK）、DMAリクエスト（/DREQ）およびデータは1ライン分遅れて出力されます。読みとったデータをすべて送出するためには1ライン分多く画像処理を行う必要があります。

□ラインメモリアクセス時

本LSIを通して画像処理用ラインメモリにアクセスすることができます。この動作を行う時は、画像処理イネーブルビットをリセット状態もしくはVPE端子をローレベルとしてください。

ラインメモリアクセスイネーブルビットをリセット→セットと状態変化させると、あとはウィンドウレジスタを通してシーケンシャルにメモリのリード／ライトが可能です。

黒補正值／白補正值／前ライン画像データ／前々ライン画像データ／誤差メモリのバンク切り替えはレジスタで行ってください。

レジスタ

アドレス (HEX)	初期 値	R/W	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
0	00H	W (R)	動作 イネーブル (BUSY)	ページ スタート	LEDC	画処理 イネーブル (VPE)	メモ アクセス イネーブル	ABC イネーブル	動作モード設定	
1	04H	W	拡大/ 縮小 イネーブル	メモリ モード	BCC, LCC イネーブル	PLL クロック ストップ	ABC 時定数設定		リミッ イネーブル	ABC モード
2	04H	W	X	γ補正 イネーブル	MTF補正 イネーブル	画処理モード		スライスレベル		
3	00H	W	X	画データ 出力極性	画像処理 ウィンドウ セレクト	2値/ 多値 セレクト	黒補正 タイプ	RAMバンクセレクト		
4	40H	W	誤差拡散閾値			クラン プ モード	センサ ーク クロ ック セ レ ク ト 2	SP極性 セ レ ク ト	ライ ン ク ラ ン プ パ ル ス	センサ ーク クロ ック セ レ ク ト 1
			ERRS2	ERRS1	ERRS0					
5	XXH	W	ABC 白側リミッタ				ABC 黒側リミッタ			
			AWL3	AWL2	AWL1	AWL0	ABL3	ABL2	ABL1	ABL0
6	XXH	W	X	X	X	像域分離パラメータ (下側)				
						PBL4	PBL3	PBL2	PBL1	PBL0
7	XXH	W	X	X	X	像域分離パラメータ (上側)				
						PWL4	PWL3	PWL2	PWL1	PWL0
8	XXH	W	X	X	X	像域分離パラメータ (差分)				
						PD4	PD3	PD2	PD1	PD0
9	XXH	W	拡大/縮小率設定							
			RED7	RED6	RED5	RED4	RED3	RED2	RED1	RED0
A	00H	W	X	ラインクランプイネーブル1設定						
				CLPA6	CLPA5	CLPA4	CLPA3	CLPA2	CLPA1	CLPA0
B	00H	W	X	ラインクランプイネーブル2設定						
				CLPB6	CLPB5	CLPB4	CLPB3	CLPB2	CLPB1	CLPB0
C	XXH	R	X	ピーク検出カウンタモニタレジスタ						
				PEAK6	PEAK5	PEAK4	PEAK3	PEAK2	PEAK1	PEAK0
D	40H	R/W	X	ピークホールド設定レジスタ						
				PHR6	PHR5	PHR4	PHR3	PHR2	PHR1	PHR0
E	00H	W	白基準設定				黒基準設定			
			VWHT3	VWHT2	VWHT1	VWHT0	VBLK3	VBLK2	VBLK1	VBLK0
F	XXH	W	読み取り画素数設定							
			PIX7	PIX6	PIX5	PIX4	PIX3	PIX2	PIX1	PIX0
1 0	XXH	W	X	ダミー画素数設定						
				DUM6	DUM5	DUM4	DUM3	DUM2	DUM1	DUM0
1 1	XXH	W	ピーク検出幅設定 (end)				ピーク検出幅設定 (start)			
			PKE3	PKE2	PKE1	PKE0	PKS3	PKS2	PKS1	PKS0
1 2	XXH	R/W	X	X	アクセスウィンドウレジスタ					
					WIN5	WIN4	WIN3	WIN2	WIN1	WIN0

アドレス (HEX)	初期 値	R/W	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
1 3	00H	R/W	オフセット検出参照画素設定			ピーク検出回路キャリブレーション値				
			REF2	REF1	REF0	PCAL4	PCAL3	PCAL2	PCAL1	PCAL0
1 4	00H	R/W	X	X	オフセット補正值レジスタ					
					OF5	OF4	OF3	OF2	OF1	OF0
1 5	2AH	W	X	BGCダウンスピード	LCCアッpsピード			BGCアッpsピード		
1 6	24H	W	X	X	BGC 黒側リミッタ					
1 7	1CH	W	X	X	LCC 白側リミッタ					
1 8	XXH	W	DENスタート位置設定 (画像切出用)							
			CUTS7	CUTS6	CUTS5	CUTS4	CUTS3	CUTS2	CUTS1	CUTS0
1 9	XXH	W	DENエンド位置設定 (画像切出用)							
			CUTE7	CUTE6	CUTE5	CUTE4	CUTE3	CUTE2	CUTE1	CUTE0

DMA レジスタ	XXH	R	画信号データ							
			0	0	VD5	VD4	VD3	VD2	VD1	VD0
			VD _{N-7}	VD _{N-6}	VD _{N-5}	VD _{N-4}	VD _{N-3}	VD _{N-2}	VD _{N-1}	VD _N

- は / RESET で初期化されます。
- は、書き込み直後の TRIG ↑ で有効になります。
- RCレジスタは、ピーク検出モード / 白補正值検出モード実行時にはアクセスしないでください。原稿読みとり実行時、内容がバリッドであるのは、ライン中、有効画素区間 + 5MCLK 以降、次の TRIG までなので、読み出しの場合は注意して下さい。通常、単にピーク値を知りたい場合は、RDレジスタを読み出して下さい。
- RDレジスタは、ピーク検出モード / 白補正值検出モード実行時にはアクセスしないでください。書き込んだ値は、直後の有効画素区間終了直後に有効となります。
また、黒補正值検出モード実行前に、かならず、このレジスタは 40_H にセットしてください。
- REレジスタ (D0 ~ D3) に書き込んだ値は、一旦書き込むと、書き換ええない限り、保持されますが、実際に有効になるのは、原稿読みとりモードおよび動作イネーブルがセットされた時となるので注意して下さい。
- R12レジスタ (ウィンドウレジスタ) を通して、内部RAMの内容を読み出す場合、まず初めに1回ダミーリードをした後、必要数のリードを行って下さい。
- R14レジスタは、黒補正值検出モード実行時にはアクセスしないでください。

(1) R0レジスタ

1. D0～D1 : 動作モード

D1	D0	
0	0	: 読み取りモード (リセット時)
0	1	: 黒補正值検出モード
1	0	: 白補正值検出モード
1	1	: ピーク検出モード

R0/D7=1のとき、各モード設定後最初のTRIG↑で動作開始となります。

2. D2 : ABCイネーブル

0	: ABCディスエーブル (リセット時)
1	: ABCイネーブル

R0/D7=1のとき、各モード設定後最初のTRIG↑で動作開始となります。

3. D3 : メモリアクセスイネーブル

R3/D0～D2でセレクトしたメモリにシーケンシャルアクセス可能です。
本モード時は、R0/D7ビットはディスエーブルとしてください。

0	: ディスエーブル (リセット時)
1	: イネーブル

4. D4 : 画処理イネーブル

0	: 画処理停止 (リセット時)
1	: 画処理実行

VPE端子と同じ機能で、本レジスタの内容とのORで決定します。

5. D5 : LEDCポートコントロール

0	: LEDC = 0 (リセット時)
1	: LEDC = 1

6. D6 : ページスタート

0	: ノーマル動作 (リセット時)
1	: ページスタート

7. D7 : 動作イネーブル (読み出し可)

0	: ディスエーブル (リセット時)
1	: イネーブル

(2) R1レジスタ

1. D0 : ABCモード

0 : ABCモード (リセット時)

1 : AGCモード

2. D1 : 白側リミッタイネーブル

ABC白側リミッタのイネーブルコントロールを行います。

0 : ディスエーブル (リセット時)

1 : イネーブル

3. D2～D3 : ABC時定数設定

D3 D2

0 0 : 1/4 LSB

0 1 : 1/2 LSB (リセット時)

1 0 : 1 LSB

1 1 : 2 LSB

4. D4 : PLLクロックストップ

内部PLLの動作を止めます。

0 : 動作 (リセット時)

1 : ストップ

5. D5 : 最適2値化イネーブル

最適2値化用のカウンタ (BGC, LCC) 動作をコントロールします。

最適2値化機能を使用するときは、このビットをイネーブルにします。

0 : ディスエーブル (リセット時)

1 : イネーブル

6. D6 : メモリモード

内蔵のラインメモリもしくは外部ラインメモリを選択します。

0 : 内部 (リセット時)

1 : 外部

7. D7 : 拡大/縮小イネーブル

0 : ディスエーブル (リセット時)

1 : イネーブル

(3) R2レジスタ

1. D0～D2 : 2値化スライスレベル

文字域と判定された画素に対して、最適2値化用のバックグラウンドレベルカウンタ (BGC)、線図形・文字域レベルカウンタ (LCC) と本レジスタの内容により実際の2値化スライスレベルを設定します。

設定値Nと実際のスライスレベル N_s の関係は、

$$N_s = LCC + N / 8 \times (BGC - LCC) \quad (N = 1 \sim 7, \text{リセット時 } N = 4)$$

となり、この値以上の時、白となります。

最適2値化がディスエーブル (R1/D5=0) の場合は、

BGC=48 (初期値)、LCC=16 (初期値) に固定されます。

2. D3～D4 : 画像処理モード (文字域MTF補正の有無はR2/D5で設定)

D4	D3	画像処理モード
0	X	2値化 (リセット時)
1	0	誤差拡散Aモード (文字域は2値化、像域は誤差拡散)
1	1	誤差拡散Bモード (全面誤差拡散)

3. D5 : MTF補正イネブル

0 : ディスエーブル (リセット時)

1 : イネーブル

4. D6 : γ 補正イネーブル

0 : ディスエーブル (リセット時)

1 : イネーブル

(4) R3レジスタ

1. D0～D2 : メモリバンクセレクト

ラインメモリ/ 内蔵RAM	R3/ D2	R3/ D1	R3/ D0	R2/ D4	R3/ D5	R3/ D3	ラインメモリバンク	BA1	BA0
ラインメモリ	0	0	0	0	X	X	黒補正值データ	0	0
				1	0	X	黒補正值データ		
				1	0	黒補正值データ			
				1	0	前々ライン画像データ			
	0	1	X	X	X	前ライン画像データ	0	1	
	1	0	X	X	X	白補正值データ	1	0	
	1	1	0	X	X	前々ライン画像データ	1	1	
			1	X	X	誤差データ			
その他RAM	1	X	X	X	X	X	γ補正データ (内蔵RAM)	-	-

ラインメモリをアクセスする場合 ($R0/D3=1$ 、 $R0/D7=0$) に、 $BA0\sim BA1$ アドレスを直接コントロールできます。画処理モードによって、アクセス可能なバンクが異なりますので注意してください。

$R0/D0\sim D1$ で設定される動作モードを実行している場合は、アドレスはこのビットの状態とは関係なく、所定の状態に変化します。

また、内蔵の γ 補正テーブル用RAMのアクセスは外部RAMと同様の方法で行い、画信号用ADCの出力コード N ($N=0\sim 63$) の昇順にアクセス可能です。

内蔵RAMのリードは、まず初めに1回ダミーリードした後に、本来のリードが可能となりますのでご注意ください。

2. D3 : 黒補正タイプ

- 0 : 全画素モード (リセット時)
- 1 : オフセットキャンセルモード

3. D4 : 2値/多値セレクト

- 0 : 2値モード (リセット時)
- 1 : 多値モード

SCLK、DENの出力タイミング等をコントロールします。

4. D5 : 画処理ウィンドウセレクト

- 0 : 3×2 (リセット時)
- 1 : 3×3

5. D6 : 画データ出力極性

- 0 : 2値化データ (0=黒、1=白) 6ビットデータ (0_H =黒、 $3F_H$ =白) (リセット時)
- 1 : 2値化データ (0=白、1=黒) 6ビットデータ (0_H =白、 $3F_H$ =黒)

(5) R4レジスタ

1. D0 : センサクロックセレクト1設定

- 0 : CISモード (リセット時)
1 : CCDモード

2. D1 : ラインクランプパルスセレクト

- 0 : モードA (リセット時) CLPEN
1 : モードB CLPEN∩CKSH
R4/D4=0 (ラインクランプ) の時のみ有効となります。

3. D2 : SPクロック極性セレクト

- 0 : 正極性 (リセット時)
1 : 負極性

4. D3 : センサクロックセレクト2設定

センサクロックセレクト1がCCDモード (R4/D0=1) の時、さらに2モードを選択できません。

- 0 : モードA (リセット時) データレートクロック
1 : モードB データレートクロック×1/2

5. D4 : クランプモード

- 0 : ラインクランプ (リセット時)
1 : ビットクランプ

6. D5~D7 : 誤差拡散スレシヨルドレジスタ

D7	D6	D5	
0	0	0	: 24
0	0	1	: 28
0	1	0	: 32 (リセット時)
0	1	1	: 36
1	0	0	: 40
1	0	1	: 44
1	1	0	: 48
1	1	1	: 52

(6) R5レジスタ

1. D0~D3 (ABC黒側リミッタ)

ABC時の黒側リミッタ設定用レジスタです。
設定値Nと実際のリミッタ値 N_{LB} の関係は、
 $N_{LB} = 8 \times N$ (N=0~15)

2. D0~D3 (ABC白側リミッタ)

ABC時の白側リミッタ設定用レジスタです。
設定値Nと実際のリミッタ値 N_{LW} の関係は、
 $N_{LW} = 8 \times N + 7$ (N=0~15)

(7) R6レジスタ

D0～D4 : 像域分離パラメータ (下側)

設定値Nと実際のパラメータ N_{PB} の関係は、

$$N_{PB} = N \quad (N = 0 \sim 31)$$

この値より小の時、背景 (黒) と判定します。

(8) R7レジスタ

D0～D4 : 像域分離パラメータ (上側)

設定値Nと実際のパラメータ N_{PW} の関係は、

$$N_{PW} = N + 32 \quad (N = 0 \sim 31)$$

この値以上の時、背景 (白) と判定します。

(9) R8レジスタ

D0～D4 : 像域分離パラメータ (差分)

設定値Nと実際のパラメータ N_{PD} の関係は、

$$N_{PD} = N \quad (N = 0 \sim 31)$$

この値より大の時、文字域と判定します。

(10) R9レジスタ (拡大/縮小率設定レジスタ)

D0～D7 : 拡大/縮小率設定 (1/100～200/100)

通常モード拡大/縮小時の分子の値を設定します。

(11) RAレジスタ

D0～D6 : ラインクランプイネーブル1設定

ラインクランプモード時のクランプイネーブルの立ち下がりのタイミングを1画素単位で設定します。設定値をN、実際の立ち下がりをCLP↓とすると、

$$CLP\downarrow = N \quad (N = 0 \sim 127, \text{リセット時 } N = 0)$$

(12) RBレジスタ

D0～D6 : ラインクランプイネーブル2設定

ラインクランプモード時のクランプイネーブルの立ち上がりのタイミングを読みとり画素終了点から1画素単位で設定します。設定値をN、実際の立ち上がりをCLP↑とすると、

$$CLP\uparrow = N \quad (N = 0 \sim 127, \text{リセット時 } N = 0)$$

(13) RCレジスタ (ピーク検出カウンタモニタレジスタ)

ピーク検出カウンタの内容を読み出せます。

(14) RDレジスタ (ピークホールド設定レジスタ)

ピークホールドレジスタ (PHD) に、このレジスタを通してピーク値を設定できます。
現在のピーク値を読み出すためには、RCレジスタではなく、本レジスタを使用して下さい。

(15) REレジスタ

D0～D3 (黒基準レジスタ)、D4～D7 (白基準レジスタ)

画信号用6ビットADCの白基準電圧 (VWHT) と黒基準 (VBLK) を $V_{PEAK} - V_{CLP}$ をフルスケールとした割合で設定します。設定分解能は $(V_{PEAK} - V_{CLP})$ の $0.25 \times 1/15$ で、実際の値は下式および係数 (α 、 β) は表のようになります。

なお、設定値が有効となるのは、動作モードを読みとりモードとした時となります。

$$V_{WHT} = V_{CLP} (1.3V \text{ typ.}) + \alpha \times (V_{PEAK} - V_{CLP})$$

$$V_{BLK} = V_{CLP} (1.3V \text{ typ.}) + \beta \times (V_{PEAK} - V_{CLP})$$

V_{CLP} : クランプ電圧、 V_{PEAK} : 信号ピーク電圧

設定値	α	β
0	1.000	0.000
1	0.983	0.017
2	0.967	0.033
3	0.95	0.05
4	0.933	0.067
5	0.917	0.083
6	0.9	0.1
7	0.883	0.117
8	0.867	0.133
9	0.85	0.15
A	0.833	0.167
B	0.817	0.183
C	0.8	0.2
D	0.783	0.217
E	0.767	0.233
F	0.75	0.25

(16) RFレジスタ (読みとり画素数レジスタ)

使用するセンサの有効画素数を32画素単位で設定してください。ダミー画素数は含みません。
最大8192画素まで設定できます。設定値をN、実際の有効画素数をSとすると、

$$S = 32 \times (N + 1) \quad (N = 0 \sim 255)$$

(17) R10レジスタ (前ダミー画素数設定レジスタ)

センサの前ダミー画素数を1画素単位で設定します。設定値をN、実際の画素数をDとすると、
 $D = N$ ($N = 0 \sim 127$)

(18) R11レジスタ (ピーク検出開始幅設定レジスタ)

1. D0～D3 : ピーク検出幅設定 (START)
 ピーク検出幅 (PHEW) を決めます。開始画素を256画素単位で設定できます。
 ダミー数は含めません。設定値をN、開始画素位置をPSとすると、
 画素数 < 4096 の時 $PS = 256 \times N$ (N=0～15)
 画素数 ≥ 4096 の時 $PS = 512 \times N$ (N=0～15)
2. D4～D7 : ピーク検出幅設定 (END)
 ピーク検出幅 (PHEW) を決めます。終了画素を256画素単位で設定できます。
 ダミー数は含めません。設定値をN、開始画素位置をPEとすると、
 画素数 < 4096 の時
 $S \geq PE = 256 \times (N+1)$ (N=0～15) > PS
 画素数 ≥ 4096 の時
 $S \geq PE = 512 \times (N+1)$ (N=0～15) > PS

(19) R12レジスタ (ラインメモリ/内蔵RAMアクセスレジスタ)

ラインメモリ、内蔵RAMをアクセスする時は、このレジスタを通してアクセスして下さい。

(20) R13レジスタ

1. D0～D4 : ピーク回路キャリブレーションレジスタ
 黒補正值検出モードを実行させると、終了後、キャリブレーション値がセットされます。
 このレジスタはリードライト可能です。
2. D5～D7 : 黒参照画素レジスタ

オフセットキャンセルモードを用いて黒補正を行う時の、補正值をとる参照画素を設定します。

16画素単位で設定可能で、設定値をN、実際の参照画素位置をBとすると、

$$B = 16 \times (N+1) \quad (N=0\sim7)$$

ダミー数カウンタとは別のカウンタでカウントされますので、ダミー数以上の設定値の場合有効画素中に設定することも可能となります。

(21) R14レジスタ (オフセット補正值レジスタ)

オフセットキャンセルモードで使用する場合、黒歪検出モードを実行すると、このレジスタに別途レジスタに設定した参照画素に対応する補正值が格納されます。本レジスタはリードライト可能です。

(22) R15レジスタ

1. D0～D1 : BGCアップスピード
 背景カウンタ (BGC) のアップスピードをセットします。
 D1 D0
 0 0 : 1/2 LSB
 0 1 : 1 LSB
 1 0 : 2 LSB (リセット時)
 1 1 : 4 LSB

2. D2～D4 : LCCアップスピード
文字線図形カウンタ (LCC) のアップスピードをセットします。

D4	D3	D2	
0	0	0	: 1/4 LSB
0	0	1	: 1/2 LSB
0	1	0	: 1 LSB (リセット時)
0	1	1	: 2 LSB
1	X	X	: 4 LSB

3. D5～D6 : BGCダウンスピード
背景カウンタ (BGC) のダウンスピードをセットします。

D6	D5	
0	0	: 1/4 LSB
0	1	: 1/2 LSB (リセット時)
1	0	: 1 LSB
1	1	: 2 LSB

(23) R16レジスタ

D0～D5 : BGC黒側リミッタ (リセット時 24H)

(24) R17レジスタ

D0～D5 : LCC白側リミッタ (リセット時 1CH)

(25) R18レジスタ (画像切出用DENスタートレジスタ)

スタート点を16画素単位で設定してください。設定値をN、実際のスタート点をSとすると、

画素数 < 4096 の時 $S = 16 \times N$ (N=0～255)

画素数 ≥ 4096 の時 $S = 32 \times N$ (N=0～255)

(26) R19レジスタ (画像切出用DENエンドレジスタ)

スタート点を16画素単位で設定してください。設定値をN、実際のスタート点をSとすると、

画素数 < 4096 の時 $E = 16 \times (N + 1)$ (N=0～255)

画素数 ≥ 4096 の時 $S = 32 \times (N + 1)$ (N=0～255)

(27) DMAレジスタ

画像データをシステムバスを使用して出力したい時に、このレジスタをアクセスしてください。
2値画像の場合はMSBに時間的に最も古いデータ、LSBに最も新しいデータが格納されます。
6ビットデータも同様に出力できます。

DMAコントローラを1バイト転送モードで使用してください。

絶対最大定格

項目	記号	min.	max.	単位	備考
電源電圧					
デジタル電源	VD	-0.3	6.5	V	VA \geq VD, VAが VDより先に 立ち上がる事
アナログ電源	VA	-0.3	6.5	V	
デジタル端子印可電圧	V _{TD}	-0.3	VD+0.3	V	
アナログ端子印可電圧	V _{TA}	-0.3	VA+0.3	V	
保存温度	T _{STG}	-55	125	°C	
半田付け温度：時間	T _{SOL}	260°C, 10sec		—	

電圧はすべて接地端子基準：AVSS、DVSS=0V

推奨動作条件

項目	記号	min.		max.	単位	備考
電源電圧						
デジタル電源	VD	4.75	5.0	5.25	V	
アナログ電源	VA	4.75	5.0	5.25	V	
動作温度範囲	T _a	0		70	°C	

電圧はすべて接地端子基準：AVSS、DVSS=0V

電氣的特性

■DC特性

(特記なき場合、VD、VA=5V±5%、Ta=0~70°C)

項目	記号	適用端子	min.	typ.	max.	単位	条件
消費電流 デジタル (RAMを含む) アナログ	ID				65	mA	MCLK=2.0MHz 無負荷時
	IA				30	mA	
高レベル入力電圧	V _{IH}	Input端子	2.6	—	—	V	
低レベル入力電圧	V _{IL}	I/O端子	—	—	0.8	V	
高レベル出力電圧	V _{OH}	Output端子	4.0			V	I _{OH} =-1mA
低レベル出力電圧	V _{OL}	I/O端子			0.4	V	I _{OL} =4mA
入力端子リーク電流	I _L	Input端子 I/O端子	-10		10	μA	V _I =DVDD V _I =DVSS

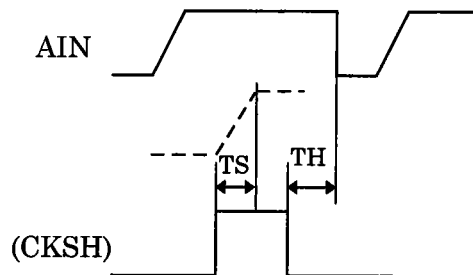
■アナログ特性

(特記なき場合、 V_D 、 $V_A=5V\pm 5\%$ 、 $T_a=0\sim 70^\circ\text{C}$)

項目	記号	min.	typ.	max.	単位	備考
アナログ入力						
入力可能電圧	V_{MAX}	1.2	1.3	1.4	V_{D-P}	AIN
サンプリングレート	S_{FRQ}			2.0	M_{Dix}/S	AIN
入力抵抗	R_{IN}		1		$M\Omega$	AIN
入力容量	C_{IN}		20		pF	AIN
基準電圧						
クランプ電圧	V_{CLP}		1.3		V	AIN
白側最大電圧	V_{REF}		2.6		V	VREF
黒歪検出／補正回路						
最小補正レンジ	RG_{BC}	$V_{CLP}-230$		$V_{CLP}+190$	mV	
補正分解能	RL_{BC}		8		mV	
補正精度	AC_{BC}			± 3	LSB	画信号ADC換算 $V_{WHT}-V_{BLK}=0.8V$ $MCLK=2.0MHz$
ピーク追従（検出／ホールド）回路						
検出可能最大電圧	V_{MAX}	1.2	1.3	1.4	V	V_{CLP} に対して 白側を正とする
分解能	RSL		7		BIT	
ピークホールド セトリング時間	T1			1.0	mS	64LSB変化時 $C_L=1\mu F$
	T2			100	μS	2LSB変化時 $C_L=1\mu F$

(特記なき場合、 V_D 、 $V_A=5V\pm 5\%$ 、 $T_a=0\sim 70^\circ C$)

項目	記号	min.	typ.	max.	単位	備考
クランプ回路						
スイッチON抵抗	R_{ON}			60	Ω	$A_{IN}=1.35V$ アンプのインピーダンスを含む
サンプルホールド回路						
入力信号 セットリング時間	T_S			30	nS	0.1%
入力信号ホールド時間	T_H			0	nS	
白歪検出/補正回路						
分解能	RSL		5		bit	
補正可能レンジ	RNG		60		%	$(V_{PEAK}-V_{CLP})$ に対する割合
補正精度	ACR			± 4	LSB	画信号ADC換算 $V_{WHT}-V_{BLK}=1.2V$
画信号ADC用基準電圧用DAC						
設定精度	ACR			± 1	%	
画信号ADC						
分解能	RSL		6		bit	コード欠けなし $V_{WHT}-V_{BLK}=0.8V$



(特記なき場合、VD、VA=5V±5%、Ta=70°C)

No.	項目	適用端子	min.	typ.	max.	単位	条件
1	MCLK サイクル時間(T)	MCLK	500		2222	nS	
2	MCLK 高レベル幅	MCLK	30%		70%	T	
3	MCLK 低レベル幅	MCLK	30%		70%	T	
4	TRIG セットアップ時間 (対 MCLK↑)	TRIG	20			nS	
5	TRIG ホールド時間 (対 MCLK↑)	TRIG	20			nS	
6	VPE セットアップ時間 (対 MCLK↑)	VPE	20			nS	(注)
7	VPE ホールド時間 (対 MCLK↑)	VPE	5T/32 +20			nS	(注)
8	/RESET パルス幅	/RESET	20			nS	
9	CLK1↑, CLK2↑ 遅延時間 (MODE B) (対 MCLK↑)	CLK1 CLK2			T/2+30	nS	C=20pF
10	CLK1↓, CLK2↓ 遅延時間 (MODE B) (対 MCLK↑)	CLK1 CLK2			T/2+30	nS	C=20pF
11	CLK1, CLK2 高レベル幅 (MODE B)	CLK1 CLK2		1		T	
12	CLK1, CLK2 低レベル幅 (MODE B)	CLK1 CLK2		1		T	
13	CLK1, CLK2 サイクル時間 (MODE B)	CLK1 CLK2		2		T	
14	CLK3↑ 遅延時間 (MODE A, B) (対 MCLK↑)	CLK3			T/16 +25	nS	C=20pF
15	CLK3 高レベル幅 (MODE A, B)	CLK3		1/8		T	
16	CLK3 低レベル幅 (MODE A, B)	CLK3		7/8		T	
17	CLK3 サイクル時間 (MODE A, B)	CLK3		1		T	
18	SP↑ 遅延時間(対 MCLK↑)	SP			T/2+30	nS	C=20pF
19	SP↓ 遅延時間(対 MCLK↑)	SP			T/2+30	nS	C=20pF
20	SP パルス幅	SP		1		T	
21	(CKSH) 遅延時間 (対 MCLK↑)	(CKSH)			27T/32 +25	nS	C=20pF
22	(CKSH) 高レベル幅	(CKSH)		1/8		T	
23	(CKSH) 低レベル幅	(CKSH)		7/8		T	
24	(CKSH) サイクル時間	(CKSH)		1		T	
25	CLUMP 遅延時間 (対 MCLK↑)	CLUMP			T/16 +25	nS	C=20pF
26	CLUMP 高レベル幅	CLUMP		1/8		T	
27	CLUMP 低レベル幅	CLUMP		7/8		T	
28	CLUMP サイクル時間	CLUMP		1		T	
29	CLK1遅延時間(MODE A, CIS) (対 MCLK↑)	CLK1			30	nS	C=20pF

(注) TRIGがアクティブになった後の2個目のMCLKに対するもの

(特記なき場合、VD、VA=5V±5%、Ta=70°C)

No.	項目	適用端子	min.	typ.	max.	単位	条件
30	CLK1, CLK2 高レベル幅 (MODE A, CIS)	CLK1 CLK2		1/2		T	
31	CLK1, CLK2 低レベル幅 (MODE A, CIS)	CLK1 CLK2		1/2		T	
32	CLK1, CLK2 サイクル時間 (MODE A, CIS)	CLK1 CLK2		1		T	
33	CLK2 ↑ 遅延時間 (MODE A, CIS) (対 MCLK ↑)	CLK2			30	nS	C=20pF
34	CLK3 遅延時間 (CIS) (対 MCLK ↑)	CLK3			25	nS	C=20pF
35	CLK3 高レベル幅(CIS)	CLK3		1/4		T	
36	CLK3 低レベル幅(CIS)	CLK3		3/4		T	
37	CLK3 サイクル時間(CIS)	CLK3		1		T	
38	CLK3 ↑ 遅延時間 (CIS) (対 MCLK ↑)	CLK3	T/32-5			nS	C=20pF
39	VD5~0 遅延時間 (対 MCLK ↑)	VD5~0			11T/32 +33	nS	C=20pF
40	S0, VD5~0 セットアップ時間 (対 MCLK ↑)	S0, VD5~0	T/2-15			nS	C=20pF, 通常時
			T/4-10			nS	C=20pF, 拡大時
41	S0, VD5~0 ホールド時間 (対 MCLK ↑)	S0, VD5~0	T/2-5			nS	C=20pF, 通常時
			T/4-10			nS	C=20pF, 拡大時
42	S0 遅延時間 (対 MCLK ↑)	S0			11T/32 +30	nS	C=20pF
43	SCLK 遅延時間 (対 MCLK ↑)	SCLK			27T/32 +25	nS	C=20pF, 通常時
					3T/32 +25	nS	C=20pF, 拡大時
44	SCLK 高レベル幅	SCLK		1/2		T	通常時
				1/4		T	拡大時
45	SCLK 低レベル幅	SCLK		1/2		T	通常時
				1/4		T	拡大時
46	SCLK サイクル時間	SCLK		1		T	通常時
				1/2		T	拡大時
47	DEN 遅延時間	DEN			11T/32 +25	nS	C=20pF
48	DEN セットアップ時間 (対 SCLK ↑)	DEN	T/2-10			nS	C=20pF, 通常時
			T/4-10			nS	C=20pF, 拡大時
49	DEN ホールド時間 (対 SCLK ↑)	DEN	T/2-10			nS	C=20pF, 通常時
			T/4-10			nS	C=20pF, 拡大時
50	LA12~0 セットアップ時間 (対 /LWR ↓)	LA12~0	T/16 -13			nS	C=20pF
51	LA12~0 ホールド時間 (対 /LWR ↑)	LA12~0	0			nS	C=20pF
52	BA1~0 セットアップ時間 (対 /LWR ↓)	BA1~0	T/16 -13			nS	C=20pF
53	BA1~0 ホールド時間 (対 /LWR ↑)	BA1~0	0			nS	C=20pF

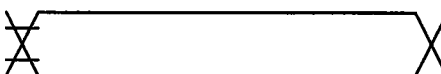

(特記なき場合、VD、VA=5V±5%、Ta=70°C)

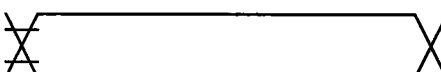

No.	項目	適用端子	min.	typ.	max.	単位	条件
54	/LWR 最小サイクル時間	/LWR		1/8		T	C=20pF
55	/LWR パルス幅	/LWR		1/16		T	C=20pF
56	LD5~0 セットアップ時間 (対 /LWR ↑)	LD5~0	T/16-5			nS	C=20pF
57	LD5~0 ホールド時間 (対 /LWR ↑)	LD5~0	0			nS	C=20pF
58	LD5~0 許容遅延時間 (対 LA12~0)	LD5~0			T/8-27	nS	C=20pF
59	LD5~0 許容遅延時間 (対 BA1~0)	LD5~0			T/8-27	nS	C=20pF
60	LA12~0 ホールド時間 (対 /LRD ↑)	LA12~0	0			nS	C=20pF
61	BA1~0 ホールド時間 (対 /LRD ↑)	BA1~0	0			nS	C=20pF
62	LD5~0 許容遅延時間 (対 /LRD ↓)	LD5~0			T/8-27	nS	C=20pF
63	/LRD パルス幅	/LRD		1/8		T	
64	/LRD 最小サイクル時間	/LRD		1/8		T	
65	LD5~0 ホールド時間 (対 /LRD ↑)	LD5~0	0			nS	C=20pF
66	LD5~0→Hi-Z許容遅延時間				T/16-5	nS	C=20pF
67	/CS セットアップ時間 (対 /WR ↓)	/CS	20			nS	
68	/CS ホールド時間 (対 /WR ↑)	/CS	0			nS	
69	RA4~0 セットアップ時間 (対 /WR ↓)	RA4~0	20			nS	
70	RA4~0 ホールド時間 (対 /WR ↑)	RA4~0	0			nS	
71	/WR 低レベル幅	/WR	20			nS	
72	/WR 最小サイクル時間	/WR	1			T	
73	D7~0 許容遅延時間 (対 /WR ↓)	D7~0			5T/16 -20	T	
74	D7~0 セットアップ時間 (対 /WR ↑)	D7~0	20			nS	
75	D7~0 ホールド時間 (対 /WR ↑)	D7~0	0			nS	
76	/LWR ↓ 遅延時間 (対 /WR ↓)	/LWR			25	nS	C=20pF
77	/LWR ↑ 遅延時間 (対 /WR ↑)	/LWR			25	nS	C=20pF
78	LD5~0 アクティブ 遅延時間 (対 /WR ↓)	LD5~0			25	nS	C=20pF
79	LD5~0 遅延時間 (対 D5~0)	LD5~0			25	nS	C=20pF
80	LD5~0 ホールド時間 (対 /LWR ↑)	LD5~0	0			nS	C=20pF

(特記なき場合、VD、VA=5V±5%、Ta=70℃)

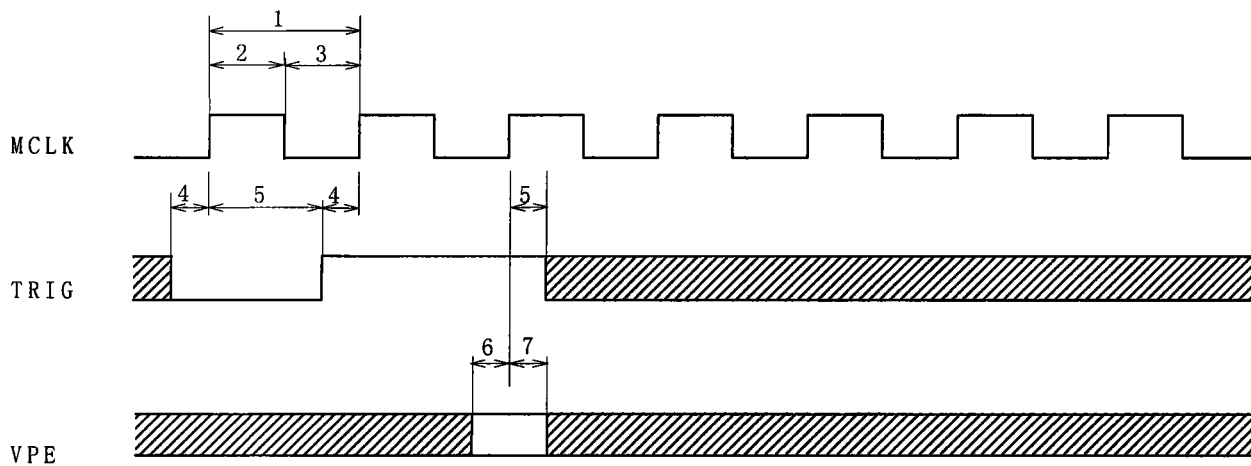
No.	項目	適用端子	min.	typ.	max.	単位	条件
81	LA12~0 ホールド時間 (対 /LWR ↑)	LA12~0	0			nS	C=20pF
82	/RD 低レベル幅	/RD	20			nS	
83	/RD 最小サイクル時間	/RD	1			T	
84	LA12~0 ホールド時間 (対 /RD ↓)	D7~0			30	nS	C=50pF
85	D7~0 ホールド時間 (対 /RD ↑)	D7~0	0			nS	C=50pF
86	D7~0 遅延時間 (対 LD5~0)	D7~0			30	nS	C=50pF
87	/LRD ↓ 遅延時間 (対 /RD ↓)	/LRD			25	nS	C=20pF
88	/LRD ↑ 遅延時間 (対 /RD ↑)	/LRD			25	nS	C=20pF
89	LD5~0 ホールド時間 (対 /LRD ↑)	LD5~0	0			nS	
90	LA12~0 ホールド時間 (対 /LRD ↑)	LA12~0	0			nS	C=20pF
91	LEDC ホールド時間 (対 /WR ↓)	LEDC	0			nS	C=50pF
92	LEDC 遅延時間 (対 D7~0)	LEDC			30	nS	C=50pF
93	/DREQ ↓ 遅延時間 (対 MCLK ↑)	/DREQ			11T/32 +35	nS	C=20pF 2値モード
					27T/32 +30	nS	C=20pF 多値モード
94	/DREQ ↑ 遅延時間 (対 /RD ↓)	/DREQ			25	nS	C=20pF
95	/DACK ↓ セットアップ時間 (対 /RD ↓)	/DACK	0			nS	
96	/DACK ↑ ホールド時間 (対 /RD ↑)	/DACK	0			nS	
97	/RD ↓ 応答時間 (対 /DREQ ↓)	/RD	0		31T/8 -25	nS	C=20pF 2値モード
			0		3T/8 -25	nS	C=20pF 多値モード
98	/RD ↑ 許容遅延時間 (対 /DREQ ↓)	/RD			4T-30	nS	C=20pF 2値モード
					T/2-30	nS	C=20pF 多値モード

■テスト条件

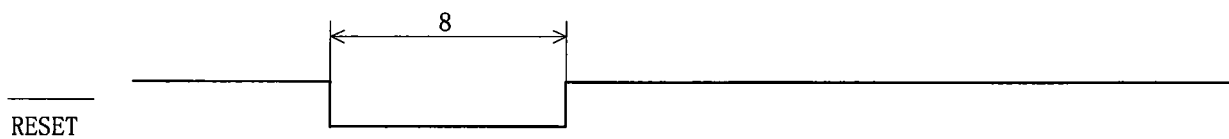
(入力信号) 2.2V 
0.8V 

(出力信号) 2.2V 
0.8V 

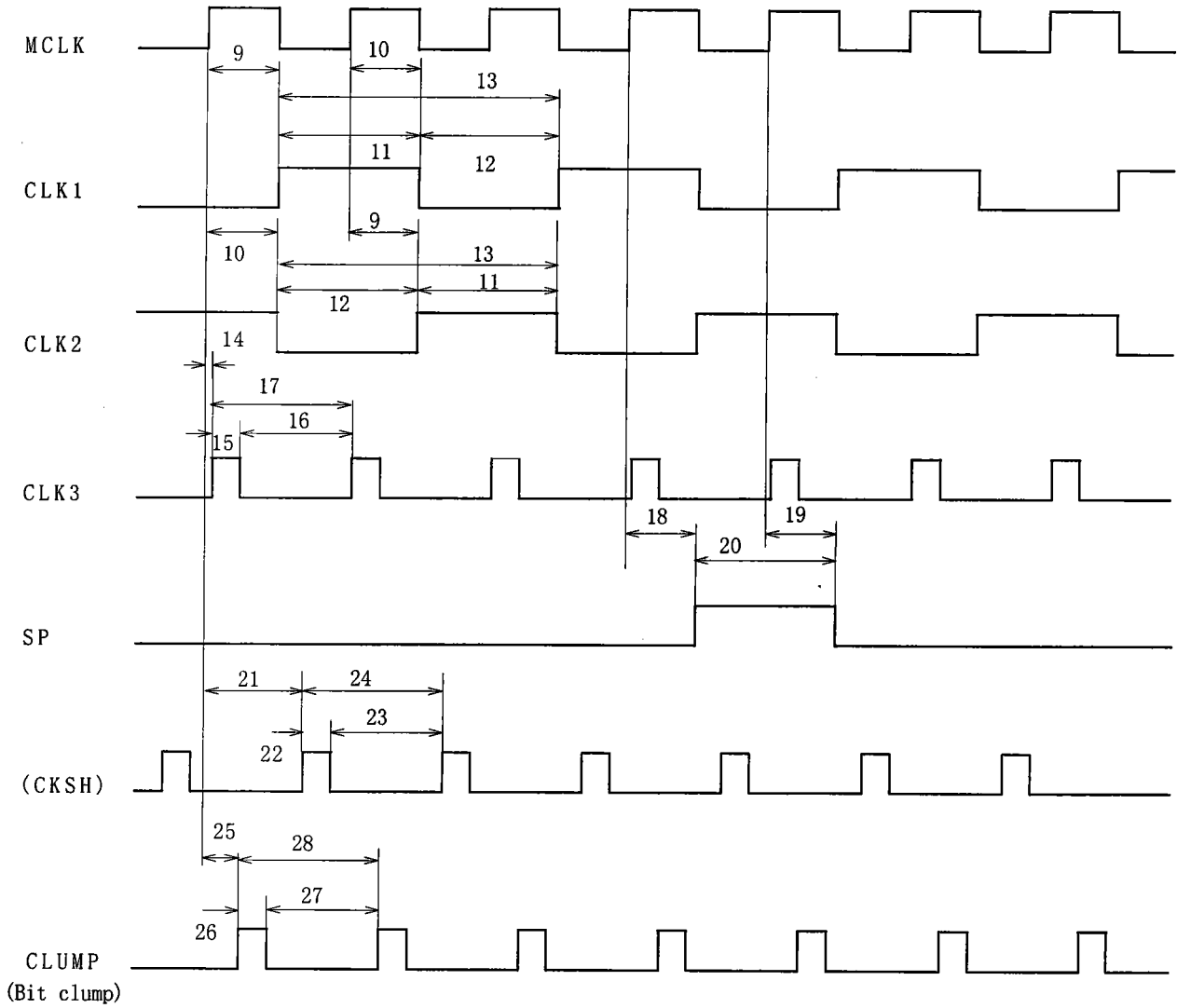
(1) 基本クロック



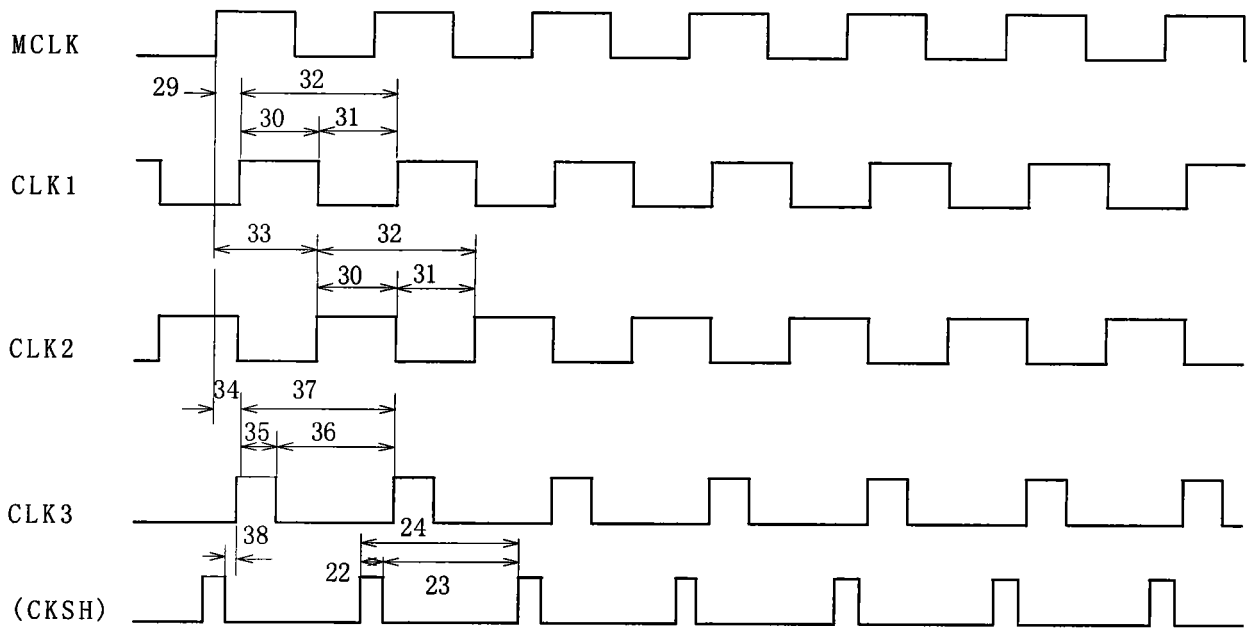
(2) リセット



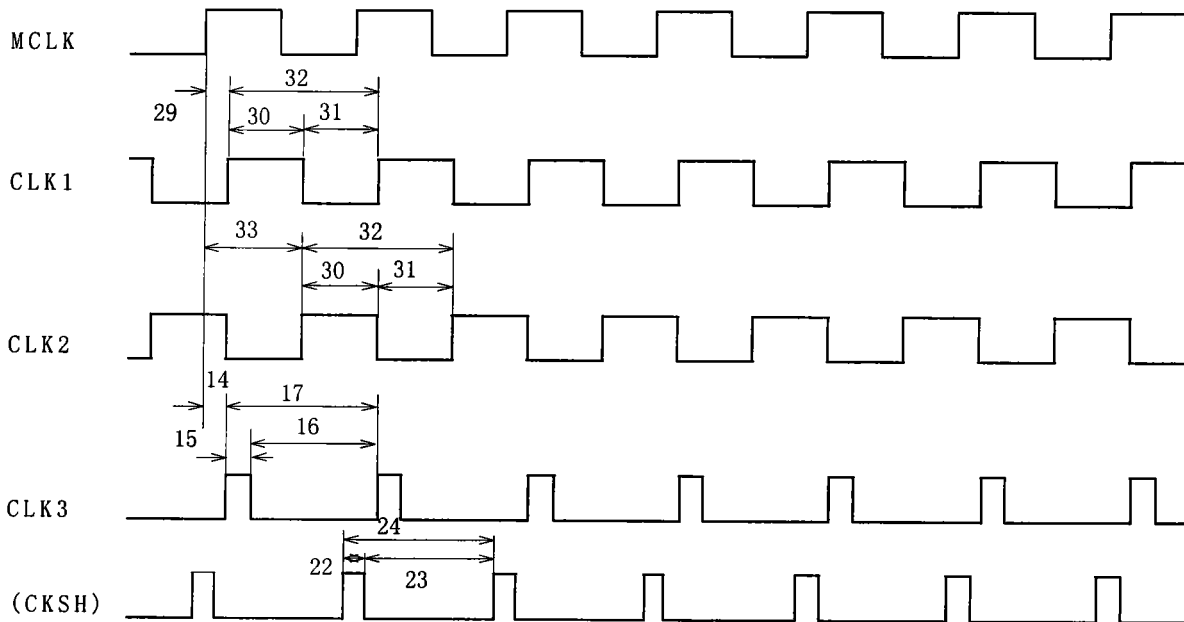
(3) センサークロックタイミング (CCD mode B)



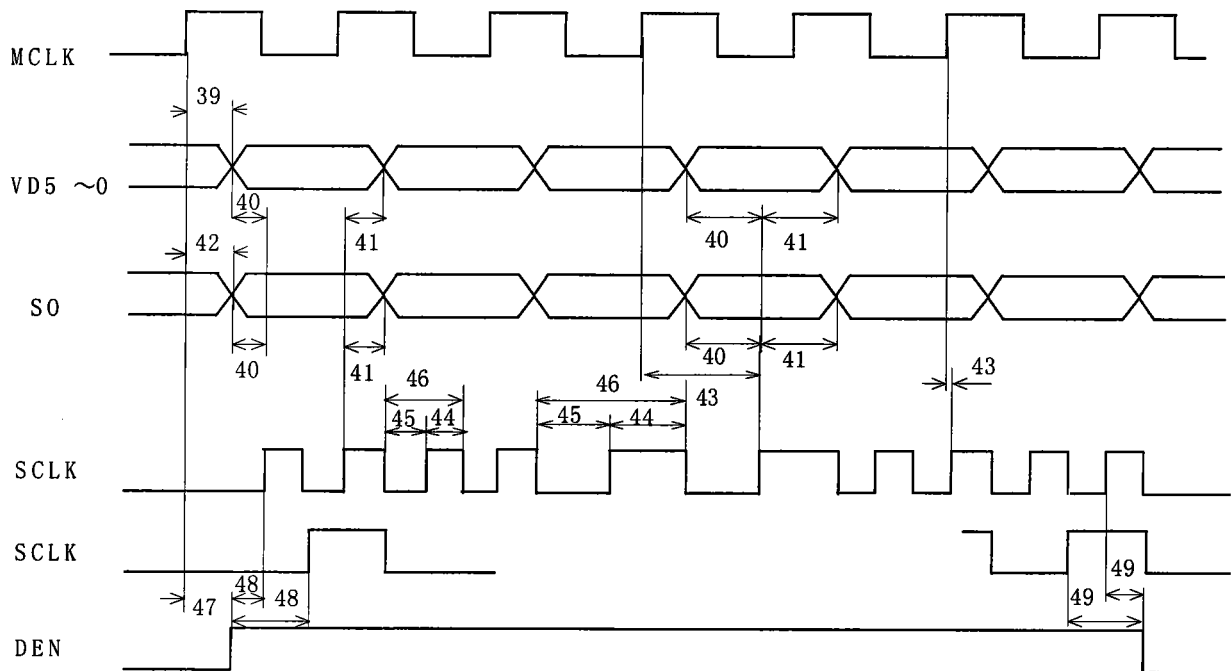
(4) センサークロックタイミング (CIS mode)



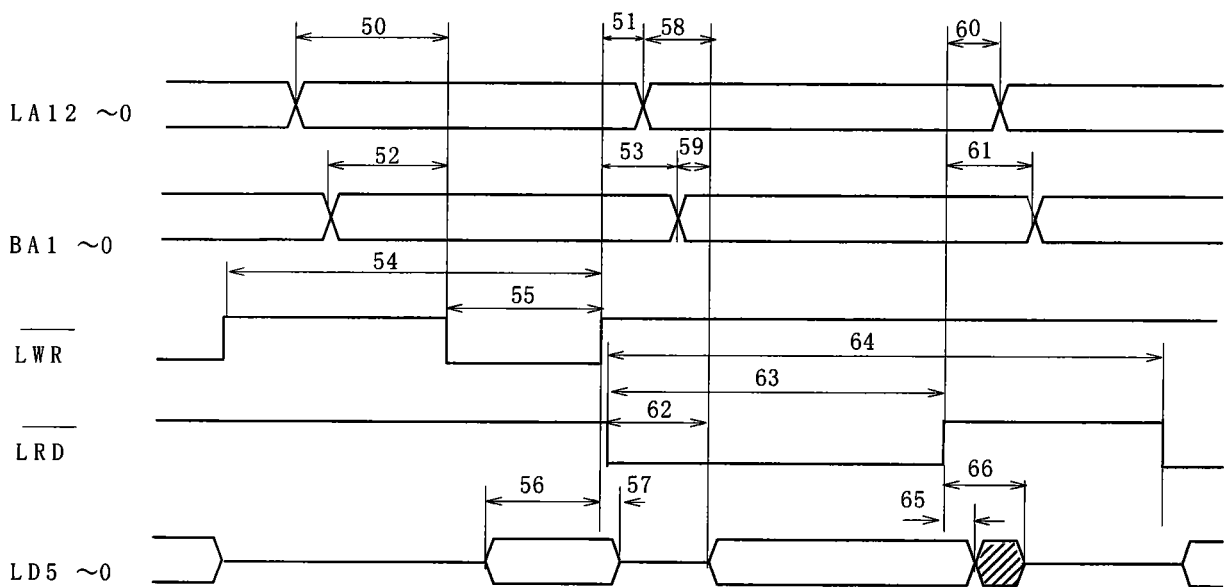
(5) センサークロックタイミング (CCD mode A)



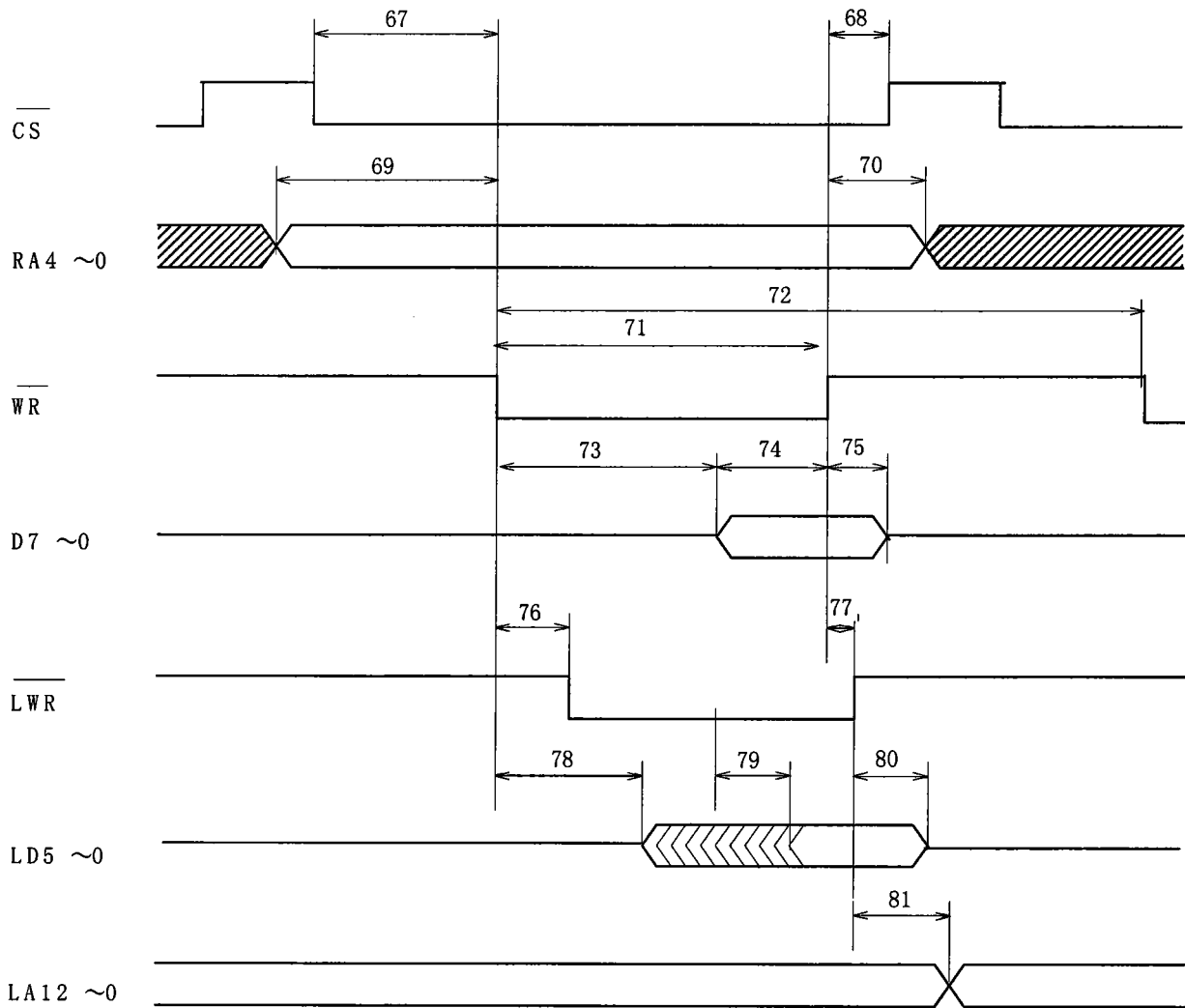
(6) ビデオメモリー I/F



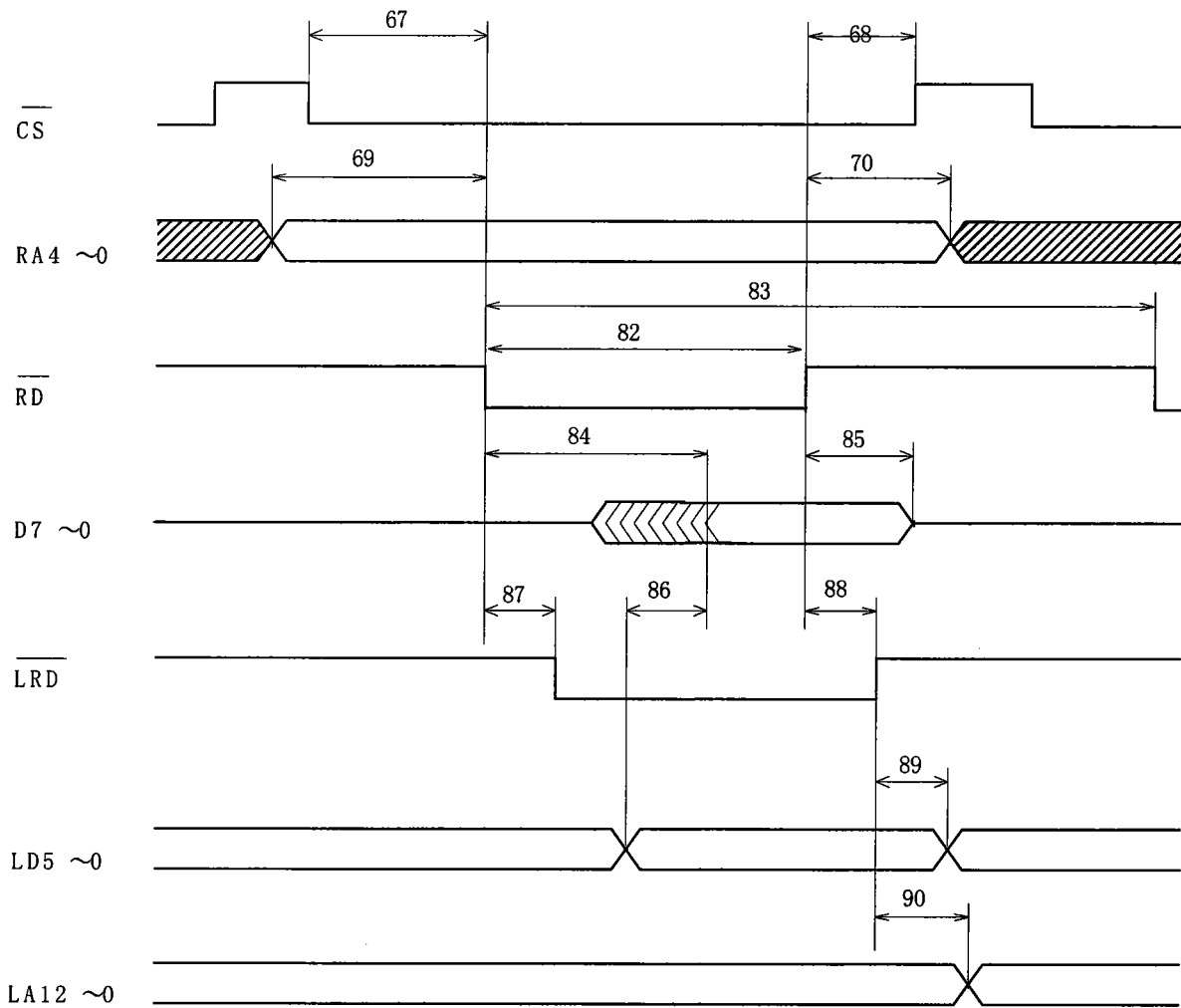
(7) メモリアクセスタイミング (動作モード時)



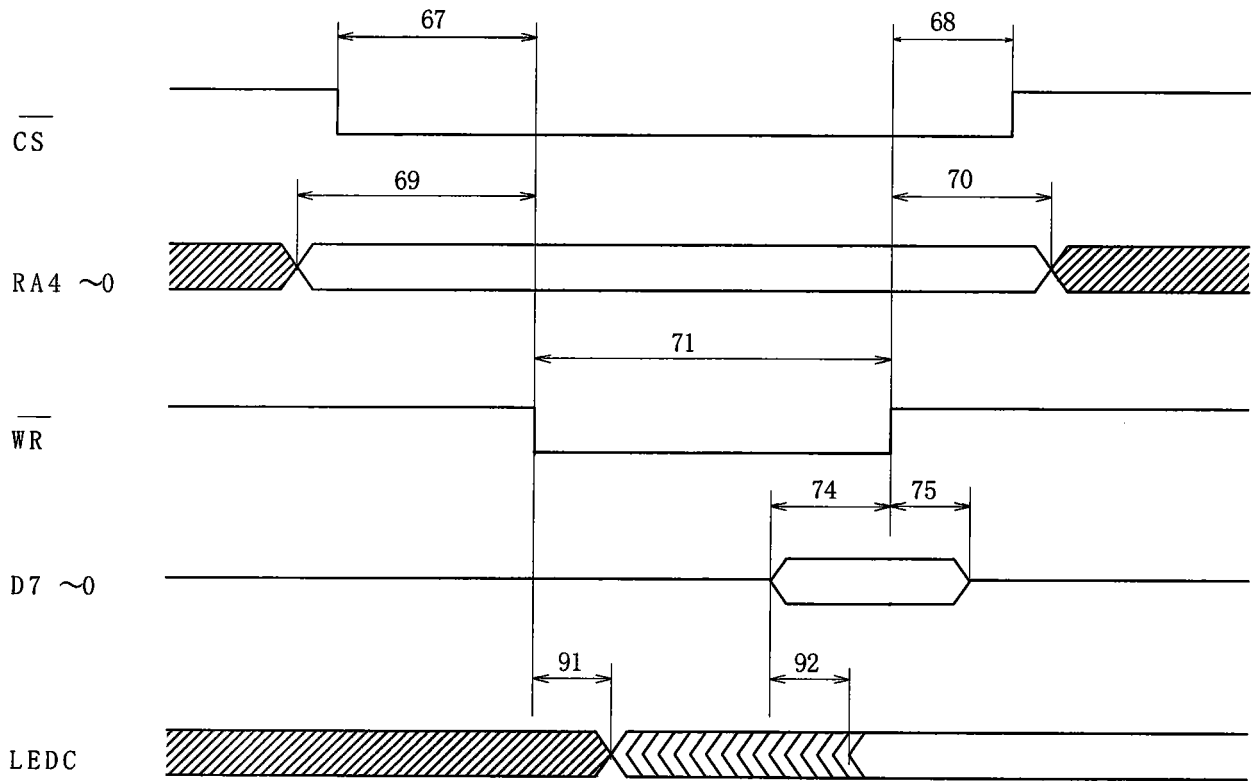
(8) メモリアクセスタイミング (内部/外部RAMアクセスモード時)
データライト時



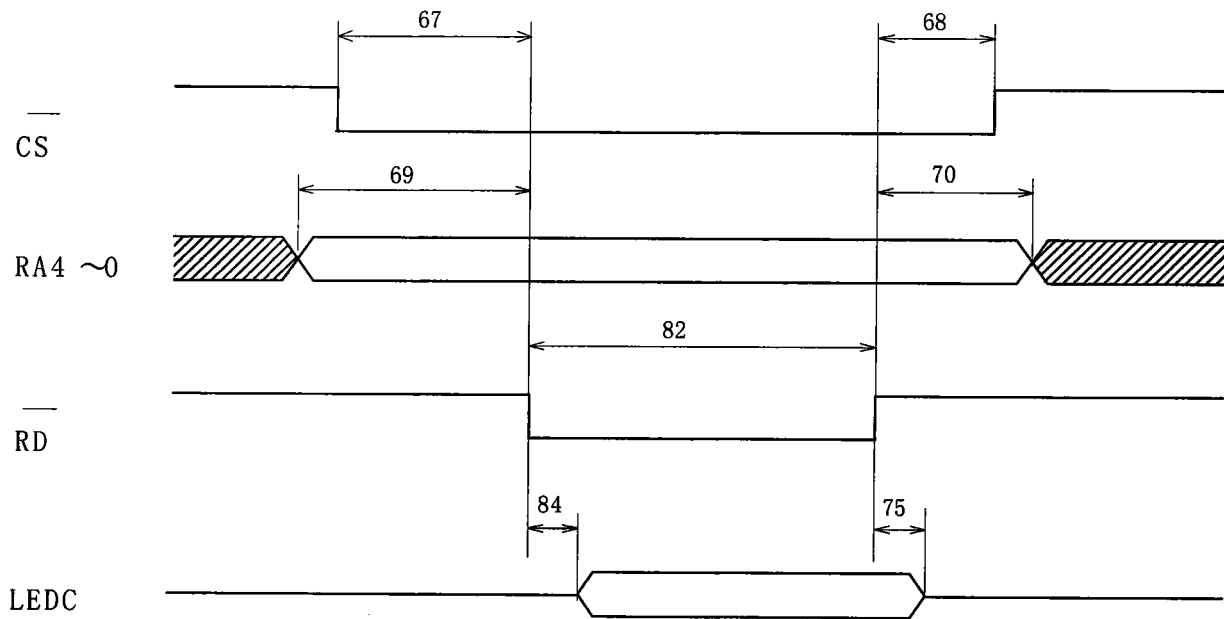
(9) メモリアクセスタイミング (内部/外部RAMアクセスモード時)
データリード時



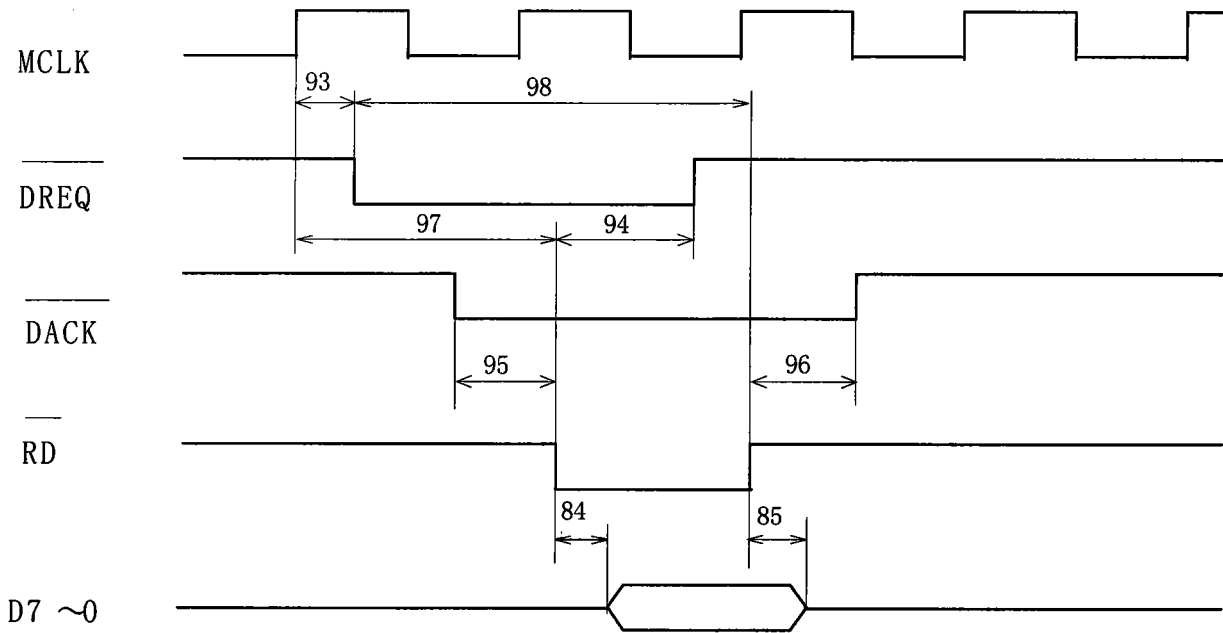
(10) マイコンI/Fタイミング
データライト時



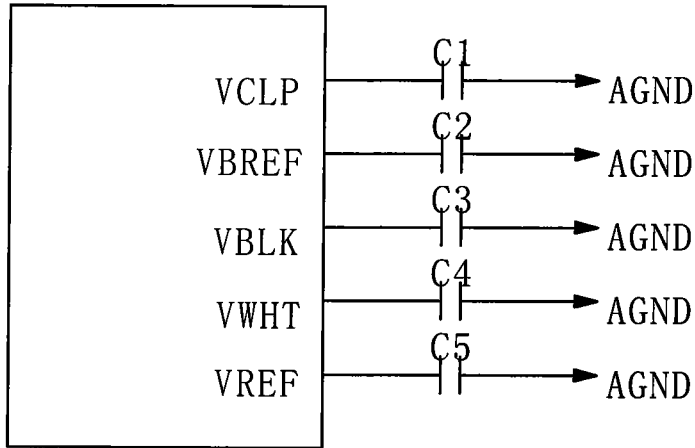
(11) マイコンI/Fタイミング
データリード時



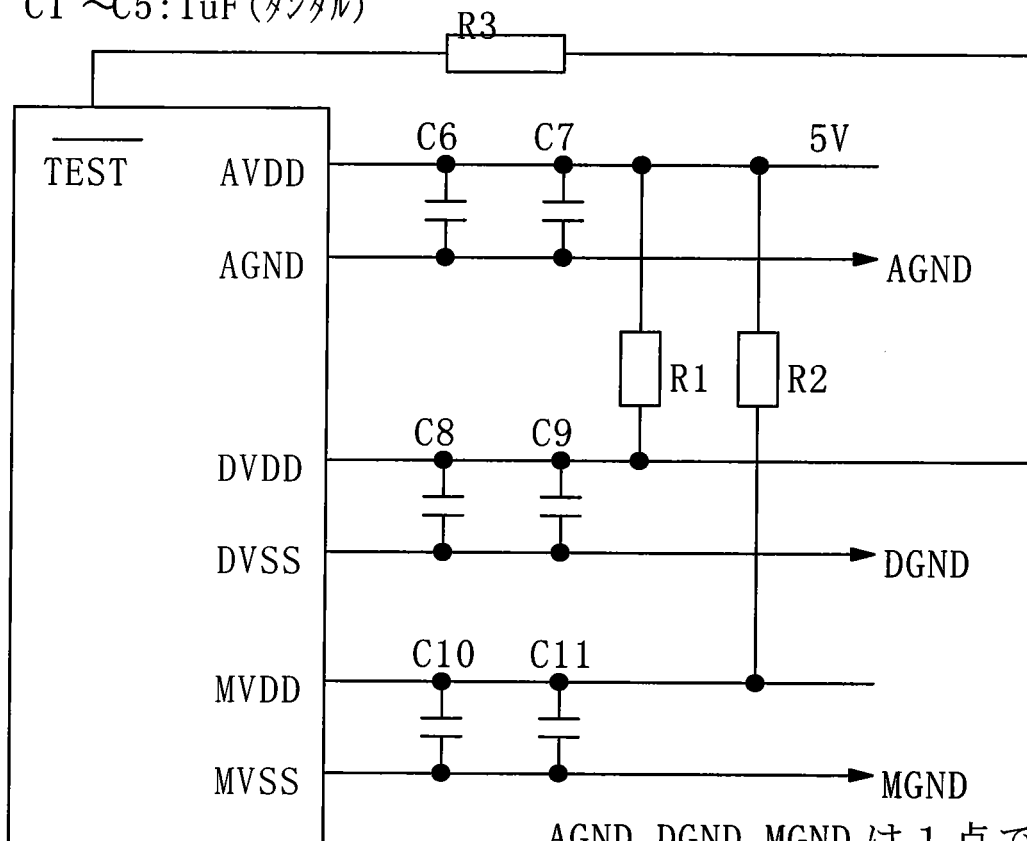
(12)DMA I/F



外部推奨回路



C1 ~C5: 1 μ F (タンタル)



AGND, DGND, MGND は 1 点で接続

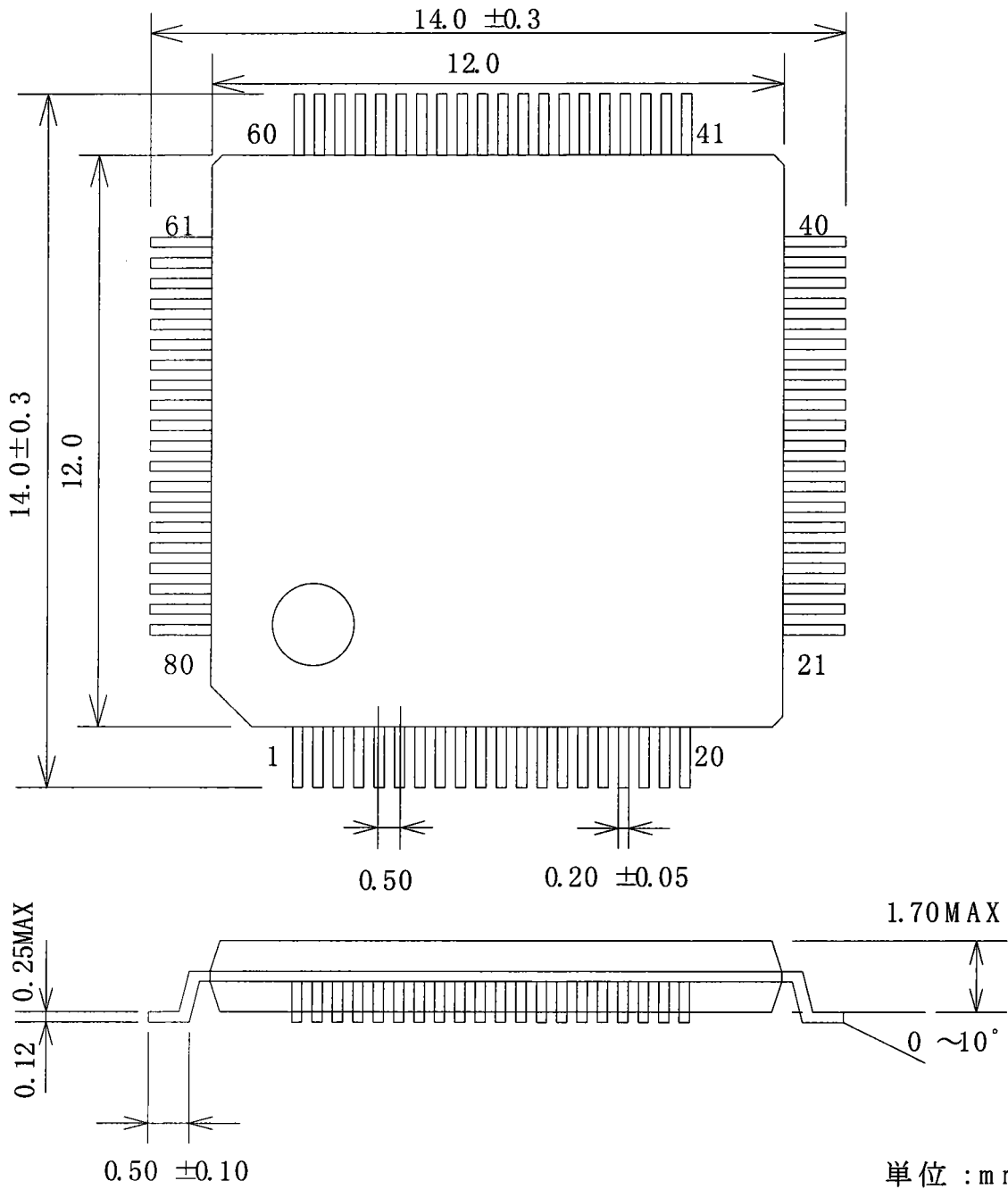
C6, C8, C10: 22 μ F (タンタル)

C7, C9, C11: 0.1 μ F (セラミック)

R1, R2 : 2 Ω

R3 : 10K Ω

パッケージ外形寸法図



重要な注意事項

本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。

本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。

本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。

医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。

この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。

お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害が生じた場合はすべてお客様にてご負担または補償して頂きますのでご了承下さい。