

SANYO

三洋半導体開発ニュース

No. N※7278

N1502

暫定規格

LC87F67C8A — CMOS LSI FROM128K バイト RAM4096 バイト内蔵 8ビット1チップマイクロコンピュータ

LC87F67C8Aは、最小バスサイクル100nsで動作するCPU部を中心にして、128KバイトのフラッシュROM(オンボード書き換え可能)、4096バイトRAM、蛍光表示管(VFD)自動表示コントローラ・ドライバ、16ビットタイマ/カウンタ(8ビット×2に分割可)、16ビットタイマ/PWM(8ビット×2に分割可)、プリスケラ付き8ビットタイマ×4、時計用ベースタイマ、高速クロックカウンタ、システムクロック分周機能、自動転送機能付き同期式SIO、非同期/同期式SIO、8ビット14チャンネルADコンバータ、小信号検出、21要因10ベクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータです。

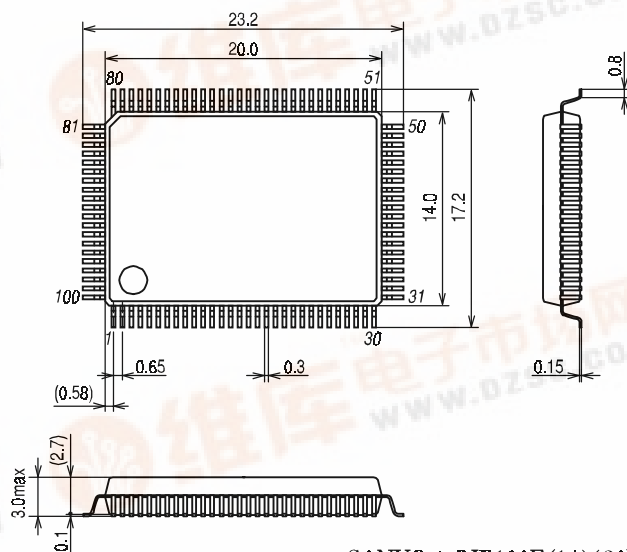
特長

■フラッシュROM

- ・5V単一電源でのオンボード書き込み可能
- ・128バイト単位でのブロック消去可能
- ・131072×8ビット (LC87F67C8A)

外形図 3151A

(unit: mm)



SANYO: QIP100E(14×20)

※この製品は米国 SST 社 (Silicon Storage Technology Inc.) のライセンスを受け三洋電機株式会社で製造、販売するものです。

■本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

LC87F67C8A

■RAM

- ・ 4096×9 ビット (LC87F67C8A)

■最小バスサイクルタイム

- ・ 100ns (10MHz)

(注)バスサイクルタイムは ROM の読み出し速度を表します。

■最小命令サイクルタイム

- ・ 300ns (10MHz)

■ポート

- ・ ノーマル耐圧入出力ポート
ビット単位で入出力指定可能 20 (P1n, P70～P73, P8n)
- ・ 最大 14V 耐圧入出力ポート
4 ビット単位で入出力指定可能 8 (P0n)
(ただし、N チャネルオープンドレイン出力時はビット単位で入力できます。)
1 ビット単位で入出力指定可能 8 (P3n)
- ・ ノーマル耐圧入力ポート 2 (XT1, XT2)
- ・ 蛍光表示管 (VFD) 駆動ポート
デジット用大電流出力 9 (S0/T0～S8/T8)
デジット/セグメント用大電流出力 7 (S9/T9～S15/T15)
デジット/セグメント用出力 8 (S16～S23)
セグメント用出力 28 (S24～S51)
- ・ 兼用機能
入出力ポート 12 (PFn, PG0～3)
入力ポート 24 (PCn, PDn, PEn)
- ・ 発振専用ポート 2 (CF1, CF2)
- ・ リセット端子 1 ($\overline{\text{RES}}$)
- ・ 電源端子 6 (V_{SS1} ～2, V_{DD1} ～4)

■VFD 自動表示コントローラ

- ① プログラマブルなセグメント/デジット出力パターン
セグメント/デジット用波形出力の切り換えが可能 (デジット用波形出力可能端子数: 9～24 本)
大電流が必要な VFD に対して並列駆動可能
- ② 16 段階ディマー機能内蔵

■小信号検出 (マイク信号等)

- ① 一定レベル以上の振幅を持つパルスのカウント
- ② 2 ビットのカウンタ

LC87F67C8A

■ タイマ

- ・ タイマ 0: キャプチャレジスタ付きの 16 ビットのタイマ/カウンタ
 - モード 0: 8 ビットプログラマブルプリスケアラ付 8 ビットタイマ (8 ビットキャプチャレジスタ付) × 2 チャンネル
 - モード 1: 8 ビットプログラマブルプリスケアラ付 8 ビットタイマ (8 ビットキャプチャレジスタ付) + 8 ビットカウンタ (8 ビットキャプチャレジスタ付)
 - モード 2: 8 ビットプログラマブルプリスケアラ付 16 ビットタイマ (16 ビットキャプチャレジスタ付)
 - モード 3: 16 ビットカウンタ (16 ビットキャプチャレジスタ付)
- ・ タイマ 1: PWM/トグル出力可能な 16 ビットのタイマ/カウンタ
 - モード 0: 8 ビットタイマ (トグル出力付) + 8 ビットタイマ/カウンタ (トグル出力付)
 - モード 1: 8 ビット PWM × 2 チャンネル
 - モード 2: 16 ビットタイマ/カウンタ (トグル出力付) (下位 8 ビットからもトグル出力可能)
 - モード 3: 16 ビットタイマ (トグル出力付) (下位 8 ビットは PWM として使用可能)
- ・ タイマ 4: 6 ビットプリスケアラ付き 8 ビットタイマ
- ・ タイマ 5: 6 ビットプリスケアラ付き 8 ビットタイマ
- ・ タイマ 6: 6 ビットプリスケアラ付き 8 ビットタイマ
- ・ タイマ 7: 6 ビットプリスケアラ付き 8 ビットタイマ
- ・ ベースタイマ
 - ① クロックは、サブクロック (32.768kHz 水晶発振)、システムクロック、タイマ 0 のプリスケアラ出力から選択できる。
 - ② 5 種類の時間での割り込み発生が可能。

■ 高速クロックカウンタ

- ① 最高 20MHz のクロックをカウントできる (メインクロック 10MHz 使用時)。
- ② リアルタイム出力。

■ シリアルインタフェース

- ・ SI00: 8 ビット同期式シリアルインタフェース
 - ① LSB 先頭/MSB 先頭切換え可能
 - ② 8 ビットボーレートジェネレータ内蔵 (最大転送クロック周期 $4/3t_{CYC}$)
 - ③ 連続自動データ通信 (1~256 ビット)
- ・ SI01: 8 ビット非同期/同期式シリアルインタフェース
 - モード 0: 同期式 8 ビットシリアル I/O (2 線式または 3 線式, 転送クロック 2~512 t_{CYC})
 - モード 1: 非同期シリアル I/O (半二重, データ 8 ビット, ストップビット 1, ボーレート 8~2048 t_{CYC})
 - モード 2: バスモード 1 (スタートビット, データ 8 ビット, 転送クロック 2~512 t_{CYC})
 - モード 3: バスモード 2 (スタート検出, データ 8 ビット, ストップ検出)

■ ADC: 8 ビット × 14 チャンネル

■ リモコン受信回路 (P73/INT3/T0IN 端子と共用)

- ① ノイズ除去機能 (ノイズ除去フィルタの時定数選択 1/32/128 t_{CYC})

■ ウォッチドッグタイマ

- ① RC 外付けによるウォッチドッグタイマ
- ② 割り込み, リセットの選択可能

LC87F67C8A

■割り込み:21 要因, 10 ベクタ

- ①割り込みは低レベル(L), 高レベル(H), 最高レベル(X)の3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても、受け付けられません。
- ②2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは、飛び先ベクタアドレスの小さい方の割り込みが優先されます。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	X または L	INT0
2	0000BH	X または L	INT1
3	00013H	H または L	INT2/TOL/INT4
4	0001BH	H または L	INT3/ベースタイマ/INT5
5	00023H	H または L	T0H
6	0002BH	H または L	T1L/T1H
7	00033H	H または L	SI00
8	0003BH	H または L	SI01
9	00043H	H または L	ADC/MIC/T6/T7
10	0004BH	H または L	VFD 自動表示コントローラ/ポート 0/T4/T5

・優先レベル X>H>L ・同一レベルではベクタアドレス小さいものの優先

■サブルーチンスタックレベル:最大 2048 レベル(スタックは RAM の中に設定)

■高速乗除算命令

- ・16ビット×8ビット (実行時間 5tCYC)
- ・24ビット×16ビット (実行時間 12tCYC)
- ・16ビット÷8ビット (実行時間 8tCYC)
- ・24ビット÷16ビット (実行時間 12tCYC)

■発振回路

- ・RC 発振回路(内蔵) :システムクロック用
- ・CF 発振回路 :システムクロック用, Rf 内蔵
- ・水晶発振回路 :低速システムクロック用, Rd, Rf 外付け
- ・周波数可変 RC 発振回路(内蔵) :システムクロック用

■システムクロック分周機能

- ・低消費電流動作可能
最小命令サイクルタイムで 300ns, 600ns, 1.2μs, 2.4μs, 4.8μs, 9.6μs, 19.2μs, 38.4μs, 76.8μs
の選択可能(メインクロック 10MHz 使用時)

■スタンバイ機能

- ・HALT モード:命令実行停止, 周辺回路動作継続(VFD 表示機能およびシリアル転送の一部機能は停止します)
 - ①発振の停止は自動的には行いません。
 - ②システムリセットまたは割り込みの発生により解除。
- ・HOLD モード:命令実行停止, 周辺回路動作停止
 - ①CF 発振, RC 発振, 水晶発振のいずれも自動的に停止します。
 - ②HOLD モードを解除するには、次の3つの方法があります。
 - 1) リセット端子に「L」レベルを入力する。
 - 2) INT0, INT1, INT2, INT4, INT5 の少なくとも1つの端子に指定されたレベルを入力する。
 - 3) ポート 0 で割り込み要因が成立する。

次ページへ続く。

LC87F67C8A

前ページより続く。

- ・ X'tal HOLD モード: 命令実行停止, ベースタイマ以外の周辺回路動作停止
 - ① CF 発振, RC 発振は、自動的に停止します。
 - ② 水晶発振は、突入時の状態を維持します。
 - ③ X'tal HOLD モードを解除するには、次の 4 つの方法があります。
 - 1) リセット端子に「L」レベルを入力する。
 - 2) INT0, INT1, INT2, INT4, INT5 の少なくとも 1 つの端子に指定されたレベルを入力する。
 - 3) ポート 0 で割り込み要因が成立する。
 - 4) ベースタイマ回路で割り込み要因が成立する。

■出荷形態

- ・ QIP100E

■開発ツール

- ・ エバチップ : LC876093
- ・ エミュレータ : EVA62S + ECB876600 + SUB876700 + POD100QFP
: ICE - B877300 + SUB876700 + POD100QFP
- ・ フラッシュ ROM 書き込みアダプタ : W87FQ100

■マスク ROM 版と同一パッケージ, 同一ピン配列

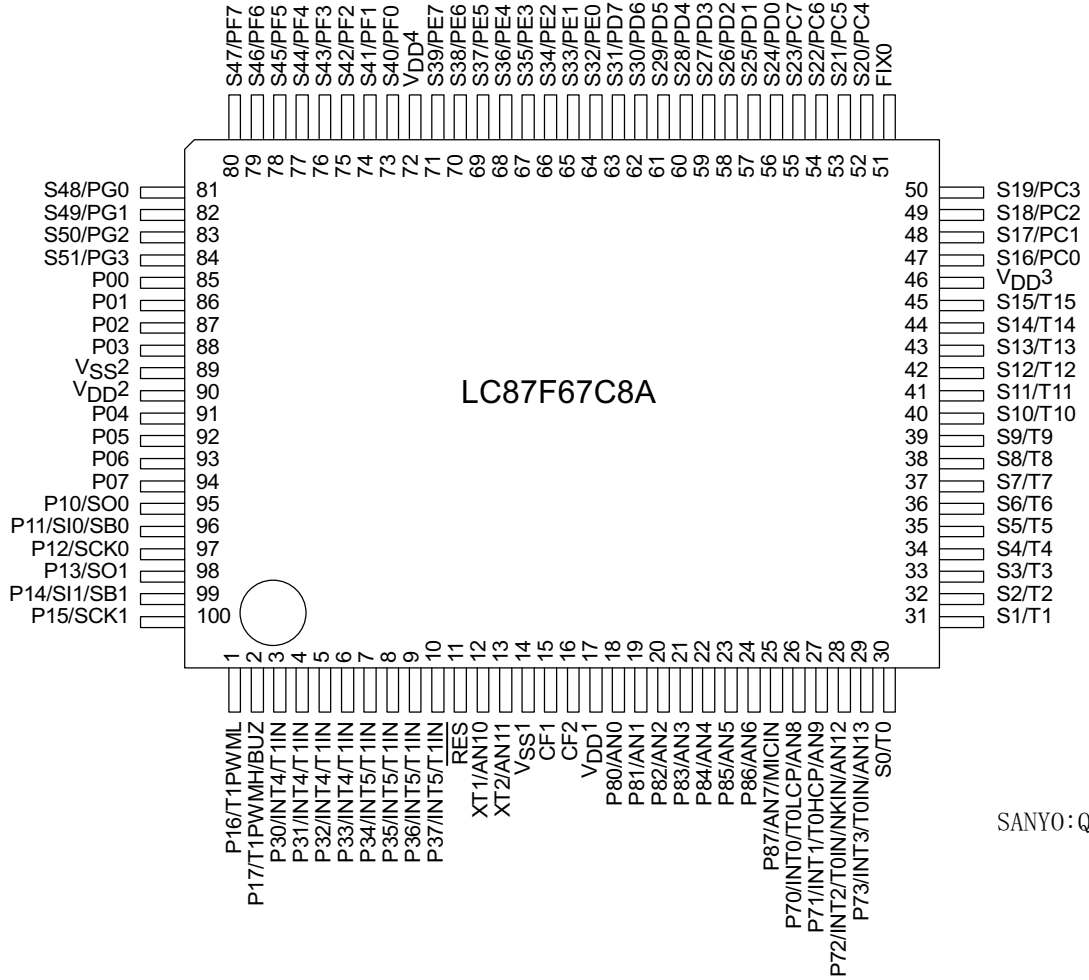
- ・ LC876700 シリーズのオプション機能をフラッシュ ROM データによって指定できます。これにより、量産セット基板を使用した試作評価ができます。
- ・ マスク ROM 版のプログラムを使用する場合、使用できる ROM/RAM 容量は、適用するマスク ROM 版と同じになります。

LC87F67C8A と LC876700 シリーズの相違点

項目	LC87F67C8A	LC876700 シリーズマスク ROM 版
リセット解除後の動作	リセット端子に「H」レベルを印加してから 2ms 程度の期間は LSI 内部でオプションの設定を行います。この期間に徐々にオプションが設定されます。その後、プログラムカウンタの 0 番地からプログラムを実行します。	リセット端子に「H」レベルを印加すると、すぐにプログラムカウンタの 0 番地からプログラムを実行します。
ROM	フラッシュ ROM を内蔵しています。 フラッシュ ROM は書き換えが可能です。	マスク ROM を使用しています。
Nch-オープンドレイン オプションを選択した ポート 0, 3 端子の耐圧 電圧	絶対最大定格: -0.3V~14V 許容動作範囲: V _{SS} ~12.5V	絶対最大定格: -0.3V~15V 許容動作範囲: V _{SS} ~13.5V
動作電源電圧	半導体ニュース「電気的特性」を参照して下さい。	
消費電流特性	半導体ニュース「電気的特性」を参照して下さい。	
内蔵 RC 発振	半導体ニュース「電気的特性」に示す範囲でばらつきます。 ロット依存, 電圧依存, 温度依存, 等が異なります。	

LC87F67C8A

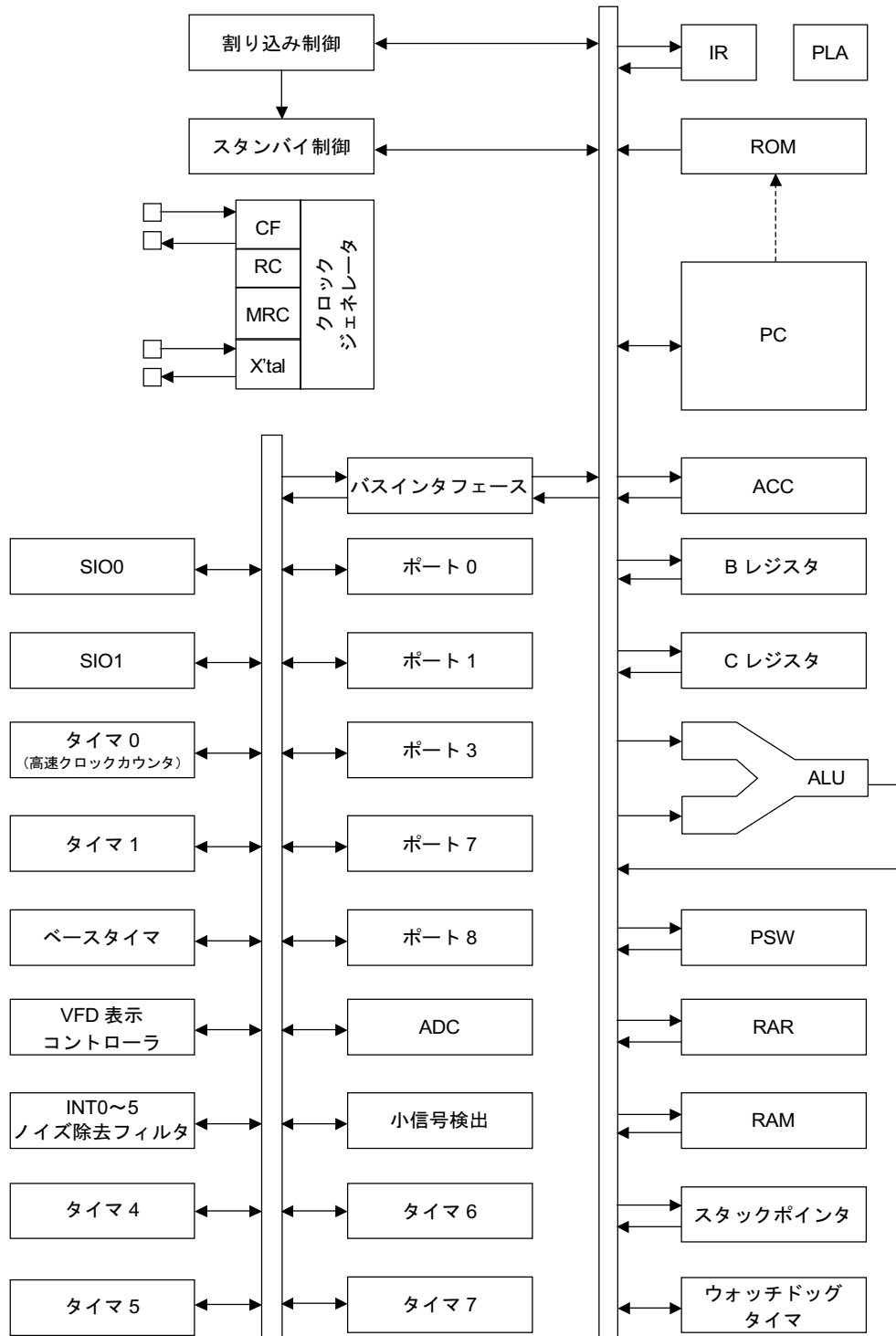
ピン配置図



SANYO:QIP100E

LC87F67C8A

システムブロック図



LC87F67C8A

端子機能表

端子名	入出力	機能説明	オプション																		
VSS1, VSS2	—	電源の－端子	なし																		
VDD1, VDD2 VDD3, VDD4	—	電源の＋端子	なし																		
FIX0	—	テスト用端子 ユーザ使用時はVSS にショートして下さい(注 1)。	なし																		
PORT0 P00～P07	入出力	・8 ビットの入出力ポート ・4 ビット単位の入出力指定可能 ・4 ビット単位のパルアップ抵抗 ON/OFF 可能 ・HOLD 解除入力 ・ポート 0 割り込み入力 ・N チャンネルオープンドレイン出力時は 14V 耐圧	あり																		
PORT1 P10～P17	入出力	・8 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・兼用機能 P10:SI00 データ出力 P11:SI00 データ入力/バス入出力 P12:SI00 クロック入出力 P13:SI01 データ出力 P14:SI01 データ入力/バス入出力 P15:SI01 クロック入出力 P16:タイマ 1PWML 出力 P17:タイマ 1PWML 出力/ブザー出力	あり																		
PORT3 P30～P37	入出力	・8 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・N チャンネルオープンドレイン出力時は 14V 耐圧 ・兼用機能 P30～P33: INT4 入力/HOLD 解除入力/タイマ 1 イベント入力/タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力 P34～P37: INT5 入力/HOLD 解除入力/タイマ 1 イベント入力/タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力 ・インタラプト受付形式 <table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち上がり & 立ち下がり</td><td>H レベル</td><td>L レベル</td></tr><tr><td>INT4</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr><tr><td>INT5</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr></table>		立ち上がり	立ち下がり	立ち上がり & 立ち下がり	H レベル	L レベル	INT4	○	○	○	×	×	INT5	○	○	○	×	×	あり
	立ち上がり	立ち下がり	立ち上がり & 立ち下がり	H レベル	L レベル																
INT4	○	○	○	×	×																
INT5	○	○	○	×	×																

次ページへ続く。

LC87F67C8A

前ページより続く。

端子名	入出力	機能説明	オプション																														
PORT7 P70～P73	入出力	・4ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・兼用機能 P70: INT0 入力/HOLD 解除入力/タイマ 0L キャプチャ入力/ ウォッチドッグタイマ用出力 P71: INT1 入力/HOLD 解除入力/タイマ 0H キャプチャ入力 P72: INT2 入力/HOLD 解除入力/タイマ 0 イベント入力/ タイマ 0L キャプチャ入力/高速クロックカウンタ入力 P73: INT3 入力(ノイズフィルタ付入力)/タイマ 0 イベント入力/ タイマ 0H キャプチャ入力 AD 変換入力ポート: AN8 (P70), AN9 (P71), AN12 (P72), AN13 (P73) ・インタラプト受付形式 <table><tr><td></td><td>立ち 上がり</td><td>立ち 下がり</td><td>立ち 上がり & 立ち 下がり</td><td>H レ ベル</td><td>L レ ベル</td></tr><tr><td>INT0</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td></tr><tr><td>INT1</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td></tr><tr><td>INT2</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr><tr><td>INT3</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr></table>		立ち 上がり	立ち 下がり	立ち 上がり & 立ち 下がり	H レ ベル	L レ ベル	INT0	○	○	×	○	○	INT1	○	○	×	○	○	INT2	○	○	○	×	×	INT3	○	○	○	×	×	なし
	立ち 上がり	立ち 下がり	立ち 上がり & 立ち 下がり	H レ ベル	L レ ベル																												
INT0	○	○	×	○	○																												
INT1	○	○	×	○	○																												
INT2	○	○	○	×	×																												
INT3	○	○	○	×	×																												
PORT8 P80～P87	入出力	・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・兼用機能 AD 変換入力ポート: AN0～AN7 小信号検出入力ポート: MICIN (P87)	なし																														
S0/T0～S8/T8	出力	・蛍光表示管 (VFD) 表示コントローラ デジット用大電流出力 (セグメント出力として使用可)	なし																														
S9/T9～ S15/T15	出力	・蛍光表示管 (VFD) 表示コントローラ セグメント/デジット用大電流出力	なし																														
S16～S23	入出力	・蛍光表示管 (VFD) 表示コントローラ セグメント/デジット用出力 ・兼用機能 高耐圧入力ポート: PC0～PC7	なし																														
S24～S31	入出力	・蛍光表示管 (VFD) 表示コントローラ セグメント用出力 ・兼用機能 高耐圧入力ポート: PD0～PD7	なし																														
S32～S39	入出力	・蛍光表示管 (VFD) 表示コントローラ セグメント用出力 ・兼用機能 高耐圧入力ポート: PE0～PE7	なし																														

次ページへ続く。

LC87F67C8A

前ページより続く。

端子名	入出力	機能説明	オプション
S40～S47	入出力	・蛍光表示管 (VFD) 表示コントローラ セグメント用出力 ・兼用機能 高耐圧入出力ポート: PF0～PF7	なし
S48～S51	入出力	・蛍光表示管 (VFD) 表示コントローラ セグメント用出力 ・兼用機能 高耐圧入出力ポート: PG0～PG3	なし
RES	入力	リセット端子	なし
XT1	入力	・32.768kHz 水晶発振子用入力端子 ・兼用機能 汎用入力ポート 使用しない場合は V_{DD1} に接続してください。 AD 変換入力ポート: AN10	なし
XT2	入出力	・32.768kHz 水晶発振子用出力端子 ・兼用機能 汎用入力ポート 使用しない場合は、発振仕様にしてオープンにしてください。 AD 変換入力ポート: AN11	なし
CF1	入力	セラミック発振子用入力端子	なし
CF2	出力	セラミック発振子用出力端子	なし

注 1: LC876700 シリーズは、LC876500, LC876600 シリーズ用の基板にそのまま実装可能です。

その際、FIX0 端子には蛍光表示管負電源電圧(マイナス電圧)がかかりますが問題ありません。

ポート出力形態

ポートの出力形態とプルアップ/プルダウン抵抗の有無を以下に示します。

尚、入出力ポートでのデータの読み込みは、ポートが出力モード時でも可能です。

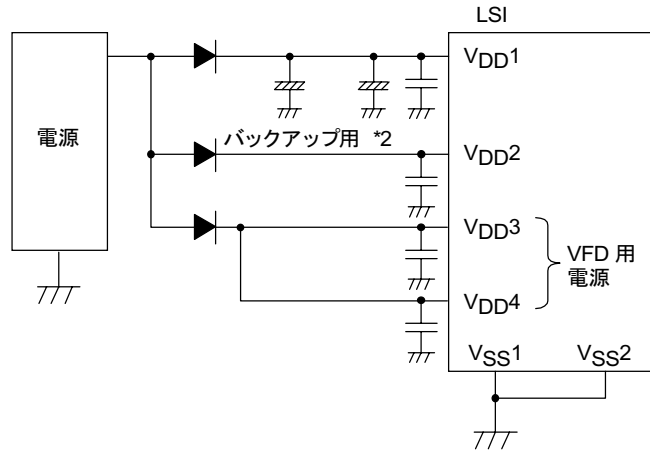
ポート名	オプション 切換単位	オプション 種類	出力形式	プルアップ抵抗	プルダウン 抵抗
P00～P07	1 ビット 単位	1	CMOS	プログラマブル (注 1)	—
		2	14V 耐圧 Nch-オープンドレイン	なし	—
P10～P17	1 ビット 単位	1	CMOS	プログラマブル	—
		2	Nch-オープンドレイン	プログラマブル	—
P30～P37	1 ビット 単位	1	CMOS	プログラマブル	—
		2	14V 耐圧 Nch-オープンドレイン	なし	—
P70	—	なし	Nch-オープンドレイン	プログラマブル	—
P71～P73	—	なし	CMOS	プログラマブル	—
P80～P87	—	なし	Nch-オープンドレイン	なし	—
S0/T0～S15/T15 S16～S51	—	なし	高耐圧 Pch-オープンドレイン	—	なし
XT1	—	なし	入力専用	なし	—
XT2	—	なし	32.768kHz 水晶発振子用出力	なし	—

注 1: ポート 0 のプログラマブルプルアップ抵抗は、4 ビット単位 (P00～03, P04～07) の制御になります。

LC87F67C8A

*1 V_{DD1} 端子に入るノイズを小さくし、バックアップ時間を長くするために、次のように接続してください。

V_{SS1} 端子と V_{SS2} 端子は必ず電氣的にショートしてください。



*2 内部メモリの保持電源は V_{DD1} ですが、V_{DD2} をバックアップしない場合、HOLD バックアップ時のポートの‘H’レベル出力は不定となり、入力バッファに貫通電流が流れてバックアップ時間が短くなります。

HOLD バックアップ時はポートの状態が‘L’レベルになるように設定してください。

1. 絶対最大定格/Ta=25°C, V_{SS1}=V_{SS2}=0V

項目	記号	適用端子・備考	条件	V _{DD} [V]	min	typ	max	unit
最大電源電圧	V _{DD max}	V _{DD} , V _{DD2} , V _{DD3} , V _{DD4}	V _{DD1} =V _{DD2} =V _{DD3} =V _{DD4}		-0.3	~	+6.5	V
入力電圧	V _I (1)	XT1, XT2 CF1 RES			-0.3	~	V _{DD} +0.3	
	V _I (2)	FIX0			V _{DD} -45	~	V _{DD} +0.3	
出力電圧	V _O (1)	S0/T0~S15/T15			V _{DD} -45	~	V _{DD} +0.3	
入出力電圧	VI0(1)	ポート 1 ポート 7 ポート 8 CMOS 出力の ポート 0, 3			-0.3	~	V _{DD} +0.3	
	VI0(2)	オープンドレイ ン出力のポート 0, 3			-0.3	~	14	
	VI0(3)	S16~S51			V _{DD} -45	~	V _{DD} +0.3	

次ページへ続く。

LC87F67C8A

前ページより続く。

項目		記号	適用端子・備考	条件	V _{DD} [V]	min	typ	max	unit
高レベル出力電流	ピーク出力電流	IOPH(1)	ポート 0, 1, 3	CMOS 出力 適用 1 端子当り		−10			mA
		IOPH(2)	ポート 71, 72, 73	適用 1 端子当り		−3			
		IOPH(3)	S0/T0〜S15/T15	適用 1 端子当り		−30			
		IOPH(4)	S16〜S51	適用 1 端子当り		−15			
	合計出力電流	ΣIOAH(1)	ポート 0	適用全端子合計		−30			
		ΣIOAH(2)	ポート 1, 3	適用全端子合計		−30			
		ΣIOAH(3)	ポート 7	適用全端子合計		−5			
		ΣIOAH(4)	S0/T0〜S15/T15	適用全端子合計		−65			
		ΣIOAH(5)	S16〜S27	適用全端子合計		−60			
		ΣIOAH(6)	S28〜S39	適用全端子合計		−60			
ΣIOAH(7)		S40〜S51	適用全端子合計		−60				
低レベル出力電流	ピーク出力電流	IOPL(1)	ポート 0, 1, 3	適用 1 端子当り				20	
		IOPL(2)	ポート 7, 8	適用 1 端子当り				5	
	合計出力電流	ΣIOAL(1)	ポート 00, 01, 02, 03	適用全端子合計				50	
		ΣIOAL(2)	ポート 04, 05, 06, 07 ポート 1, 3	適用全端子合計				50	
		ΣIOAL(3)	ポート 7 ポート 8	適用全端子合計				20	
許容消費電力		Pd max	QIP100E	Ta=−20〜+70℃				556	mW
動作周囲温度		Topr				−20	〜	+70	℃
保存周囲温度		Tstg				−55	〜	+125	

2. 許容動作範囲/Ta=−20〜+70℃, V_{SS1}=V_{SS2}=0V

項目	記号	適用端子・備考	条件	V _{DD} [V]	min	typ	max	unit
動作電源電圧	V _{DD} (1)	V _{DD} 1=V _{DD} 2=V _{DD} 3=V _{DD} 4	0.294μs≤t _{CYC} ≤200μs		4.5		5.5	V
メモリ保持電源電圧	V _{HD}	V _{DD} 1	HOLD モード時 RAM, レジスタ保持		2.0		5.5	

次ページへ続く。

LC87F67C8A

前ページより続く。

項目	記号	適用端子・備考	条件		min	typ	max	unit
				V _{DD} [V]				
高レベル入力 電圧	V _{IH} (1)	CMOS 出力の ポート 0, 3 ポート 8	出力ディセーブル	4.5~5.5	0.3V _{DD} +0.7		V _{DD}	V
	V _{IH} (2)	オープンドレイン出力のポート 0, 3	出力ディセーブル	4.5~5.5	0.3V _{DD} +0.7		12.5	
	V _{IH} (3)	ポート 1 ポート 71, 72, 73 ポート 70 ポート入力/割り 込み側	出力ディセーブル	4.5~5.5	0.3V _{DD} +0.7		V _{DD}	
	V _{IH} (4)	S16~S51	出力 Pch Tr. オフ	4.5~5.5	0.33V _{DD} +1.0		V _{DD}	
	V _{IH} (5)	ポート 87 小信号入力側	出力ディセーブル	4.5~5.5	0.75 V _{DD}		V _{DD}	
	V _{IH} (6)	ポート 70 ウォッチドッグ タイマ側	出力ディセーブル	4.5~5.5	0.9 V _{DD}		V _{DD}	
	V _{IH} (7)	XT1, XT2 CF1 RES		4.5~5.5	0.75 V _{DD}		V _{DD}	
低レベル入力 電圧	V _{IL} (1)	CMOS 出力の ポート 0, 3 ポート 8	出力ディセーブル	4.5~5.5	V _{SS}		0.15V _{DD} +0.4	V
	V _{IL} (2)	オープンドレイン出力のポート 0, 3	出力ディセーブル	4.5~5.5	V _{SS}		0.15V _{DD} +0.4	
	V _{IL} (3)	ポート 1 ポート 71, 72, 73 ポート 70 ポート入力/割り 込み側	出力ディセーブル	4.5~5.5	V _{SS}		0.1V _{DD} +0.4	
	V _{IL} (4)	S16~S51	出力 Pch Tr. オフ	4.5~5.5	-35		0.2 V _{DD}	
	V _{IL} (5)	ポート 87 小信号入力側	出力ディセーブル	4.5~5.5	V _{SS}		0.25 V _{DD}	
	V _{IL} (6)	ポート 70 ウォッチドッグ タイマ側	出力ディセーブル	4.5~5.5	V _{SS}		0.8V _{DD} -1.0	
	V _{IL} (7)	XT1, XT2 CF1 RES		4.5~5.5	V _{SS}		0.25 V _{DD}	

次ページへ続く。

LC87F67C8A

前ページより続く。

項目	記号	適用端子・備考	条件	V _{DD} [V]	min	typ	max	unit
命令サイクル タイム	t _{CYC}			4.5~5.5	0.294		200	μs
外部システム クロック 周波数	FEXCF(1)	CF1	CF2 端子オープン システムクロック 分周 1/1 外部システムクロックの DUTY 50±5%	4.5~5.5	0.1		10	MHz
			CF2 端子オープン システムクロック 分周 1/2	4.5~5.5	0.2		20	
発振周波数 範囲(注 1)	FmCF(1)	CF1, CF2	10MHz セラミック 発振時 図 1 参照	4.5~5.5		10		MHz
	FmCF(2)	CF1, CF2	4MHz セラミック 発振時 図 1 参照	4.5~5.5		4		
	FmRC		内蔵 RC 発振	4.5~5.5	0.3	1.0	2.0	
	FmMRC		周波数可変 RC 発振源発振	4.5~5.5		50		
	FsX'tal	XT1, XT2	32.768kHz 水晶 発振時 図 2 参照	4.5~5.5		32.768		kHz

(注 1) 発振定数は表 1, 表 2 参照のこと。

LC87F67C8A

3. 電気的特性/ $T_a = -20 \sim +70^\circ\text{C}$, $V_{SS1} = V_{SS2} = 0\text{V}$

項目	記号	適用端子・備考	条件	$V_{DD}[\text{V}]$	min	typ	max	unit
高レベル入力電流	$I_{IH}(1)$	オープンドレイン出力のポート0, 3	出力ディセーブル $V_{IN} = 12.5\text{V}$ (出力 Tr. のオフリーク電流を含む)	4.5~5.5			5	μA
	$I_{IH}(2)$	ポート0, 1, 3, 7, 8	出力ディセーブル プルアップ抵抗 オフ $V_{IN} = V_{DD}$ (出力 Tr. のオフリーク電流を含む)	4.5~5.5			1	
	$I_{IH}(3)$	S16~S51 (ポートC, D, E, F, G)	入力ポート仕様時 $V_{IN} = V_{DD}$	4.5~5.5			60	
	$I_{IH}(4)$	$\overline{\text{RES}}$	$V_{IN} = V_{DD}$	4.5~5.5			1	
	$I_{IH}(5)$	XT1, XT2	入力ポート仕様時 $V_{IN} = V_{DD}$	4.5~5.5			1	
	$I_{IH}(6)$	CF1	$V_{IN} = V_{DD}$	4.5~5.5			15	
	$I_{IH}(7)$	P87/AN7/MICIN 小信号入力側	$V_{IN} = \text{VBIS} + 0.5\text{V}$ (VBISはバイアス電圧)	4.5~5.5	4.2	8.5	15	
低レベル入力電流	$I_{IL}(1)$	ポート0, 1, 3, 7, 8	出力ディセーブル プルアップ抵抗 オフ $V_{IN} = V_{SS}$ (出力 Tr. のオフリーク電流を含む)	4.5~5.5	-1			μA
	$I_{IL}(2)$	$\overline{\text{RES}}$	$V_{IN} = V_{SS}$	4.5~5.5	-1			
	$I_{IL}(3)$	XT1, XT2	入力ポート仕様時 $V_{IN} = V_{SS}$	4.5~5.5	-1			
	$I_{IL}(4)$	CF1	$V_{IN} = V_{SS}$	4.5~5.5	-15			
	$I_{IL}(5)$	P87/AN7/MICIN 小信号入力側	$V_{IN} = \text{VBIS} - 0.5\text{V}$ (VBISはバイアス電圧)	4.5~5.5	-15	-8.5	-4.2	

次ページへ続く。

LC87F67C8A

前ページより続く。

項目	記号	適用端子・備考	条件		min	typ	max	unit
				V _{DD} [V]				
高レベル出力 電圧	V _{OH} (1)	CMOS 出力の ポート 0, 1, 3	I _{OH} =-1.0mA	4.5~5.5	V _{DD} -1			V
	V _{OH} (2)		I _{OH} =-0.1mA	4.5~5.5	V _{DD} -0.5			
	V _{OH} (3)	ポート 7	I _{OH} =-0.4mA	4.5~5.5	V _{DD} -1			
	V _{OH} (4)	S0/T0~S15/T15	I _{OH} =-20mA	4.5~5.5	V _{DD} -1.8			
	V _{OH} (5)		I _{OH} =-1.0mA 全端子の 1 本当 りの I _{OH} は 1mA 以 下の時	4.5~5.5	V _{DD} -1			
	V _{OH} (6)	S16~S51	I _{OH} =-5.0mA	4.5~5.5	V _{DD} -1.8			
	V _{OH} (7)		I _{OH} =-1.0mA 全端子の 1 本当 りの I _{OH} は 1mA 以 下の時	4.5~5.5	V _{DD} -1			
低レベル出力 電圧	V _{OL} (1)	ポート 0, 1, 3	I _{OL} =10mA	4.5~5.5			1.5	
	V _{OL} (2)		I _{OL} =1.6mA	4.5~5.5			0.4	
	V _{OL} (3)	ポート 7, 8	I _{OL} =1mA	4.5~5.5			0.4	
プルアップ MOS Tr. 抵抗	R _{pu}	ポート 0, 1, 3, 7	V _{OH} =0.9V _{DD}	4.5~5.5	15	40	70	kΩ
出力オフリー ク電流	IOFF(1)	S0/T0~S15/T15 S16~S51	出力 Pch Tr. オフ V _{OUT} =V _{SS}	4.5~5.5	-1			μA
	IOFF(2)		出力 Pch Tr. オフ V _{OUT} =V _{DD} -40V	4.5~5.5	-30			
高耐圧入力 端子の「L」レ ベル ホールド Tr.	R _{inpd}	S16~S51	出力 Pch Tr. オフ	4.5~5.5		200		kΩ
ヒステリシス 電圧	V _{HIS} (1)	ポート 1, 7 RES		4.5~5.5		0.1 V _{DD}		V
	V _{HIS} (2)	ポート 87 の 小信号入力側		4.5~5.5		0.1 V _{DD}		
端子容量	CP	全端子	f=1MHz 被測定端子以外 は、V _{IN} =V _{SS} Ta=25℃	4.5~5.5		10		pF
入力感度	V _{sen}	ポート 87 の 小信号入力側		4.5~5.5	0.12 V _{DD}			V _{pp}

LC87F67C8A

4. シリアル入出力特性/ $T_a = -20 \sim +70^{\circ}\text{C}$, $V_{SS1} = V_{SS2} = 0\text{V}$

項目			記号	適用端子・備考	条件	$V_{DD}[\text{V}]$	min	typ	max	unit
シリアルクロック	入力クロック	周期	$t_{\text{SCK}}(1)$	SCK0 (P12)	図 6 参照	4.5~5.5	4/3			t_{CYC}
		低レベルパルス幅	$t_{\text{SCKL}}(1)$			4.5~5.5	2/3			
			$t_{\text{SCKLA}}(1)$			4.5~5.5	2/3			
		高レベルパルス幅	$t_{\text{SCKH}}(1)$			4.5~5.5	2/3			
			$t_{\text{SCKHA}}(1)$			4.5~5.5	5			
		周期	$t_{\text{SCK}}(2)$	SCK1 (P15)	図 6 参照	4.5~5.5	2			
	出力クロック	低レベルパルス幅	$t_{\text{SCKL}}(2)$			4.5~5.5	1			t_{SCK}
		高レベルパルス幅	$t_{\text{SCKH}}(2)$			4.5~5.5	1			
		周期	$t_{\text{SCK}}(3)$	SCK0 (P12)	CMOS 出力選択時 図 6 参照	4.5~5.5	4/3			
		低レベルパルス幅	$t_{\text{SCKL}}(3)$			4.5~5.5		1/2		
			$t_{\text{SCKLA}}(2)$			4.5~5.5		3/4		
		高レベルパルス幅	$t_{\text{SCKH}}(3)$			4.5~5.5		1/2		
シリアル入力	データセットアップ時間	t_{sDI}	SI0 (P11), SI1 (P14), SB0 (P11), SB1 (P14)	SI0CLK の立ち上がりに対して規定する。 図 6 参照	4.5~5.5	0.03				
	データホールド時間	t_{hDI}			4.5~5.5	0.03				
シリアル出力	出力遅延時間	t_{dDO}	S00 (P10), S01 (P13), SB0 (P11), SB1 (P14)	SI0CLK の立ち下がりに対して規定する。 オープンドレイン出力時は、出力変化開始までの時間として規定する。 図 6 参照	4.5~5.5				$\frac{1}{3} t_{\text{CYC}} + 0.05$	μs

LC87F67C8A

5. パルス入力条件/ $T_a = -20 \sim +70^{\circ}\text{C}$, $V_{SS1} = V_{SS2} = 0\text{V}$

項目	記号	適用端子・備考	条件	$V_{DD}[\text{V}]$	min	typ	max	unit
高・低レベル パルス幅	$t_{PIH}(1)$ $t_{PIL}(1)$	INT0 (P70), INT1 (P71), INT2 (P72), INT4 (P30~P33), INT5 (P34~P37)	割り込み要因フ ラグをセット できる。 タイマ 0, 1 への イベント入力が できる。	4.5~5.5	1			t_{CYC}
	$t_{PIH}(2)$ $t_{PIL}(2)$	ノイズ除去フィ ルタの時定数が 1/1 の場合の INT3 (P73)	割り込み要因フ ラグをセット できる。 タイマ 0 への イベント入力 ができる。	4.5~5.5	2			
	$t_{PIH}(3)$ $t_{PIL}(3)$	ノイズ除去フィ ルタの時定数が 1/32 の場合の INT3 (P73)	割り込み要因フ ラグをセット できる。 タイマ 0 への イベント入力 ができる。	4.5~5.5	64			
	$t_{PIH}(4)$ $t_{PIL}(4)$	ノイズ除去フィ ルタの時定数が 1/128 の場合の INT3 (P73)	割り込み要因フ ラグをセット できる。 タイマ 0 への イベント入力 ができる。	4.5~5.5	256			
	$t_{PIH}(5)$ $t_{PIL}(5)$	MICIN (P87)	小信号検出カウ ンタをカウント できる。	4.5~5.5	1			
	$t_{PIH}(6)$ $t_{PIL}(6)$	NKIN (P72)	高速クロックカ ウンタをカウ ントできる。	4.5~5.5	1/12			
	$t_{PIL}(7)$	$\overline{RES}$	リセットできる。	4.5~5.5	200			μs

LC87F67C8A

6. AD 変換特性/ $T_a = -20 \sim +70^\circ\text{C}$, $V_{SS1} = V_{SS2} = 0\text{V}$

項目	記号	適用端子・備考	条件	$V_{DD}[\text{V}]$	min	typ	max	unit
分解能	N	AN0 (P80) ~ AN7 (P87)		4.5 ~ 5.5		8		bit
絶対精度	ET	AN8 (P70), AN9 (P71)	(注 2)	4.5 ~ 5.5			± 1.5	LSB
変換時間	t_{CAD}	AN10 (XT1), AN11 (XT2) AN12 (P72), AN13 (P73)	AD 変換時間 = $32 \times t_{CYC}$ (ADCR2=0 の時) (注 3)	4.5 ~ 5.5	15.62 ($t_{CYC} = 0.488$)		97.92 ($t_{CYC} = 3.06$)	μs
			AD 変換時間 = $64 \times t_{CYC}$ (ADCR2=1 の時) (注 3)	4.5 ~ 5.5	18.82 ($t_{CYC} = 0.294$)		97.92 ($t_{CYC} = 1.5$)	
アナログ入力 電圧範囲	VAIN			4.5 ~ 5.5	V_{SS}		V_{DD}	V
アナログポー ト入力電流	IAINH		$V_{AIN} = V_{DD}$	4.5 ~ 5.5			1	μA
	IAINL		$V_{AIN} = V_{SS}$	4.5 ~ 5.5	-1			

(注 2) 絶対精度は量子化誤差 ($\pm 1/2$ 1sb) を除く。

(注 3) 変換時間は、変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をいう。

7. 消費電流特性/ $T_a = -20 \sim +70^\circ\text{C}$, $V_{SS1} = V_{SS2} = 0\text{V}$

項目	記号	適用端子・備考	条件	$V_{DD}[\text{V}]$	min	typ	max	unit
通常動作時 消費電流 (注 4)	IDDOP (1)	$V_{DD1} = V_{DD2} = V_{DD3} = V_{DD4}$	FmCF=10MHz セラミック発振時 FsX'tal=32.768kHz 水晶発振時 システムクロックは 10MHz 側 内蔵 RC 発振は停止 周波数可変 RC 発振は停止 1/1 分周時	4.5 ~ 5.5		16	35	mA
	IDDOP (2)		CF1=20MHz 外部クロック FsX'tal=32.768kHz 水晶発振時 システムクロックは CF1 側 内蔵 RC 発振は停止 周波数可変 RC 発振は停止 1/2 分周時	4.5 ~ 5.5		17	36	
	IDDOP (3)		FmCF=4MHz セラミック発振時 FsX'tal=32.768kHz 水晶発振時 システムクロックは 4MHz 側 内蔵 RC 発振は停止 周波数可変 RC 発振は停止 1/1 分周時	4.5 ~ 5.5		7.5	21	

次ページへ続く。

LC87F67C8A

前ページより続く。

項目	記号	適用端子 ・備考	条件	V _{DD} [V]	min	typ	max	unit
通常動作時 消費電流 (注 4)	IDDOP (4)	V _{DD1} =V _{DD2} =V _{DD3} =V _{DD4}	FmCF=0Hz (発振停止) FsX'tal=32.768kHz 水晶 発振時 周波数可変 RC 発振は停止 システムクロックは内蔵 RC 発振 1/2 分周時	4.5~5.5		1.8	11	mA
	IDDOP (5)		FmCF=0Hz (発振停止) FsX'tal=32.768kHz 水晶 発振時 内蔵 RC 発振は停止 システムクロックは周波 数可変 RC 発振で 1MHz 設 定 1/2 分周時	4.5~5.5		2.7	13	
	IDDOP (6)		FmCF=0MHz (発振停止) FsX'tal=32.768kHz 水晶 発振時 システムクロックは 32.768kHz 側 内蔵 RC 発振は停止 周波数可変 RC 発振は停止 1/2 分周時	4.5~5.5		0.4	1.0	
HALT モード 消費電流 (注 4)	IDDHALT (1)	V _{DD1} =V _{DD2} =V _{DD3} =V _{DD4}	HALT モード FmCF=10MHz セラミック発 振時 FsX'tal=32.768kHz 水晶 発振時 システムクロックは 10MHz 側 内蔵 RC 発振は停止 周波数可変 RC 発振は停止 1/1 分周時	4.5~5.5		4	12	mA
	IDDHALT (2)		HALT モード CF1=20MHz 外部クロック FsX'tal=32.768kHz 水晶 発振時 システムクロックは CF1 側 内蔵 RC 発振は停止 周波数可変 RC 発振は停止 1/2 分周時	4.5~5.5		4.5	13	

次ページへ続く。

LC87F67C8A

前ページより続く。

項目	記号	適用端子 ・備考	条件	V _{DD} [V]	min	typ	max	unit
HALT モード 消費電流 (注 4)	IDDHALT (3)	V _{DD1} =V _{DD2} =V _{DD3} =V _{DD4}	HALT モード FmCF=4MHz セラミック発振時 FsX'tal=32.768kHz 水晶発振時 システムクロックは4MHz 側 内蔵 RC 発振は停止 周波数可変 RC 発振は停止 1/1 分周時	4.5~5.5		2	6	mA
	IDDHALT (4)		HALT モード FmCF=0Hz (発振停止) FsX'tal=32.768kHz 水晶発振時 周波数可変 RC 発振は停止 システムクロックは内蔵 RC 発振 1/2 分周時	4.5~5.5		500	1600	μA
	IDDHALT (5)		HALT モード FmCF=0Hz (発振停止) FsX'tal=32.768kHz 水晶発振時 内蔵 RC 発振は停止 システムクロックは周波数可変 RC 発振で 1MHz 設定 1/2 分周時	4.5~5.5		1500	3600	
	IDDHALT (6)		HALT モード FmCF=0Hz (発振停止) FsX'tal=32.768kHz 水晶発振時 システムクロックは 32.768kHz 側 内蔵 RC 発振は停止 周波数可変 RC 発振は停止 1/2 分周時	4.5~5.5		25	100	
HOLD モード 消費電流	IDDHOLD (1)	V _{DD1}	HOLD モード CF1=V _{DD} またはオープン (外部クロック時)	4.5~5.5		0.05	25	μA
時計 HOLD モード 消費電流	IDDHOLD (2)	V _{DD1}	時計 HOLD モード CF1=V _{DD} またはオープン (外部クロック時) FsX'tal=32.768kHz 水晶発振時	4.5~5.5		20	90	

LC87F67C8A

8. F-ROM 書き込み特性/ $T_a=+10\sim+55^{\circ}\text{C}$, $V_{SS1}=V_{SS2}=0\text{V}$

項目	記号	適用端子 ・備考	条件	$V_{DD}[\text{V}]$	min	typ	max	unit
オンボード 書き込み電流	IDD _{FW} (1)	V_{DD1}	128 バイト書き込み 消去電流も含む	4.5~5.5		30	65	mA
書き込み時間	t _{FW} (1)		128 バイト書き込み 消去動作も含む 128 バイトのデータを そろえる時間は除く	4.5~5.5		6.3	9	ms

メイン・システム・クロック発振回路特性例

メイン・システム・クロック発振回路特性例は、弊社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認された回路定数と、この回路定数を外付けしたときの特性例です。

表 1 セラミック発振子を使用したメイン・システム・クロック発振回路特性例

公称 周波数	メーカー名	発振子名	回路定数			動作電圧 範囲 [V]	発振安定時間		備考
			C1 [pF]	C2 [pF]	Rd1 [Ω]		Typ [ms]	Max [ms]	
10MHz	村田製作所	CSTLS10M0G53-B0	(15)	(15)	150	4.5~5.5	0.05	0.25	C1, C2 内蔵品
		CSTCE10M0G52-R0	(10)	(10)	100	4.5~5.5	0.05	0.25	C1, C2 内蔵品
4MHz	村田製作所	CSTLS4M00G53-B0	(15)	(15)	470	4.5~5.5	0.04	0.2	C1, C2 内蔵品
		CSTCR4M00G53-R0	(15)	(15)	330	4.5~5.5	0.06	0.3	C1, C2 内蔵品

発振安定時間は、 V_{DD} が動作電圧下限を上回ってから、発振が安定するまでに必要な時間です(図 4 参照)。

サブ・システム・クロック発振回路特性例

サブ・システム・クロック発振回路特性例は、弊社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認された回路定数と、この回路定数を外付けしたときの特性例です。

表 2 水晶発振子を使用したサブ・システム・クロック発振回路特性例

公称 周波数	メーカー名	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C3 [pF]	C4 [pF]	Rf [Ω]	Rd2 [Ω]		Typ [s]	Max [s]	
32.768kHz	セイコー エプソン	MC-306	15	15	10M	510k	4.5~5.5	1.0	3.0	適用 CL 値 9.7pF

発振安定時間は、サブクロック発振回路を開始させる命令を実行後、発振が安定するまでに必要な時間と、HOLD モードを解除後、発振が安定するまでに必要な時間です(図 4 参照)。

LC87F67C8A

(注意)回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。

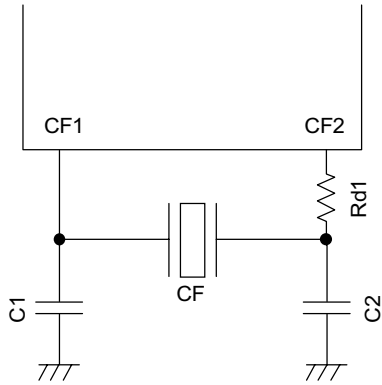


図1 セラミック発振回路

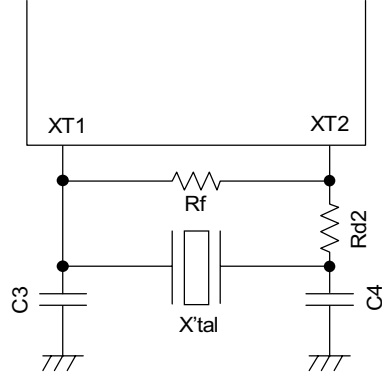


図2 水晶発振回路

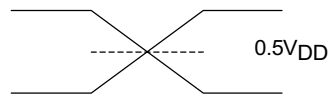
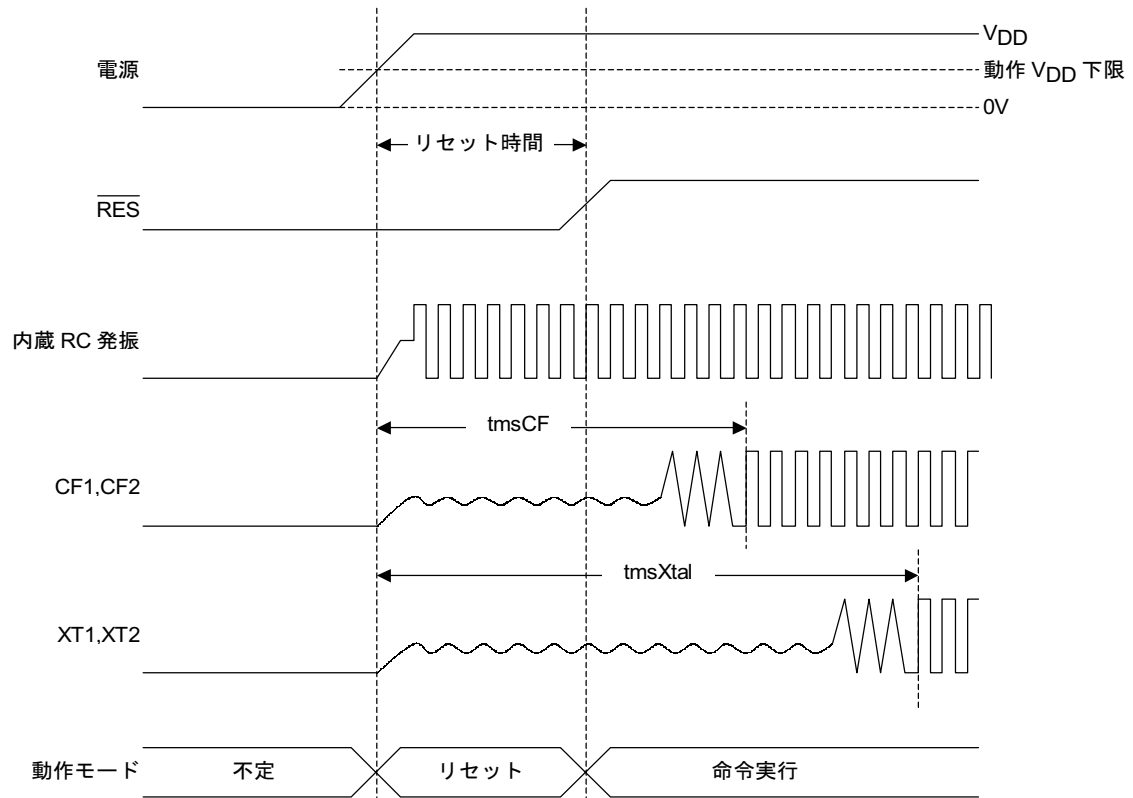
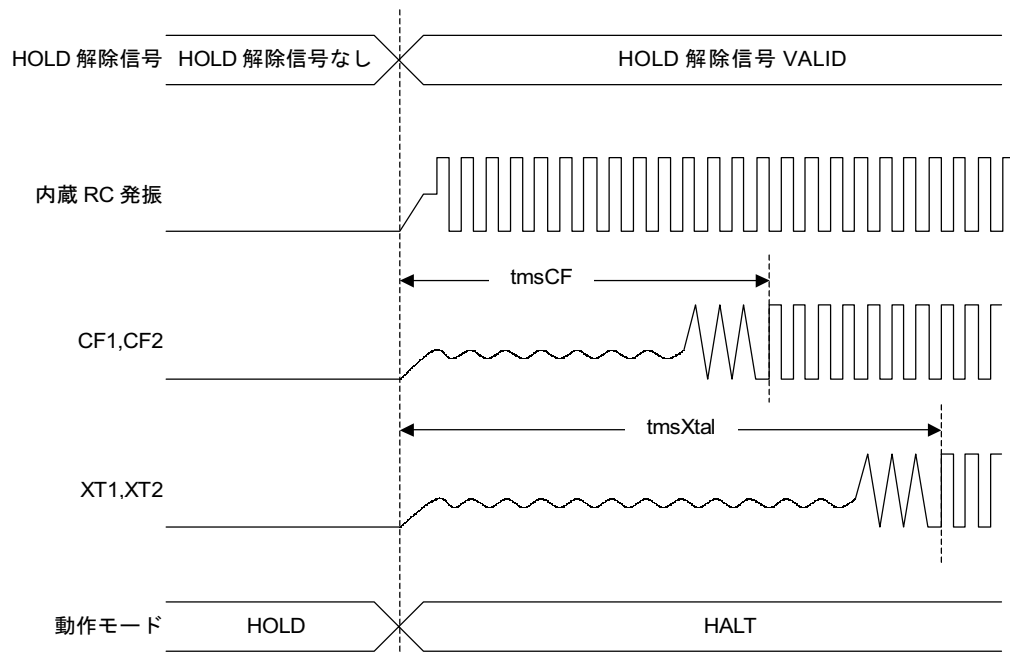


図3 AC タイミング測定点

LC87F67C8A



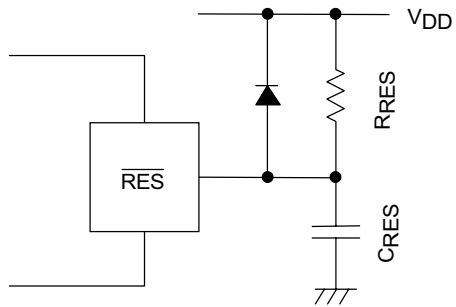
リセット時間と発振安定時間



HOLD 解除信号と発振安定時間

図 4 発振安定時間

LC87F67C8A



(注意) 電源が動作電源電圧の下限を上回ったあとに
200 μ s までは必ずリセットがかかるように
CRES, RRES の値を決めること。

図5 リセット回路

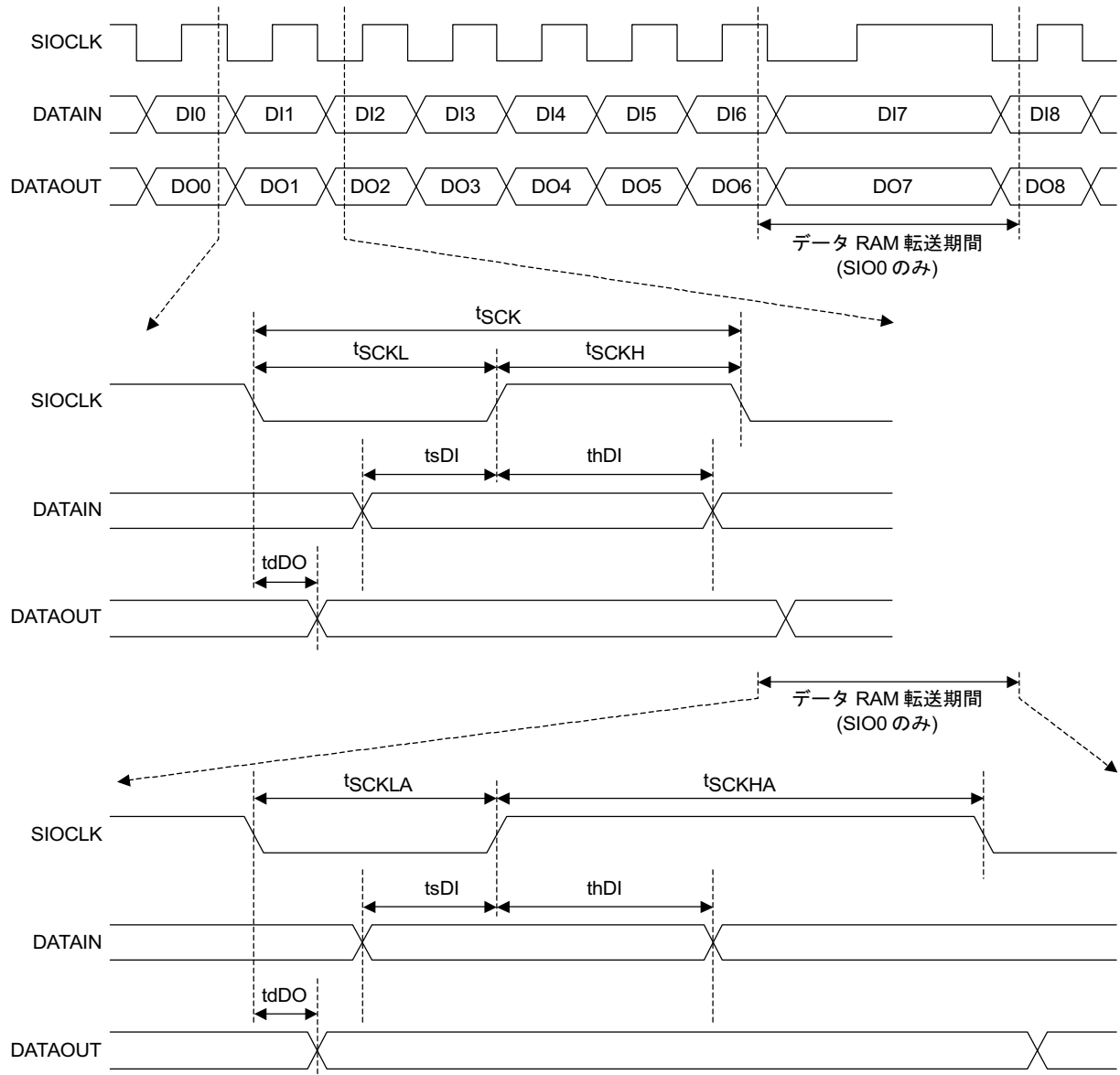


図6 シリアル入出力波形

LC87F67C8A

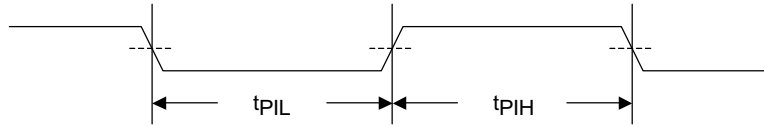


図7 パルス入力タイミング波形

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第3者の工業所有権その他の権利の実施に対する保証を行うものではありません。