查询TBB206G供应商 捷多邦，专业PCB打样工厂，24小时加急出货

PLL-Frequenzsynthesizer mit 3-Leiter-Bus

TBB 206

CMOS-Schaltung

Typ	Bestellnummer	Gehäuse
TBB 206	Q67100–H8722	P-DIP-14
TBB 206 G	Q67100–H8723	P-DSO-14 (SMD)

Vorläufige Daten

Der TBB 206 ist ein CMOS-IC, der speziell für den Einsatz in batteriebetriebenen Funkgeräten und Telefonen entwickelt wurde, und ist u.a. für den Einsatz in GSM Konzepte vorgesehen. Er ist sowohl für einfache Frequenzsynthese als auch Dual-Modulus-Synthese geeignet.

Eigenschaften

- Serieller Bus (3-Leiter-Bus: Data, Clock, Enable) für schnelle Programmierung ($f_{max} \sim 1{,}3$ MHz)
- Modulus-Umschaltung
- mitintegrierter Spannungsverdoppler für großen Phasendetektoraussteuerbereich
- hohe Eingangsempfindlichkeit (100 mV), hohe Eingangsfrequenzen (90 MHz) bei Single-Modulus-Betrieb (bei $U_{DD} = 5$ V, $T_U = 25\,°C$)
- geringe Betriebsstromaufnahme (typ. 2,5 mA)
- Standby-Schaltung
- extrem schneller Phasendetektor mit sehr kurzem Antibacklashimpuls
- Linearisierung des Phasendetektorausganges durch Stromquellen
- große Teilerverhältnisse für kleine Rasterfrequenzen
  - A-Teiler 0 bis 127
  - N-Teiler 3 bis 4095
  - R-Teiler 3 bis 65535
- Polarität und Nachstimmstellheit des Phasendetektors durch Bus umschaltbar
- synchrone Programmierung der Teiler (N(N/A), R-Teiler)
- 2 Multifunktionsausgänge (über Bus steuerbar)
  - ØR, ØVN (digitale Phasendetektorausgangssignale (z. B. für externe Charge-Pump)
  - FRN, FVN Ausgänge der R- und N-Teiler
  - PRFT 1, 2 PORT-Ausgänge (z. B. für Standby des Prescalers)
  - Strom externe Stromeinstellung für PD-Ausgang
- Lockdetektausgang (der Lockdetektausgang ist zusätzlich über Bus abfragbar)

找PDF 维库一下 pdf.dzsc.com

Schaltungsbeschreibung

Der TBB 206 ist eine komplexe PLL-Schaltung in CMOS-Technologie für prozessorgesteuerte Frequenzsynthese. Durch integrierte aktive Stromquellen (Charge Pump) mit programmierbaren Phasendetektorkonstanten lassen sich z. B. die Forderungen des GSM-Konzeptes mit schnellen Schleifen erfüllen. Weiterhin zeichnet sich der Baustein durch Flexibilität und geringe Verlustleistung für unterschiedliche Anwendungen aus.

Die Funktionseinstellung (Single- bzw. Dual-Modulus Betrieb) und Wahl der Teilverhältnisse erfolgt dabei über einen 3-Leiter-Bus mit den Anschlüssen CL, DA, EN. Zur Initialisierung müssen zunächst alle Daten (S: 50 Bits, D: 57 Bits) übertragen werden. Das Bus-Interface ist so organisiert, daß Änderungen möglichst schnell durchgeführt werden können. Ein Kanalwechsel benötigt hierbei 15 Bits (S) bzw. 22 Bits (D).

Zur Reduzierung der Stromaufnahme besitzt der TBB 206 ein Stand-By-Mode. Hierbei können wahlweise die Teiler bzw. die Vorverstärker abgeschaltet werden. Die Aktivierung nach Stand-By kann mit dem kurzen Status Wort (Status 1:8 Bits) vorgenommen werden, d. h. die vormals programmierten Teilerverhältnisse und sonstige Einstellungen bleiben erhalten.

Die Referenzfrequenz wird am Eingang RI eingespeist; sie darf max. 30 MHz betragen. Die VCO-Frequenz wird am Eingang FI eingespeist. Sie darf im Single-Modulus Betrieb max. 90 MHz und im Dual-Modulus Betrieb max. 30 MHz betragen.

Die PLL kann wahlweise mit oder ohne internen Spannungsverdoppler betrieben werden, je nach erforderlicher Frequenzvariation (Varicap). Die Frequenz (f_{VD}) wird von RI abgeleitet. Der Teiler-Faktor wird über den 3-Leiter-Bus eingestellt.

Der Ausgang PD liefert das Phasendetektorsignal mit besonders kurzen Antibacklashimpulsen zur Vermeidung einer Totzeitzone ('dead-zone') und zur Ausregelung kleinster Phasenabweichungen. Hierbei werden Phasendifferenzen von 100ps noch aufgelöst. Der PD-Ausgang ist als Stromquelle ausgelegt, so daß mit einfachen, passiven Bauelementen das Loopfilter (Integrator) aufgebaut werden kann. Polarität und Stromergiebigkeit des PD-Ausgangs sind über den 3 Leiter-Bus umschaltbar. Der open drain Ausgang LD liefert das Lock-Detect Signal. Der Lock-Detect Ausgang ist über Bus abfragbar.

Die Funktion der Multifunktionsausgänge MFO1, MFO2 ist über Status 2 Programmierung wählbar.

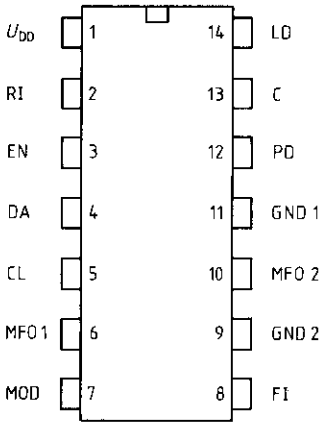
Die Ausgänge können 4 Funktionen erfüllen, diese sind:

a- PRT, wobei PORT 1 (MFO1) ein push-pull Ausgang ist, während Port 2 (MFO2) ein open-drain Ausgang mit großer Spannungsfestigkeit darstellt.
b- Phasendetektorstrom stufenlos einstellbar über externen Widerstand R im Bereich 0,1..4 mA (interner Referenzwiderstand ist abgeschaltet).
c- Testausgänge FVN = FI : NT, FRN = RI : RT
d- Digitale Schaltausgänge des Phasendetektors ØR, ØVN zur Ansteuerung z. B. externer aktiver Stromquellen oder aktiver Filter zur Vergrößerung der Phasendetektorkonstante.

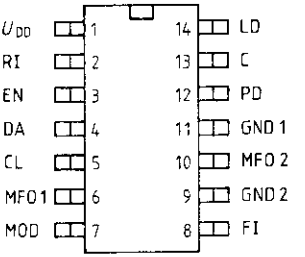
Um beim Kanalwechsel extreme Phasenabweichungen zu vermeiden, werden die neuen Daten für den N (N + A) und R Zähler synchron zur Referenzfrequenz (FI : N) übernommen (programmierbarer Zähler hat Stand Null erreicht). Hierdurch ist gewährleistet, daß der Regelvorgang mit der Phasendifferenz 'Null' beginnt.

Anschlußanordnung
(Ansicht von oben)

TBB 206



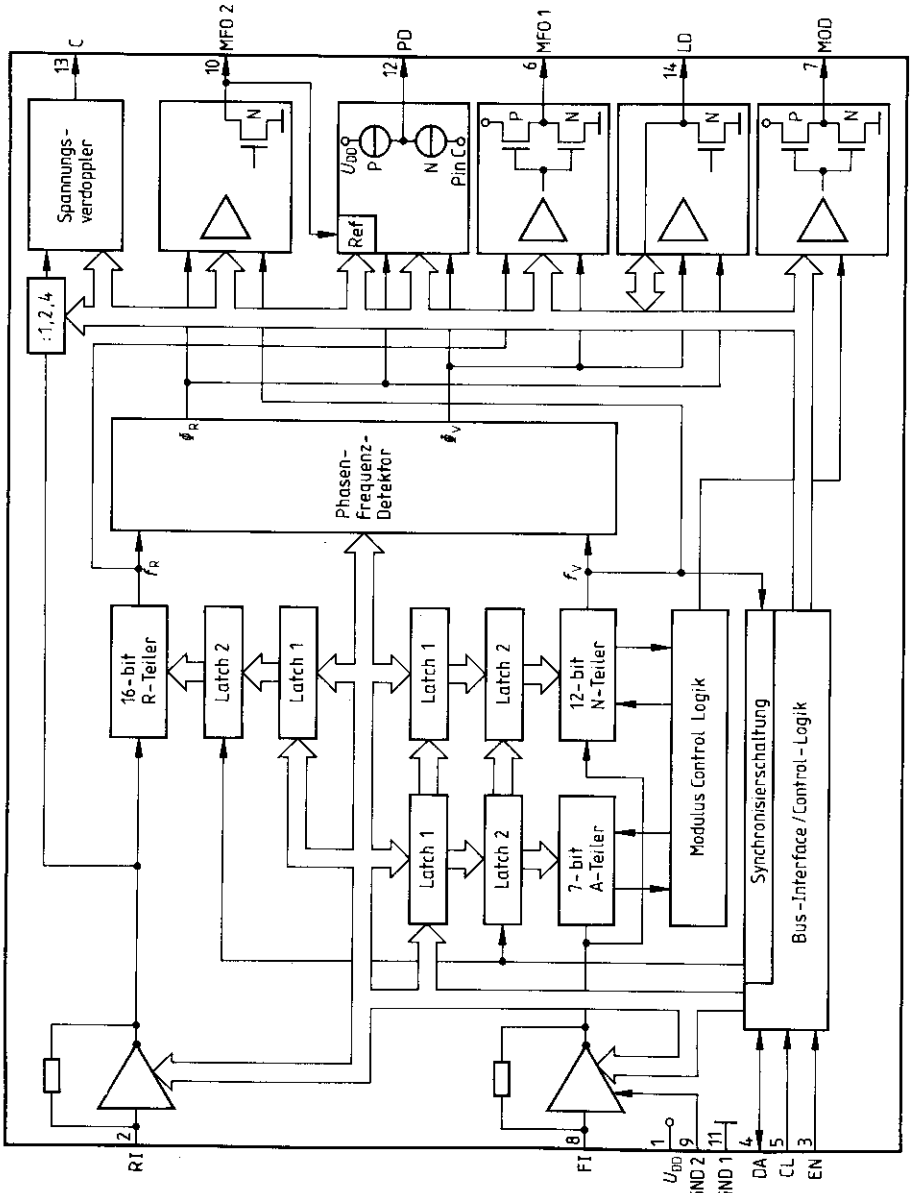
TBB 206 G



Anschlußbelegung

Anschluß	Symbol	Funktion
1	U_{DD}	Speisespannung
2	RI	Referenz-Frequenz
3 4 5	EN DA CL	3-Leiter-Bus: Enable 3-Leiter-Bus: Daten 3-Leiter-Bus: Takt
6	MFO1	Multifunktionsausgang
7	MOD	Modulus-Kontrolle
8	FI	VCO-Frequenz
9	GND2	Masse, FI-Vorverstärker
10	MOF2	Multifunktionsausgang
11	GND1	Masse
12	PD	Phasendetektor
13	C	Spannungsverdopplungs-C
14	LD	Lock-Detektor

Blockschaltbild



Grenzdaten

$T_U = -40\,°C$ bis $+85\,°C$

Bezeichnung	Symbol	min.	typ.	max.	Einheit	Anmerkung
Speisespannung	U_{DD}	−0,3		6	V	
Eingangsspannung	U_I	−0,3		U_{DD}+0,3	V	Ausnahme: C
Ausgangsspannung C	U_C	$-U_{DD}$		0	V	
Ausgangsspannung (außer MFO1)	U_O	GND		U_{DD}	V	
Ausgangsspannung MFO 2	U_H			10	V	
Verlustleistung je Ausgang	P_Q			10	mW	
Gesamtverlustleistung	P_{tot}			300	mW	
Umgebungstemperatur	T_U	−40		85	°C	
Lagertemperatur	T_{stg}	−50		125	°C	

Funktionsbereich

Speisespannung	U_{DD}	4,5	5	5,5	V	1)
Speisestrom Single Mode	I_{DD}		2,5	3,5	mA	2)
Dual Mode	I_{DD}		2	3	mA	3)
Standby Teiler	I_{DD}		1,5		mA	4)
Standby Vorverstärker	I_{DD}			1	µA	5)
Umgebungstemperatur	T_U	−40		85	°C	
Ausgangsspannung MFO 2	U_{QH}			8,5	V	

Anmerkungen

1) Der Baustein kann auch mit leicht eingeschränkten Eigenschaften mit U_{DD} = 3 V betrieben werden, insbesondere reduziert sich die Eingangsempfindlichkeit an FI (200 mV, 35 MHz). Zur optimalen Anwendung bei U_{DD} = 3 V mit Spannungsverdoppler sollte die Anti-Backlash Zeit auf den höheren Wert gesetzt werden (siehe Programmierung).

2) $f_I = 50$ MHz, $U_{FI} = 150\ mV_{eff}$, NT, RT > 1000, ohne Spannungsverdoppler, $I_{PD} = I_{PD\,min}$

3) $f_I = 10$ MHz, $U_{FI} = 500\ mV_{eff}$, NT, RT > 1000, ohne Spannungsverdoppler, $I_{PD} = I_{PD\,min}$

4) $f_I = 50$ MHz, $U_{FI} = 150\ mV_{eff}$, NT, RT > 1000, Ausgangsbeschaltung siehe Meßschaltung

5) Ausgangsbeschaltung siehe Meßschaltung
Eingänge RI, FI offen

Alle Anschlüsse besitzen ESD Schutzschaltungen gegen U_{DD} und GND, mit Ausnahme von MFO 2 (nur gegen GND). Unbenutzte Eingänge müssen auf U_{DD} oder GND gelegt werden.

Kenndaten

U_{DD} = 4,5 V bis 5,5 V; T_U = −40 bis +80 °C

Bezeichnung	Symbol	Prüfbedingungen	min.	typ.	max.	Einheit
Eingangssignale DA, CL, EN						
H-Eingangsspannung	U_{IH}		0,7 x U_{DD}		U_{DD}	V
L-Eingangsspannung	U_{IL}		0		0,3 x U_{DD}	V
Eingangskapazität	C_I				10	pF
Eingangsstrom	I_I	$U_I = U_{DD}$ = 5,5 V			10	µA
Eingangssignal RI						
Eingangsfrequenz	f	U_{DD} = 4,5 V			30	MHz
Eingangsspannung	U_I	(Sinus)*	100			mV_{eff}
Eingangskapazität	C_I				10	pF
Eingangsstrom	I_I	$U_I = U_{DD}$			10	µA
Eingangssignal FI (Dual-Modulus)						
Eingangsfrequenz	f	U_{DD} = 4,5 V	0,1		30	MHz
Eingangsspannung	U_I	(Sinus)*	50			mV_{eff}
Eingangskapazität					10	pF
Eingangsstrom	I_I	$U_I = U_{DD}$			10	µA
Eingangssignal FI (Single-Modulus)						
Eingangsfrequenz	f	U_{DD} = 4,5 V	0,1		90	MHz
Eingangsspannung	U_I	(Sinus)*	100			mV_{eff}
Eingangskapazität	C_I				10	pF
Eingangsstrom	I_I	$U_I = U_{DD}$			10	µA
Eingangssignal MFO2 (externe PD-Stromeinstellung, Funktion: Strom)						
Eingangsstrom**	I_I	U_{DD} = 5 V		55		µA
Ausgangssignal PD (Tristate-Output)						
Ausgangsstrom (extrem eingestellt)	I_Q	U_{DD} = 5 V			± 4	mA
Current mode "0,25"	I_Q	T_U = −25°...+60 °C		± 0,25		mA
Current mode "0,5"	I_Q	T_U = −25°...+60 °C		± 0,5		mA
Current mode "1"	I_Q			± 1		mA
Current mode "2"	I_Q			± 2		mA
Current mode "Tri-State"	I_Q				± 50	mA

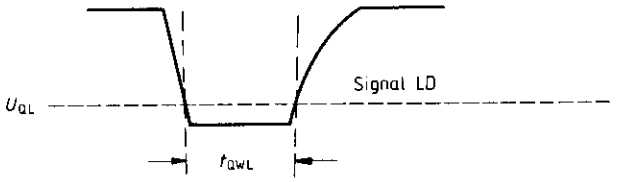
* nur Funktionsmessung, Eingangsempfindlichkeit siehe Meßschaltung.

Kenndaten

$U_{DD} = 4{,}5$ V bis 5,5 V; $T_U = -40$ bis $+85\,°C$

Bezeichnung	Symbol	Prüfbedingungen	min.	typ.	max.	Einheit
Ausgangssignal MFO1 (push-pull)						
H-Ausgangsspannung	U_{QH}	$I_{QH} = 2$ mA $U_{DD} = 5$ V	$U_{DD} - 1$			V
L-Ausgangsspannung	U_{QL}	$I_{QL} = 2$ mA $U_{DD} = 5$ V			1	V
Ausgangssignal MFO2 (N-Kanal open drain)						
L-Ausgangssignal	U_{QL}	$I_{QL} = 2$ mA $U_{DD} = 5$ V			1	V
H-Ausgangssignal	I_{QH}	$U_{QH} = U_{DD} + 3$ V $U_{DD} = 5$ V			1	µA
Ausgangssignale MOD (push-pull)						
H-Ausgangsspannung	U_{QH}	$I_{QH} = 0{,}5$ mA $U_{DD} = 5$ V	$U_{DD} - 0{,}4$			V
L-Ausgangsspannung	U_{QL}	$I_{QL} = 0{,}5$ mA $U_{DD} = 5$ V			0,4	V
Ausgangssignal MOD (K-Kanal open drain)						
L-Ausgangsspannung	U_{QL}	$I_{QL} = 0{,}5$ mA $U_{DD} = 5$ V			0,4	V
Ausgangssignal DA (N-Kanal open drain)						
L-Ausgangsspannung $U_{DD} = 5$ V $C_L = 400$ pF	U_{QL}	$I_{QL} = 3{,}0$ mA	0,4			V
Ausgangssignal LD (N-Kanal open drain)						
L-Ausgangssignal	U_{QL} $U_{DD} = 5$ V $C_L = 30$ pF	$I_{QL} = 3$ mA			0,4	V
L-Ausg. Impulsweite	t_{QWL}	PLL eingerastet, STATUS 2, Bit 6 = 0		20	40	ns

Impulsdiagramm



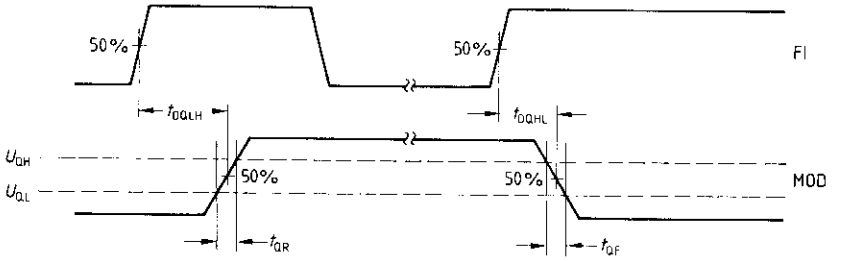
Dynamische Kenndaten
$U_{DD} = 5$ V; $T_U = -40$ bis $+85$ °C

Bezeichnung	Symbol	Prüfbedingungen	min.	typ.	max.	Einheit
Spannungsverdoppler						
Ausgangsspannung	U_{QC}	$f_{VD} = 2$ MHz $I_{QC} = 0$ µA $U_{DD} = 5$ V PLL eingerastet	$-U_{DD}+0{,}8$ V		U_{DD}	V
Ausgangsspannnung	U_{QC}	$f_{VD} = 2$ mHz $I_{QC} = 100$ µA $U_{DD} = 5$ V PLL eingerastet	$-U_{DD}+1{,}5$ V		U_{DD}	V
Stromaufnahme	I_{VD}	$U_{DD} = 5$ V $I_{QC} = 0$ µA $f_{VD} = 2$ MHz PLL eingerastet		250		µA
Ausgangssignal MFO1, MFO2, Funktion: FVN, FRN, ØR, ØVN						
Anstiegszeit (push pull)	t_{QR}	$C_L = 30$ pF			10	ns
Abfallzeit (open drain, push pull)	t_{QF}	$C_L = 30$ pF			10	ns
Ausgangssignal MOD (push pull)						
Anstiegszeit	t_{QR}	$C_L = 30$ pF			10	ns
Abfallzeit	t_{QF}	$C_L = 30$ pF			10	ns
Verzögerungszeit L-H gegen FI	t_{DQLH}	$C_L = 30$ pF			25	ns
Verzögerungszeit H-L gegen FI	t_{QDHL}	$C_L = 30$ pF			15	ns

Anmerkung:

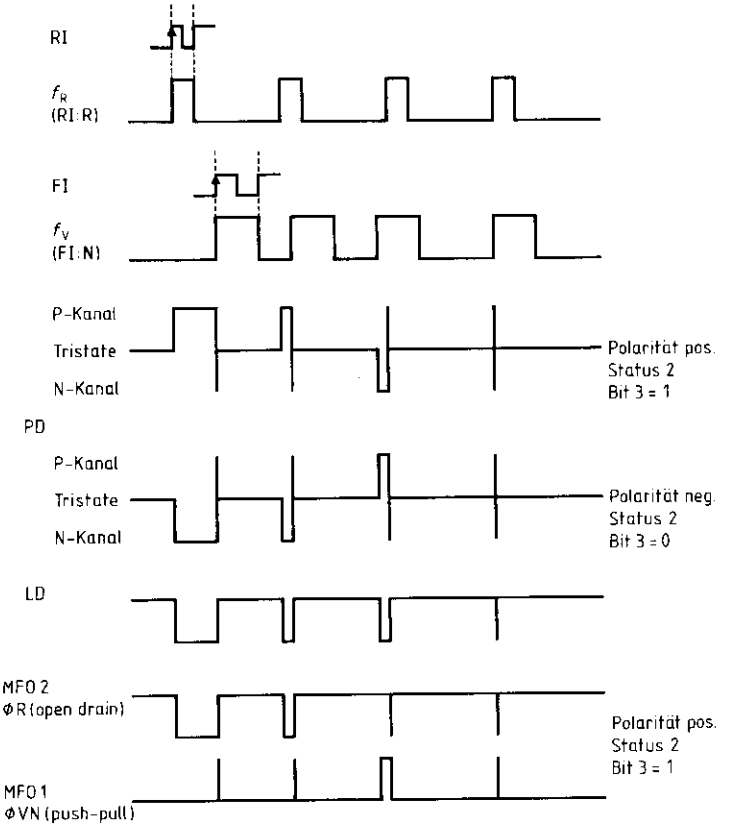
Meßschaltungen

PLL-Grundfunktion entsprechend Meßschaltung TBB 200 (s. Seite 17).
Eingangsempfindlichkeit, Meßschaltung und Kurvenverlauf entsprechend TBB 200 (s. Seite 18 und 19).



externe PD-Stromeinstellung
Eingangssignal MFOR (Funktion: Strom)

Impulsdiagramm
Phasendetektor/Lockdetektor



Programmierung

Die Programmierung der Teiler als auch die Status-Steuerung erfolgt beim TBB 206 über einen 3-Leiter-Bus. Die Zuordnung des Inhalts der Telegramme zu den Funktionseinheiten erfolgt hierbei über eine Zieladresse, die in den letzten drei Bits des Telegrammes vor dem EN-Signal abgelegt ist.

Die Zieladresse selbst enthält neben der Zuordnungsinformation auch noch 'Status'-Informationen:

Single/Dual Betrieb und synchrone/asynchrone Datenübernahme.

Folgende Adressen sind gültig:

...001 EN : Status 1
...010 EN : Status 2
...011 EN : Status 3

...110 EN : N-Counter Single Betrieb
...111 EN : N/A-Counter Dual Betrieb

...101 EN : R-Counter + synchrone Übernahme
...100 EN : R-Counter + asynchrone Übernahme

Die Entscheidung Single/Dual-Modulus erfolgt gleichzeitig mit der Programmierung des N- bzw. N/A-Teilers.

Die Zieladresse 000 ist für Testzwecke reserviert.

Im TBB 206 ist vorgesehen, die programmierbaren Teiler synchron zur Referenzfrequenz neu zu programmieren. Hierdurch ist gewährleistet, daß bei Frequenz/Kanaländerungen die Regelung vom momentanen Zustand des Phasendetektors ausgeht. Insbesonders im 'Lock-In'-Fall beginnt der Regelvorgang mit der Phasendifferenz 'Null'. Kurzzeitige Fehlsignale am Phasendetektor, wie sie bei asynchroner Datenübernahme vorkommen können, sind hiermit ausgeschlossen.

Bei der **asynchronen** Programmierung werden die „neuen" Daten asynchron zum jeweiligen Zustand des R-, N- (N/A) Teilers in die Zwischenregister L2 übernommen. Da die rechtzeitige Bereitstellung aller Daten, d. h. R- und N- (N/A) Teiler, nicht gewährleistet ist, ergeben sich, durch nicht korrespondierende Teilerfaktoren in den Zählern, Fehlersignale am Phasendedektorausgang, die vom System als Phasendifferenz bewertet und somit zusätzlich ausgeregelt werden müssen.

Programmierung

Die **synchrone** Programmierung bietet die Möglichkeit der Datenübernahme unter Beibehaltung der zum (internen) Programmierzeitpunkt bestehenden Phasendifferenz. Dies geschieht folgendermaßen:

1. **Einstellung** der Betriebsart „synchrone Übernahme" durch entsprechende R-Teiler Programmierung. Diese Einstellung bleibt erhalten bis gegenteilige Programmierung erfolgt. Mit dem EN der R-Teiler Programmierung werden die „neuen" Daten nur in das Auffangregister L1 übernommen.
2. **Programmierung** vom N- bzw. N/A-Teiler. Mit dem EN Signal der Programmierung werden die „neuen" Daten ebenfalls nur in das Auffangregister L1 übernommen.
   Gleichzeitig wird für alle Teiler die synchrone Übernahme in das Zwischenregister L2 vorbereitet. Die Übernahme erfolgt dann beim nächsten Null-Durchgang des jeweiligen Teilers. Eine zum Übernahmezeitpunkt vorhandene Phasendifferenz bleibt erhalten, sie ist Anfangsbedingung für den weiteren Regelvorgang, basierend auf den „neu" übernommenen Daten.

Bedingt durch die Synchronisierschaltung beträgt die Verzögerung der Datenübernahme daher maximal $2 \cdot 1/f_{ref}$.

Der synchrone Programmiervorgang wird immer durch das EN-Signal des N- bzw. N/A-Teilers ausgelöst und gilt auch für den R-Teiler, auch wenn dessen Daten nicht geändert wurden. Soll der Dateninhalt des R-Teilers (z. B. beim Referenzfrequenzwechsel) geändert werden, so ist dies daher **vor** der N- bzw. N/A-Teiler Programmierung zu machen.

Die synchrone Übernahme ist dann von besonderem Vorteil, wenn bei geforderter kleiner Einschwingzeit größere Kanalsprünge durchgeführt werden sollen. Hierzu wird zum schnellen „groben" Einschwingen auf eine größere Referenzfrequenz umgeschaltet, wodurch die Bandbreite der Schleife vergrößert wird. Beim Erreichen des „Quasi-Soll"-Zustandes wird wieder auf die ursprüngliche Referenzfrequenz zurückgeschaltet. Die Ausregelung auf den „Ist"-Wert erfolgt dann mit dem gewohnten Einschwingverhalten wie bei kleinen Kanalsprüngen. Durch die synchrone Übernahme ist gewährleistet, daß durch den Wechsel derr Referenzfrequenzen keine zusätzliche Phasenfehler entstehen.

Programmierung: Zeiten

Initialisierung, Reihenfolge: R-Teiler vor N-Teiler

Single Mode:	50 Bits	Dual Mode:	57 Bits
Status 2	16 Bits	Status 2	16 Bits
R-Teiler	19 Bits	R-Teiler	22 Bits
N-Teiler	15 Bits	N/A-Teiler	22 Bits

Kanalwechsel bei gleicher Referenzfrequenz

Single Mode	15 Bits
Dual Mode	22 Bits

Wird die Referenzfrequenz geändert, so ist zusätzlich der R-Teiler zu laden (+19 Bits).

Maximale Wiederholrate für Kanalwechsel (f_{FI} : N)

Anmerkung:

Nach Anlegen der Speisespannung müssen vor dem ersten Telegramm mindestens 3 Takte am

Programmierung: Tabellen

Status Bit		Multifunktionsausgänge	
MFO 1	MFO 2	MFO 1 (push-pull)	MFO 2 (open drain N)
0	0	FRN	FVN
0	1	ØVN	ØR
1	0	PRT 1	PRT 2
1	1	PRT 1	STROM*

* Input

Status Bit		PD-Ausgangs-strom
PD-Strom 1	PD-Strom 2	typ. (mA)
0	0	0,25
1	0	0,5
0	1	1,0
1	1	2,0

Status Bit		Spannungs-verdoppler-frequenz
Spannungsverdoppler		f_{INT}
1	2	
0	0	Off
1	0	R_I: 1
0	1	R_I: 2
1	1	R_I: 4

Programmierung: Übertragungsprotokoll

STATUS 1

1	MFO 1		
2	MFO2		
3	PD-Polarität		
4	Modulus-Ausgang		
5	Vorverstärker (Stand by)		
6	Anti-Backlash Impuls		
7	Spannungsverdoppler 1		
8	Spannungsverdoppler 2		
EN	PORT 1		
	PORT 2		
	Teiler (Stand by)		
	PD-Strom 1		
	PD-Strom 2		
	0		0
	0	Zieladresse	1
	1		0

STATUS 2*

	0	1
1		s. Tabelle
2		
3	neg.	pos.
4	push pull	open drain
5	Stand by	aktiv
6	20 ns	40 ns
7		s. Tabelle
8		
9	0**	1**
10	0**	1**
11	Stand by	aktiv
12		s. Tabelle
13		
14		
15		
16		
EN		

STATUS 3: LOCK-Detekt Abfrage

1	0	
2	1	Zieladresse
3	1	
EN		
1	Zustand Lock-Detekt: IN-Lock = LOW***	
EN		

* Zur Initialisierung muß immer STATUS 2 verwendet werden.
(Bit 1-8 von Status 2 haben keine Default-Werte)

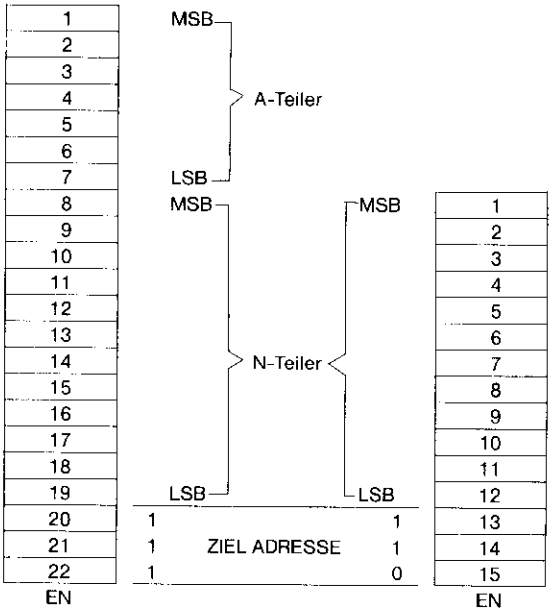
** Nur gültig, wenn Multifunktionsausgänge (s. Blatt K) in Status PORT, sonst don't care.

N/A-Teiler

Dual Betrieb

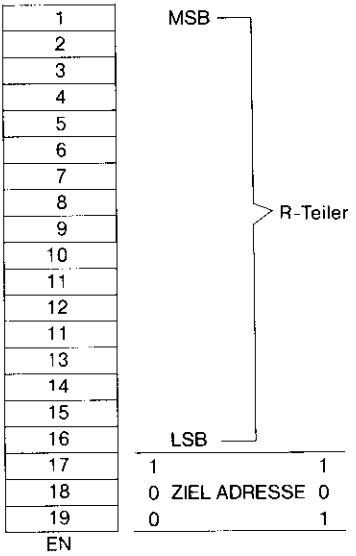
N-Teiler

Single Betrieb



Adresse 111: Dual Betrieb
Adresse 110: Single Betrieb

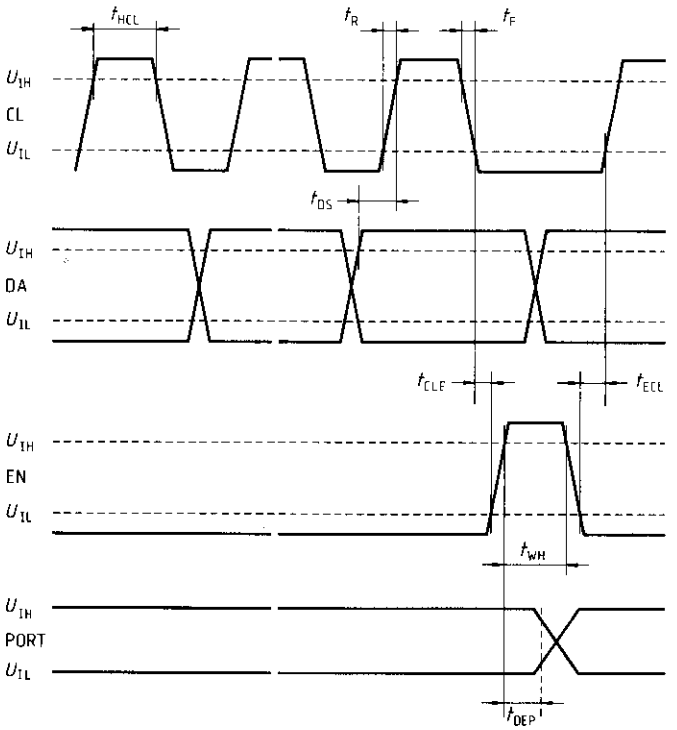
R-Teiler



Adresse 101: synchrone Übernahme *
Adresse 100: asynchrone Übernahme *

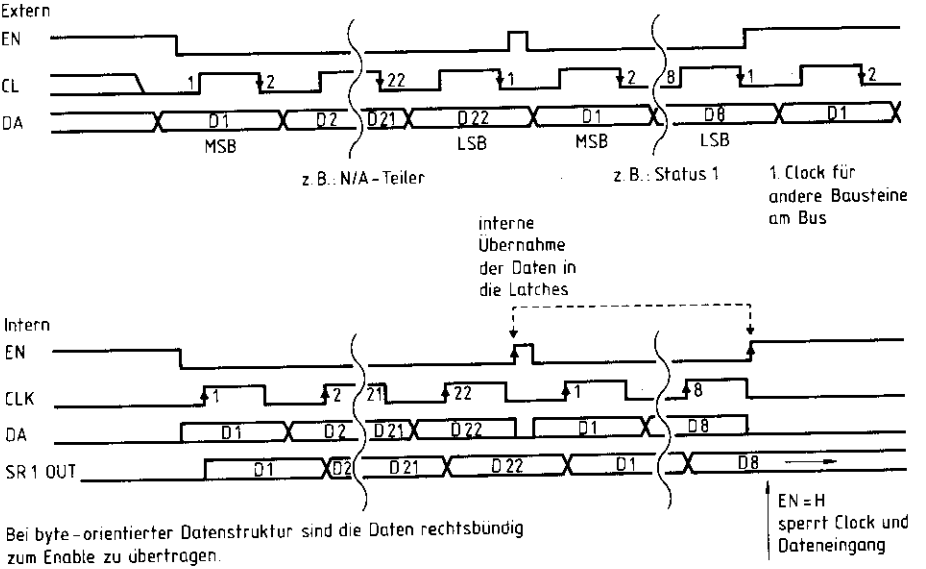
* bestimmt auch Übernahmeart bei N-, N/A-Teiler

Zeitdiagramm 3-Leiter-Bus



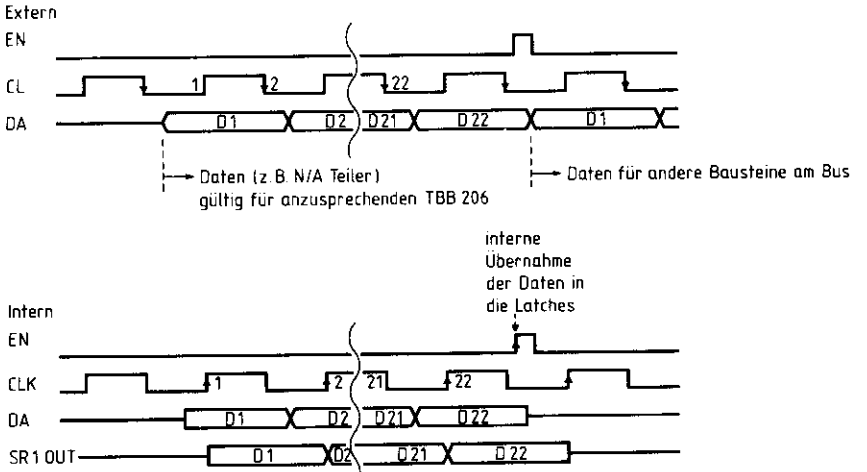
		min.	max.	Einheit
f_{CL}	Taktfrequenz		1,3	MHz
t_{HCL}	H-Impulsbreite (CL)	400		ns
t_{DS}	Data Setup	100		ns
t_{CLE}	Setup Time Clock-Enable	5		ns
t_{ECL}	Setup Time Enable-Clock	100		ns
t_{WH}	H-Impulsbreite (Enable)	80		ns
t_R, t_F	Übergangszeiten		10	µs
t_{DEP}	Verzögerungszeit Enable-PORT		1	µs

Impulsdiagramm 3-Leiter-Bus

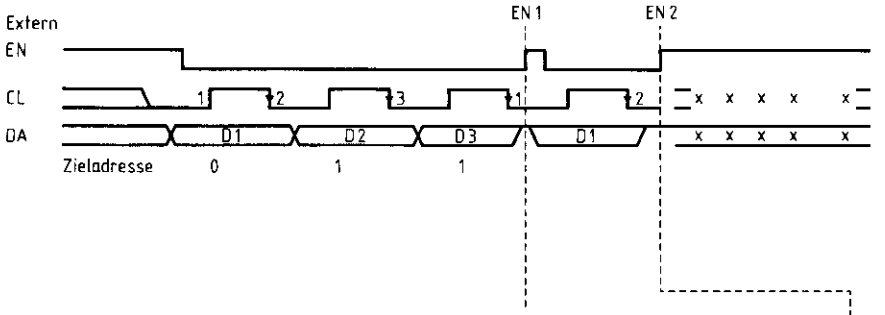


Bei byte-orientierter Datenstruktur sind die Daten rechtsbündig zum Enable zu übertragen.

Impulsdiagramm 3-Leiter-Bus: „Dynamische" EN-Steuerung



Impulsdiagramm 3-Leiter-Bus
Abfrage Lockdetektor



Daten-Leitung des Bus muß hochohmig sein (Pull-Up-Widerstand) EN 1 → EN 2.

Der Zustand des Lock-Detekt Ausganges LD zum Zeitpunkt der steigenden Flanke des Enable-Signales EN 1 definiert das Ausgangssignal D1 in der Ausgabephase (LD = HIGH → D1 = LOW).

Bei byte-orientierter Datenstruktur wird in der Ausgabephase während der Takte 2 - 8 kein weiteres Signal vom TBB 206 erzeugt, d. h. es stellt sich (Pull-Up-Widerstand) der Zustand HIGH ein.

Beschreibung einiger wichtiger Anschlüsse

Anschluß	Symbol	Funktion
2	RI	Eingang für 16-Bit R-Teiler (Referenz-Teiler). Der Eingang hat einen empfindlichen Vorverstärker. Bei kleinen Eingangssignalen ist eine AC-Kopplung vorzusehen, während bei großen Eingangssignalen eine DC-Kopplung möglich ist.
3	EN	'Enable'-Leitung des 3-Leiter-Bus. Wenn EN = HIGH ist, werden die Eingangssignale CL und DA des 3-Leiter-Bus intern abgeschaltet. EN = LOW aktiviert die Bus-Steuerung. Mit der positiven Flanke des EN-Signales werden die internen (empfangenen) Daten der DA-Leitung in die Latches übernommen.
4	DA	Serielle Daten Leitung des 3-Leiter-Bus. Die Anzahl der Daten ist abhängig von der gewünschten Programmierung (siehe Übertragungsprotokolle). Die letzten 3 Bits vor dem EN-Signal definieren, wohin die übertragenen Daten zuzuordnen sind. Bei byte-orientierter Datenstruktur sind die Daten bündig zum EN-Signal zu übertragen, d. h. aufzufüllende (don't care) Bits werden zuerst übertragen.
5	CL	Clock-Leitung des 3-Leiter-Bus. Mit der positiven Flanke werden die seriellen Daten in die internen Schieberegister übernommen (d. h. erscheinen am Ausgang des Schieberegisters)

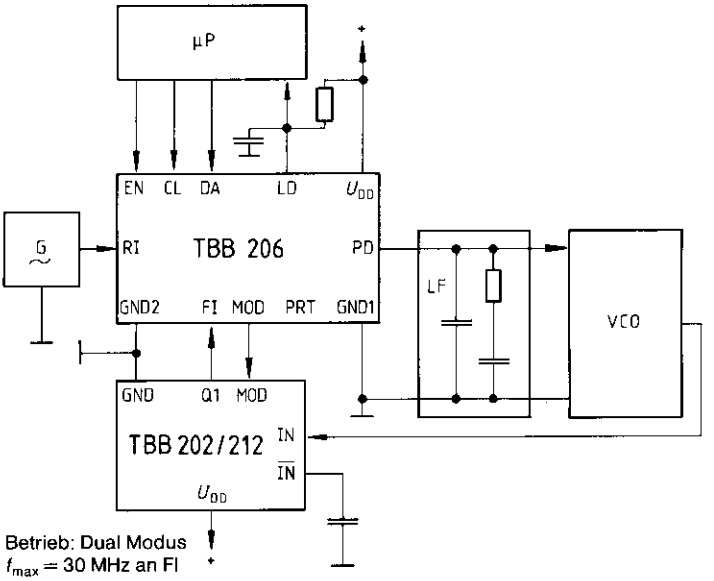
Beschreibung einiger wichtiger Anschlüsse (Fortsetzung)

Anschluß	Symbol	Funktion
6/10	MFO1/2	Multi-Funktion-Ausgang 1 / Multi-Funktion-Ausgang 2 Den Ausgängen können über den Bus verschiedene Funktionen zugeordnet werden (siehe Programmierung). MFO2 ist als open-drain N-Kanal Ausgang gebildet und besitzt eine größere Spannungsfestigkeit als die anderen Ausgänge des TBB 206. Hierdurch ist die Möglichkeit gegeben, externen Stufen mit einer höheren Betriebsspannung anzusteuern. Die Signale ØR und ØVN sind die digitalen Ausgangssignale des Phasen- und Frequenzdetektors und sind zueinander invertiert. Hierdurch können externe aktive Stromquellen (für größere Ströme) direkt angesteuert werden. $f_V < f_R$ oder f_V nacheilend: $Ø_R$ LOW aktiv $f_V > f_R$ oder f_V voreilend: $Ø_{VN}$ HIGH aktiv $f_V = f_R$ und PLL eingerastet: $Ø_R$ hochohmig, $Ø_{VN}$ LOW Die Signale FRN und FVN sind die heruntergeteilten Signale von RI und FI. Die LOW-Zeit entspricht dabei der Zeit $1/f_{RI}$ bzw. $1/f_{FI}$. Der Anschluß MFO2 kann gleichzeitig als Eingang für die Stromeinstellung des PD-Ausganges geschaltet werden. Hierzu ist ein positiver Strom einzuspeisen. Die Bus-Steuerung zur Abstufung bleibt weiterhin erhalten. Über Status 2 Bit 3 (PD-Polarity) kann die Zuordnung der Ausgangssignale FVN, FRN bzw. ØVN, ØR zu den Eingangssignalen FI, RI vertauscht werden. In der Funktion PORT wird den Ausgängen die Information der Status Programmierung zugeordnet. Die Ausgänge reagieren mit der ansteigenden Flanke des EN-Signales. Der Standby-Mode beeinflußt die PORT-Funktion nicht. Im Standby-Mode stellen sich folgende Zustände ein: **Status** / **MFO1 push-pull** / **MFO2 open drain** FRN/FVN / LOW / hochohmig ØVN/ØR / LOW / hochohmig
7	MOD	Modulus Control Ausgang für externen Dual Modulus Prescaler. Der Modulus Ausgang ist zu Beginn des Zyklus LOW. Wenn der A-Teiler seinen eingestellten Wert erreicht hat, geht MOD auf HIGH. Wenn der N-Teiler seinen eingestellten Wert erreicht hat, geht MOD wieder auf LOW, und der Zyklus beginnt von neuem. Wenn der Prescaler die Teilerfaktoren P bzw. P +1 hat (P für MOD = H, P +1 für MOD = L), dann ist der Gesamtteilungsfaktor: N · P + A. Der Wert des A-Teilers muß kleiner sein als der Wert des N-Teilers. Im Single-Modulus Betrieb und bei Standby Operation in Dual Mode Betrieb ist der Ausgang bei open-drain-Betrieb hochohmig und im push-pull Betrieb "Tri-State"

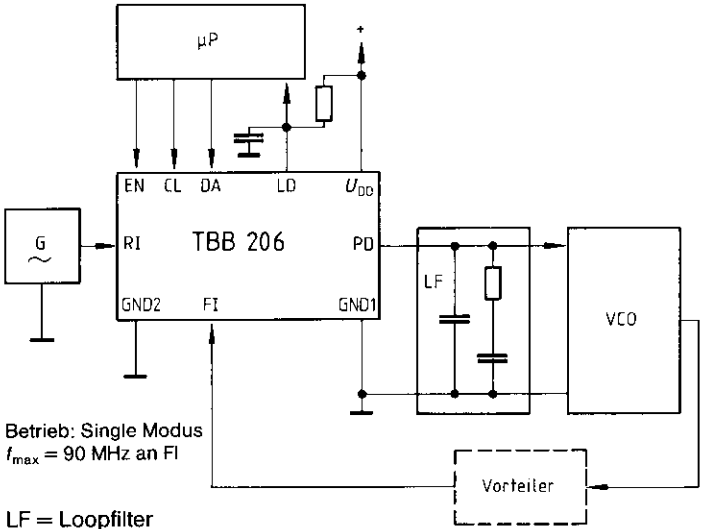
Beschreibung einiger wichtiger Anschlüsse (Fortsetzung)

Anschluß	Symbol	Funktion
8	FI	Eingang mit hochempfindlichem Vorverstärker für 12-bit-N-Teiler und 7-bit-A-Teiler. Bei kleinen Eingangssignalen ist eine AC-Kopplung vorzusehen, während bei großen Eingangssignalen eine DC-Kopplung möglich ist.
9	GND2	Masse des internen empfindlichen Vorverstärkers des Eingangs FI. Wird extern mit GND1 verbunden.
12	PD	Tri-State Charge Pump Ausgang. Die integrierten positiven und negativen Stromquellen können über den Bus bezüglich der Stromdichte programmiert werden. Die Aktivierung bzw. Deaktivierung hängt von der Phasenbeziehung der heruntergeteilten Eingangssignale FI:N, RI:R, ab. (siehe Impulsdiagramm Phasendetektor). $f_V < f_R$ oder f_V nacheilend: P-Kanal Stromquelle aktiv $f_V > f_R$ oder f_V voreilend: N-Kanal Stromquelle aktiv $f_V = f_R$ und PLL eingerastet: Stromquellen abgeschaltet, Ausgang ist hochohmig (Tristate) Im Standby-Mode wird der Tri-State Zustand eingestellt. Über Status 2 Bit 3 (Polarity) kann die Zuordnung der Stromquellen zu den Ausgangssignalen des Phasendetektors vertauscht werden, d. h. das Vorzeichen der Phasendetektorkonstante ist steuerbar.
13	C	Spannungsverdoppler-Ausgang. Der interne kapazitive Spannungsverdoppler arbeitet auf eine externe Kapazität an Anschluß 13 (C: + an Anschluß 11, − an Anschluß 13). Ein typischer Kapazitätswert ist 1...10 µF. Der Kondensator sollte geringe Leckströme haben. Wird der Spannungsverdoppler nicht benötigt, so ist Anschluß C mit GND1 zu verbinden. Anschluß 13 ist gleichzeitig Fußpunkt der N-Kanal Stromquelle des PD-Ausganges. Die Taktfrequenz des Wandlers wird über einen programmierbaren Teiler (:1, :2, :4) aus dem Signal an RI abgeleitet. Die interne Taktfrequenz sollte größer 2 MHz sein.
14	LD	Lock-Detekt Ausgang (open-drain). Unipolarer Ausgang des Phasendetektors in Form eines pulsweiten modulierten Signales. Im eingerasteten Zustand entspricht die LOW-Pulsweite dem Antibacklash-Impuls. Im Standby-Mode ist der Ausgang hochohmig. Der Zustand ist über den Bus (Status 3) abfragbar. Eine Abfrage während des Standby-Modes ist nicht sinnvoll.

Anwendungsschaltung

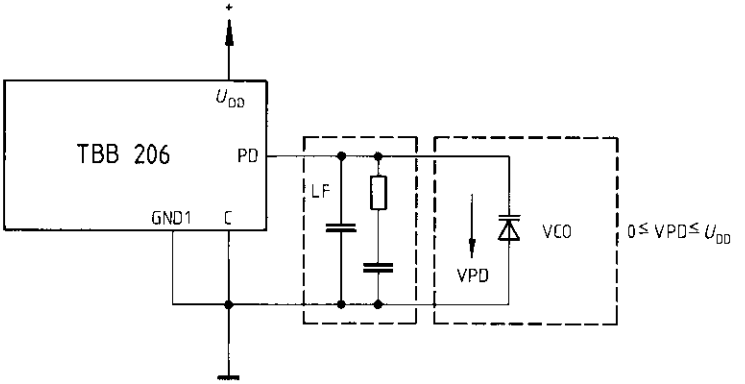


Entsprechend der Referenzfrequenz sind die geeigneten Teilerverhältnisse des Dual-Modulus-Vorteilers 128/129 bzw. 64/65 zu wählen.

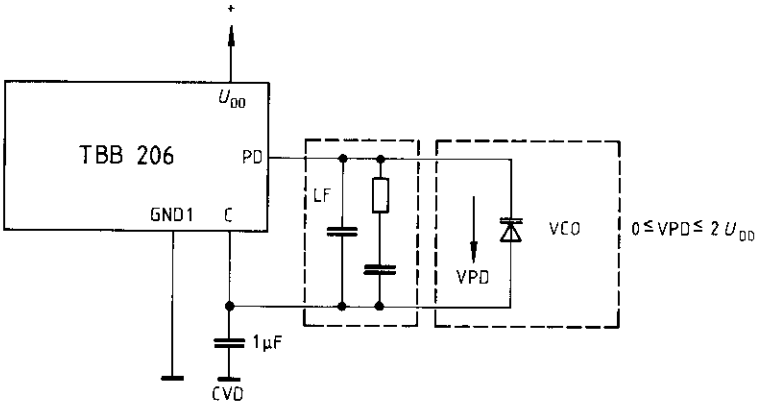


LF = Loopfilter

Anwendungsschaltung VCO-Ankopplung



Betrieb ohne Spannungsverdoppler (Status-Bit = s. Tabelle K)



Betrieb mit Spannungsverdoppler / Status-Bit = siehe Tabelle K)

LF = Loopfilter